

シリコンセンサーの基礎

2009年6月1日 KEK 坪山 透

はじめに

シリコンセンサーは現在および将来の素粒子実験で最も重要な役割を果たす。写真は「シリコンストリップセンサー」と呼ばれ、300 μm 厚のシリコン板に50 μm おきに細長い電極を取り付け、素粒子がそのセンサー



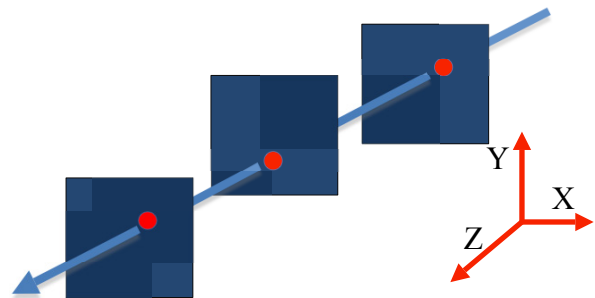
1cm x 8 cm x 0.3 mm のシリコンストリップセンサー

を通り抜けたときに発生するごく

少ない電荷を集めて、粒子の通過位置を測定する。シリコンセンサーの両面に電極を設けることで、2次元情報 XY の測定が可能になる。典型的なシリコンセンサーでは、面内の通過位置を表・裏それぞれ 10 μm 程度の精

度で測定することができる。さらに、センサーの置く位置 Z を精度よく決めること

で、素粒子通過位置の XYZ の情報を得ることができる。2枚以上のセンサーを集めれば、粒子の軌道の測定が可能になる。磁



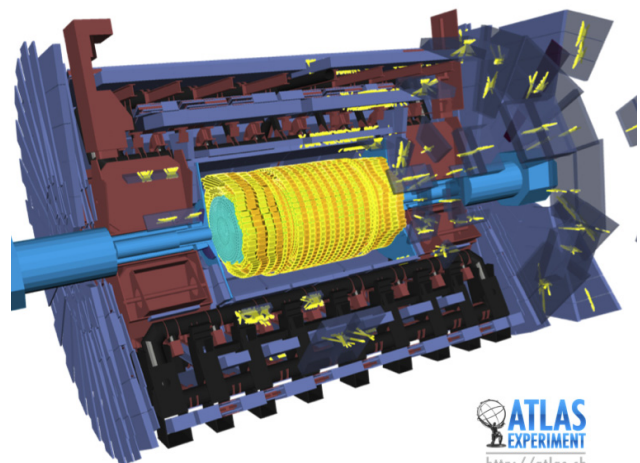
場中を走る荷電粒子はらせん運動をする。

3枚以上のセンサーを用いて、運動の曲率

半径を測ることで、粒子の進む方向と運動量の測定を行う。複数の粒子が一つの検出器を通り抜ける場合、従来の検出器では軌跡が 1 cm 程度離れている必要があるが、シリコンストリップセンサーの場合は、50 μm の間隔

で電極が作ってあるおかげで、きわめて接近した粒子を分離することが可能になる。

CERN で準備が進んでいる LHC 実験の CMS 測定器や ATLAS 測定器には100 平方メートル以上のシリコンセンサーが用いられ、その中を通り抜ける粒子の発生位置、進行方向、運動量が極めて高い精度で測定が行われる。この演習ではこうした半導体検出器の基礎を学ぶ。



半導体の性質

シリコンは元素の周期律表4族に含まれ4本の結合手を持つので、純粋な結晶はダイヤモンドと同じ構造になる。従って、純粋なシリコンの結晶はほとんど電気を通さない。しかし結晶中にごく少量の不純物を加えることで、思いも寄らぬ性質が生まれ、それが現在の高

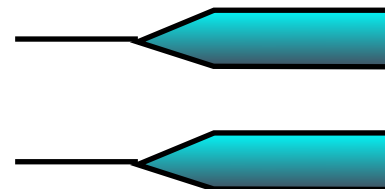
度なエレクトロニクス社会の根本になっている。半導体が高感度の光・素粒子の検出器になるのも重要な性質のひとつと言える。こうした性質を理解するために、半導体検出器の原理を学習しよう。シリコンの性質といくつかの式をまとめておく。

シリコンの性質	
密度	2.33 g/cm ³
純粋シリコンの常温でのキャリア濃度 n_i	1.45 10 ¹⁰ cm ⁻³
バンドギャップエネルギー E_G	1.1 eV
電子・ホール対を作るために必要なエネルギー	3.6 eV
電子易動度 μ_e	1400 (cm/s)/(V/cm)
ホール易動度 μ_h	500 (cm/s)/(V/cm)
誘電率 ϵ	1.05 pF/cm
抵抗率 Ω (不純物濃度 N_n)	1/e $\mu_e N_n$
内蔵電位 ϕ_{bi}	(kT/e)ln($N_p N_n / n_i^2$)
空乏層厚み d	$\sqrt{2\epsilon(V_{bias} + \phi_{bi}) / eN_n} = \sqrt{2\Omega\epsilon\mu_e(V_{bias} + \phi_{bi})}$
静電容量 C (面積 S 厚み d)	$\epsilon S / d$
ブレイクダウン (降伏) 電界	3・10 ⁵ V/cm

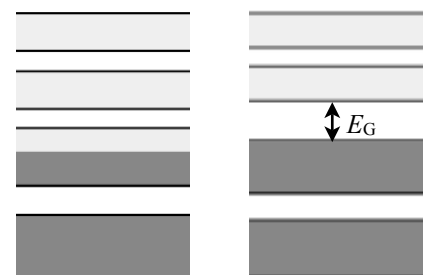
エネルギーレベルとバンド構造

水素原子の電子がもつエネルギーレベルはとびとびの値に離散化されている。ところが、シリコンのような結晶中の電子のエネルギーレベルは、多数のエネルギーレベルが混合してエネルギーバンド（帯）を形成する。そのなかで、電子はエネルギーの低い準位から埋まってゆく。金属の場合は、ひとつのバンドのなかに、電子が充填しておらず、その中の電子は室温で励起され、励起された電子は結晶中を自由に動くことができる。それが電気伝導の原因となる。電子が完全に充填しているバンドと電子がないバンドに別れている結晶もある。電子は許容された以外のエネルギーをとり得ない。その間のエネルギーギャップ (E_G) が大きい場合は、室温では電子が励起されず電子は充填バンドに固定され電流が流れることはできない。

シリコンなどの半導体の場合も絶縁体と同じバンド構造を持っているが、この E_G が1.1 eV (電子ボルト)程度になっている。電子があるエネルギーをもつ確率はフェルミ分布関数



励起された電子は結晶中を自由に動くこと



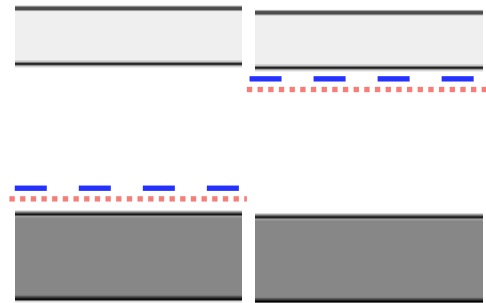
エネルギーバンド: 金属 (左) と、絶縁体・真性半導体 (右)

$$F(E) = \frac{1}{e^{-\frac{E-E_F}{kT}} + 1}$$

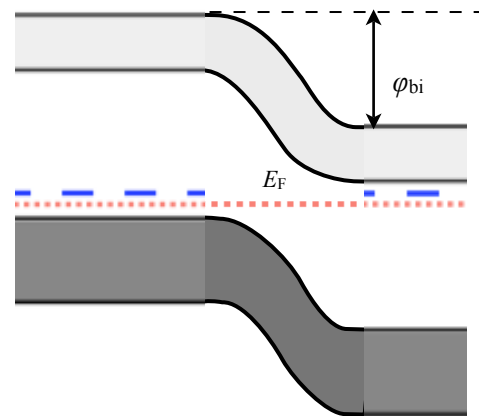
で表される。 k はボルツマン定数、 T は温度で室温の場合は $kT=0.026$ 電子ボルト (eV) となる。 E_F はフェルミエネルギーを表す。純粋なシリコンでも、ほとんど電子は励起されず、電気伝導率は非常に小さい。これだけでは物理的にも応用面でもあまり興味深くないが、半導体に少量の不純物を加えると、様相が全く変化する。

PN接合

リン (P) やヒ素 (As) などのV族元素は共有結合手を5本持つため、これらがシリコン結晶中にあると、Si原子と結合できない電子が発生する。この電子は極めて低いエネルギーで励起されてシリコン結晶中を移動できるようになる。バンド図では、伝導帯の0.02 eV程度下の準位となり、室温では、その電子はほぼ完全に伝導帯に移り自由に動くことができるので、自由電子と呼ばれる。こうしたシリコンをn型シリコンと呼び、この不純物原子をドナーと呼ぶ。一方、シリコンにホウ素 (B) などのIII族の元素をドーブすると、結晶中のSi原子と結合できない空の軌道ができる。Siの電子がここに移ると、その空の状態は、あたかも正の電荷を持つ電子のようにシリコン中で運動する。「ホール (正孔)」と呼ばれる。この場合、ホウ素原子をアクセプター呼び、シリコンをP型と言う。ホール・自由電子を総称してキャリア (担体) などと呼ぶ。N (P) 型半導体中の電子 (ホール) を多数キャリア、ホール (電子) を少数キャリアと呼ぶ。つぎにP型シリコンとN型シリコンを接合した場合を考える。接合面付近では電子・ホールは拡散 (熱運動) により、電子がP型側、ホールがN型側に広がってゆく。そして、界面近傍ではホールと電子が衝突し、エネルギーを熱として放出しながら対消滅をする。これを「再結合」と呼ぶ。再結合が起こり、ホールと電子が中和し電子もホールもない領域が現れる。これを空乏 (depletion) 領域と呼ぶ。空乏領域にはドナーとアクセプターの原子が残る。これらは、それぞれ正と負の電荷を持つため、接合面の左右に電位のアンバランスが生じる。この電位差を内部電位 ϕ_{bi} と呼び次の式



P型 (左) N型 (右) シリコンのバンド図
鎖線 (青) は不純物によるアクセプター・ドナーのエネルギーレベル。点線 (赤) はフェルミエネルギーを示す。



PN接合後のバンド図。境界付近はホールも電子もない空乏層になる。P側のポテンシャルが増加し、P型シリコンのホール、N型シリコンの電子が移動できなくなる。左右のポテンシャルの差がPN接合の内蔵電位 (ϕ_{bi}) である。

$$\varphi_{bi} = \frac{kT}{e} \ln \frac{N_p N_n}{n_i^2}$$

で表され、通常 0.7 V 程度となっている。P側のホールとN側の自由電子は同じ E_F になるが、この φ_{bi} のが障壁となり反対側の結晶領域に拡散できなくなる。

空乏領域の性質

◎空乏領域では電荷の移動が出来ない。したがって、絶縁体に見える。その誘電率(ϵ)はシリコン本来が持つ誘電率1.05 pF/cmとなる。

◎シリコン中を荷電粒子(陽子や π^+ など電荷を持った素粒子)が通り抜けると、クーロン力で結晶が励起され、軌跡 1 μm あたり 80 程度のホールと自由電子対が発生する。また励起エネルギー以上のエネルギーを持つ光子が入る場合もホールと自由電子対を生成することができる。空乏領域には他のホールや自由電子がほとんど存在していないため、電場が存在し、再結合がおこる前に長い距離を走ることができる。電荷が長い距離を走るので、結晶内に電流が発生したことになる。外部に増幅器を接続すれば粒子の通過が検出できる。空乏化していないシリコンでは、発生したホール・自由電子はすぐに再結合を起こす。空乏化していないシリコンは一種の導体であり、電界も小さく電荷が発生しても信号にならない。つまり半導体でセンサーを作る場合、「空乏領域の厚み」が性能を決めることになる。そこで、空乏層の厚みの計算をしてみよう。

空乏領域に関するモデル計算

面倒な計算をさけるためにモデルを簡単化する。

◎P型N型シリコンの不純物濃度はそれぞれ一定とする。

◎空乏化しているところは、シリコン結晶に固定された不純物で電荷密度が決まる。

◎空乏化していない部分では電気伝導度が大きく電場が0である。

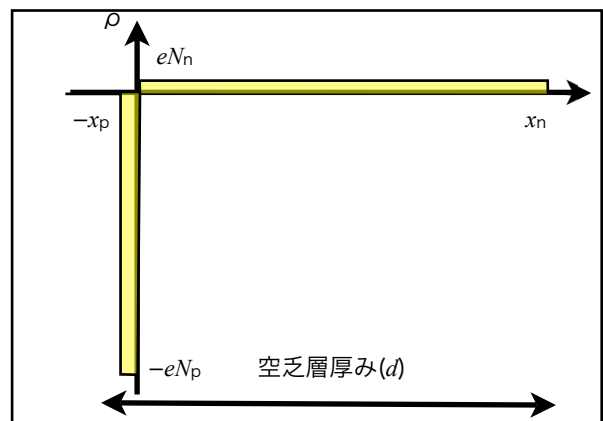
$x=0$ がP型・N型シリコンの境界である。

上図のように、P型・N型シリコンでの空乏領域の広がり $x_p \cdot x_n$ とする。シリコン全体の電荷は保存するので、 $N_p x_p = N_n x_n$ となる。

ホールより自由電子の移動度のほうが大きい

ため、P型でなくN型半導体を用いる方がより優れた検出器が得られる。そこで主にN型領域を空乏化することにする。つまり $x_n \gg x_p$ を課す。そのめには、 $N_p \gg N_n$ つまり、P型シリコンの不純物濃度が非常に高い場合を考える。結晶内部の電荷分布を決めたので、電荷分布 $\rho(x)$ とポテンシャル $\varphi(x)$ の関係を示す次元ポワソン方程式を解けばシリコン内の電位が決まる。

$$d^2\varphi / dx^2 = -\rho(x) / \epsilon$$



この式を1回積分して電場を求める。境界条件は空乏領域の外側 ($x < -x_p$ と $x > x_n$) で $d\phi(x)/dx=0$ である。

$$\begin{aligned} d\phi(x)/dx &= 0 && (x < -x_p) \\ d\phi(x)/dx &= -x(-eN_p)/\epsilon + E_{max} && (-x_p < x < 0) \\ d\phi(x)/dx &= -x(eN_n)/\epsilon + E_{max} && (0 < x < x_n) \\ d\phi(x)/dx &= 0 && (x_n < x) \end{aligned}$$

となる。 $E_{max} = ex_p N_p / \epsilon = ex_n N_n / \epsilon = edN_n / \epsilon$ となる。

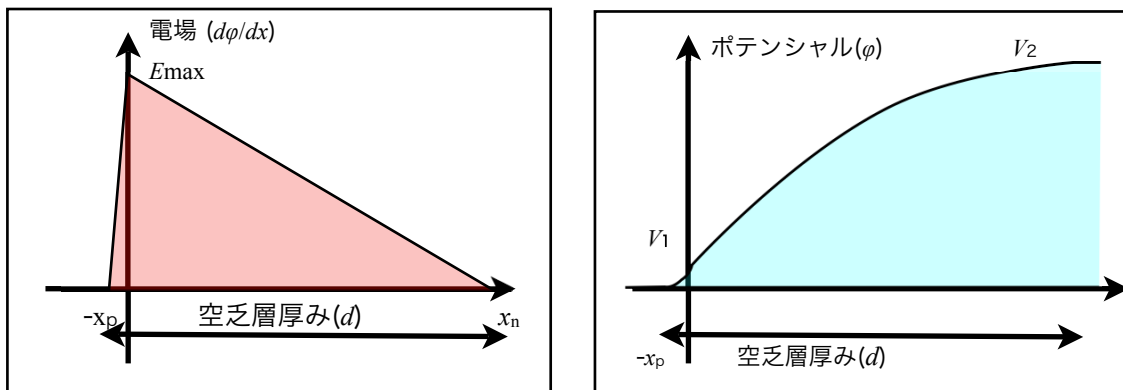
さらにこの式を積分すると、ポテンシャル $\phi(x)$ が求まる。

$$\begin{aligned} \phi(x) &= 0 && (x < -x_p) \\ \phi(x) &= -(1/2)x^2(-eN_p)/\epsilon + x E_{max} + V_1 && (-x_p < x < 0) \\ \phi(x) &= -(1/2)x^2(eN_n)/\epsilon + x E_{max} + V_1 && (0 < x < x_n) \\ \phi(x) &= V_2 && (x_n < x) \end{aligned}$$

これを解くと、

$$\begin{aligned} V_1 &= 1/2 x_p^2 e N_p / \epsilon \\ V_2 &= 1/2 x_p^2 e N_p / \epsilon + 1/2 x_n^2 e N_n / \epsilon = 1/2 x_n^2 e N_n / \epsilon (1 + N_p x_p^2 / N_n x_n^2) \\ &= 1/2 x_n^2 e N_n / \epsilon (1 + x_p / x_n) \approx d^2 e N_n / 2\epsilon \end{aligned}$$

となる。 V_2 は内部電圧 ϕ_{bi} と外部から加えるバイアス電圧 V_b の和である。空乏層の厚み d は、バイアス電圧の平方根に比例する。



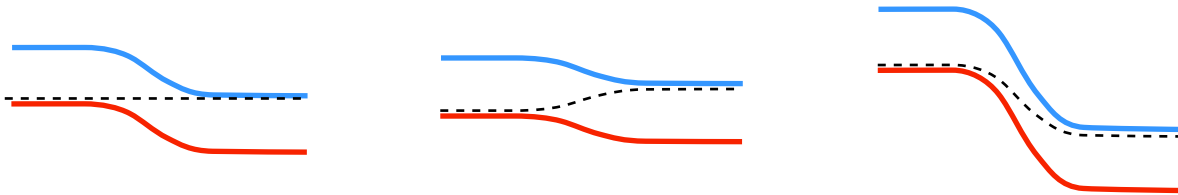
空乏化電圧

シリコン内で発生する電荷を効率的に測定するためには、シリコン検出器の厚みを完全に空乏化させる必要がある。その電圧を（完全）空乏化電圧 V_d と呼ぶ。PN 接合の空乏領域を積極的に用いる検出器を PIN (P-intrinsic-N) ダイオードと呼ぶ。同じ空乏層厚を得るために必要なバイアス電圧は低ければそれだけ検出器の使用が楽になるので、より N_n の小さなシリコンを使う必要がある。実際に用いられるシリコンセンサーでは、使用目的に従って、空乏層の長さは数 μm から数 cm のものが用いられる。

逆バイアスと順バイアス

次の図を用いてPINダイオードに電圧を加えた場合の状況をもう少し詳しく考える。左図は外部に電源をつながない場合で、P側のホールとN側の電子の E_F は同じになっている。しかし ϕ_{bi} により電流は流れない。中図はN側に-、P側に+の電圧を加えた場合で、P側のホールとN側の電子は反対側に流ることが出来る。反対側の領域に流れ込むとその

多数キャリアとの間で再結合をおこし消滅をする。その結果外部の電圧が存在する限りPN接合には電流が流れ続ける。再結合で開放されるエネルギーはシリコンを発熱させる。右図は逆方向に電圧を掛けた状態でポテンシャルの障壁は左図よりさらに大きくなる。上に述べたように、この電圧のおかげで空乏領域を増やすことになる。



右からバイアス無し、順バイアス状態、逆バイアス状態のエネルギーを示す。赤線・青線は充満帯と導電帯を示す。中央の点線はフェルミエネルギー (F_G)を示す。

シリコンの抵抗率と不純物濃度

N型シリコンに電場 E を掛けると、シリコン中の自由電子は $E\mu_e$ の速度で移動する（移動度の定義）。従って不純物濃度 N_n のシリコン場合の電流密度 j は $-Ee\mu_e N_n$ となる。抵抗率 Ω はその係数の逆数である。

$$\Omega = 1/(e\mu_e N_n)$$

実験で簡単に測定が直接できるのはシリコンの N_n ではなく Ω なので Ω を用いて空乏層厚みを計算する方が実用的である。 $N_n = 1/(\Omega e\mu_e)$ より、 $V_2 = V_b + \phi_{bi} = d^2/(2\Omega e\mu_e)$ 。したがって、

$$d = \sqrt{2\Omega e\mu_e (V_{bias} + \phi_{bi})}$$

となる。

ダイオードの接合容量

最初に述べたようにシリコンが空乏化すると、空乏層の厚み d に応じた静電容量 C

$$C = \epsilon S/d$$

が測定される。 d はバイアス電圧に依存するが、完全空乏化電圧 V_d 以上では d はシリコンの厚みになり、静電容量が変化しなくなる。静電容量のバイアス電圧依存性を測定することで、全空乏化電圧を測定することができる。

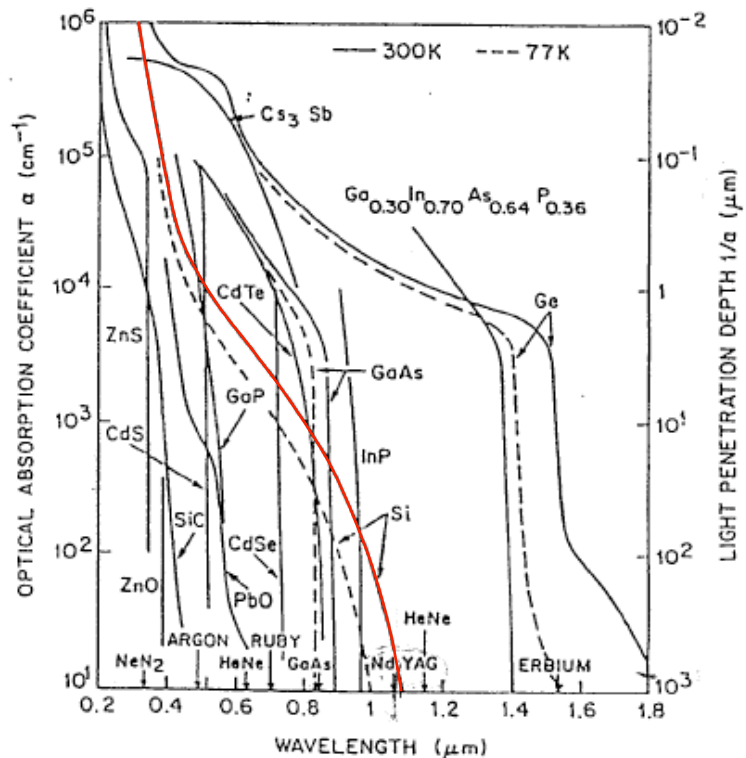
シリコンPINフォトダイオードの構造

PINフォトダイオードは主に可視光を検出するために使われる。最初に述べたようにシリコンのバンドギャップ E_G は、1.1 eV であるが、平均 3.6 eV の光のエネルギーで1電子-ホール対が発生する。

問題：1.1 eV は光の波長ではどの位か？それは 紫外線か、可視光か、赤外線か？

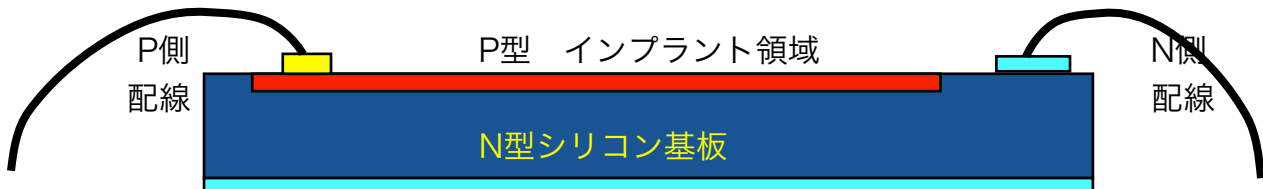
ただし $E = \nu h = hc/\lambda$ 、プランク定数 $h = 6.63 \cdot 10^{-34} \text{ J sec} = 4.14 \cdot 10^{-15} \text{ eV sec}$ とする。

可視光は E_G を越えるエネルギーを持ち、シリコン中では数 μm 走る間にすべて吸収される。したがって、可視光を高い効率で測定するためには、シリコンの表面の数 μm だけ高感度ならば十分である。通常のIC技術はシリコンの表面から 1-2 μm の深さにCMOSトランジスタなどの構造を作る。IC技術で製造した CCD や CMOS カメラが高性能を発揮するのは、「可視光がシリコン表面で吸収される」という特別な事情のおかげと言える。この演習で使うPINフォトダイオードの構造の簡略化した図を下に示す。本課題で試験する PIN ダイオードは抵抗率 $4 \text{ k}\Omega \text{ cm}$ ・厚み $300 \mu\text{m}$ の N 型シリコン (青) から作られており、面積は 1 cm^2 である。P領域



S. M. Sze "Physics of Semiconductor Devices", 1990

は機械的接合ではなく、ホウ素などの原子を高い電圧 (数10-100 kV) で加速して、シリコン表面に**打ち込む** (インプラント) ことで作られる。インプラントした原子をシリコン結晶となじませる (活性化) ためにシリコンの板は数 100°C で加熱される。インプラントの深さは $1 \mu\text{m}$ 程度である。これまでに述べたように打ち込むアクセプター濃度は非常に高いのでP領域の電気伝導率が高い。そこで、バイアス電圧を掛けたり、信号を取り出したりするためには、P領域の一部にアルミを蒸着し (黄色) 配線をすれば十分である。N側はシリコン板の裏側や、表面の一部にアルミ (空色) を蒸着して信号を取り出す。ここにバイアス電圧を掛けることで、P型の境界面から空乏層が発達し、「全空乏化電圧」に達したところで、Nの基盤はほぼ厚みいっぱい空乏化する。



練習問題

典型的な PIN フォトダイオードは 抵抗率 $4 \text{ k}\Omega \text{ cm}$ ・厚み $300 \mu\text{m}$ の N 型シリコン基盤を用い、P領域は表面からおよそ $1 \mu\text{m}$ の深さに硼素をインプラントして作られる。

- (1) 不純物濃度 N_n をもとめよ。
- (2) 完全空乏化するために必要なバイアス電圧 (V_d) をもとめよ。

(3) 面積は 1 cm^2 だとして、空乏化後の静電容量 C_d をもとめよ。

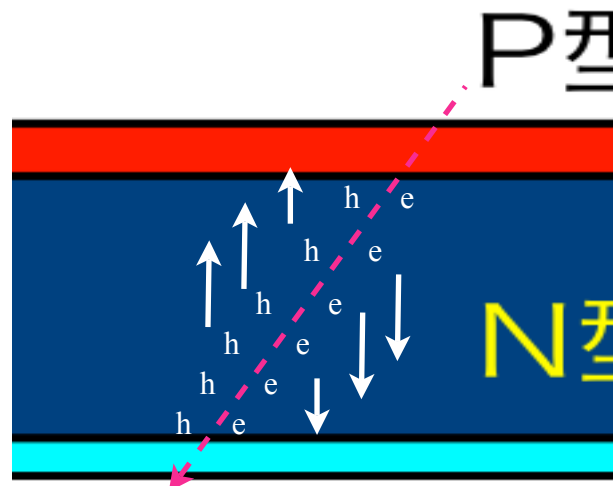
(4) N_n は (1) でわかった。シリコンの厚みより $x_n=300\text{ }\mu\text{m}$ 、不純物打ち込みの深さはたかだか $x_p=1\text{ }\mu\text{m}$ である。ここから N_p (の下限) を求めよ。

(5) 光がすべてPインプラント領域で吸収される場合、空乏層にて電子-ホール対が発生しないので、信号が出なくなる。その波長はどの程度か。(上のグラフをみて考えよ)

高性能センサーのためには空乏化が必要である

(1) 光検出でも素粒子通過でも実験では微小信号を測定する機会が多い。信号を観察するためには、電子回路で増幅しなくてはならない。ところが熱雑音の理論により「回路の静電容量が大きいと原理的に雑音が増える」ことが知られている。センサーを全空乏化すると静電容量が減少するので、それだけ測定される雑音が減る。

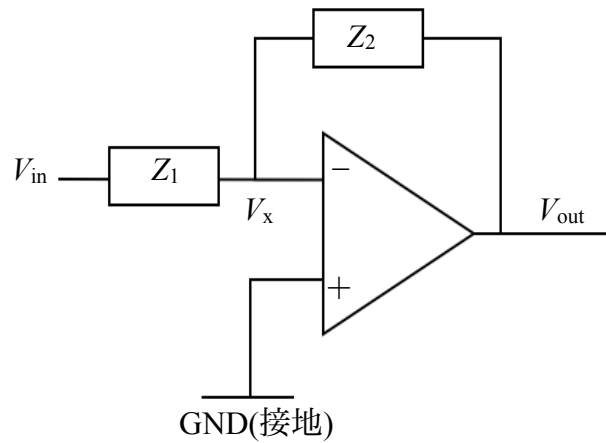
(2) 電荷を持つ素粒子がシリコンを通過するときは、軌跡に沿って電子-ホール対が発生する。上に述べたとおり測定できる空乏層に発生した信号のみである。つまり、空乏層の厚みに比例して信号がふえる。したがって、空乏層の厚みをシリコンの厚みまで増やすことが重要である。それに対し、可視光はセンサー表面で吸収されるので、空乏層が数 μm 以上有っても信号は増えない。



荷電粒子がシリコン中を通過すると、軌跡に沿って電子・ホール対が発生し、空乏層中をそれぞれN・Pの方向に進む。

OPアンプ回路

ここでシリコンセンサーの評価に用いるOPアンプを説明する。OPアンプはインピーダンスがほぼ無限大の+と-の入力を持ち、ほぼ無限大の増幅率を持つ電圧増幅回路である。動作を単純化すると、次のようなフィードバック回路を考えた場合、 V_x が0になるように増幅器は振る舞う。



$$V_x = ((V_{in}/Z_1) + (V_{out}/Z_2)) / (1/Z_1 + 1/Z_2) = (V_{in}Z_2 + V_{out}Z_1) / (Z_1 + Z_2) \text{ かつ } V_x = 0 \text{ より、}$$

$$V_{out} = -(Z_2/Z_1)V_{in}$$

となる。Z₁が0の場合は V_x=V_{in}=0 となるが、この場合は「電流増幅回路」になり、

$$V_{out} = -Z_2 i_{in}$$

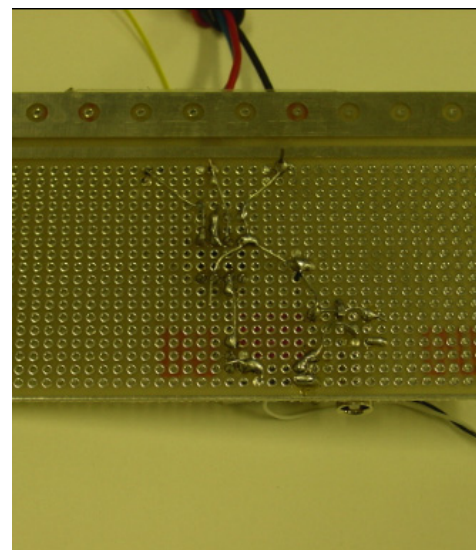
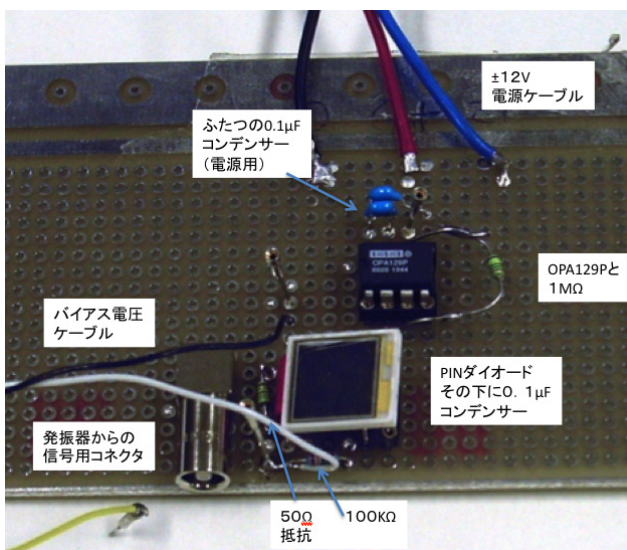
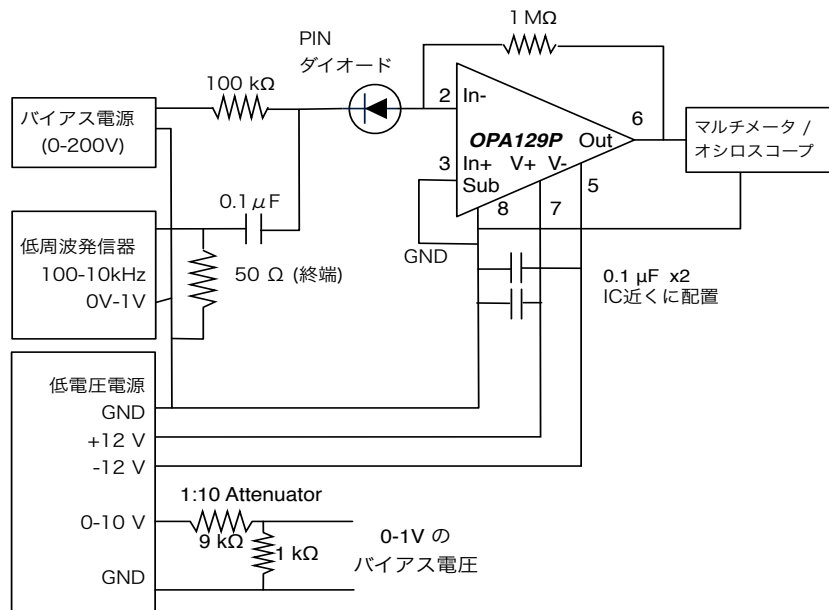
となる。Z₂が純粋な抵抗 R なら V_{out} = -I_{IN}R の電流増幅器、Z₂がコンデンサー C の場合は電荷積分器となる

$$V_{out} = -\frac{1}{C} \int I_{IN} dt$$

センサーから出てくる信号は「電荷」であることが多いので、検出回路の初段には電荷積分回路による信号処理が多く行われる。回路図には書いてないが、OPアンプには電源が必要である。電源回路からのノイズを落としたり、増幅を安定にするため、ICの電源ピンとグラウンドの間には大容量のコンデンサを置くのが普通である。

演習課題

1) PINフォトダイオード評価回路を自作する。オペアンプは OPA129P を用いる。このアンプの特徴は入力に流れ込む電流が少ないことで、今回のような微小電流の精密測定に向いている。まず回路図・写真を参考に努力して完成させよう。半田付けのヤケドにはくれぐれも注意。ケーブルの色は黒 (GND)・赤 (+12 V)・青 (-12V)・黒 (細: GND)・白 (細: バイアス) などと決める。基盤が完成したら動作試験を行う。必要な電流は1 mA 程度なので、電源装置の電流リミッターを 0.01 A に設定しておく。配線に誤りがあっても IC が壊れることを防ぐ。実は試作回路は発信してしまった。外来の電子雑音を遮蔽するために、全体をアルミフォイルで覆うなどの工夫も必要になるかもしれない。このような対策は実験中に行う。



上記回路の試作品。オシロスコープで測定するためのポートも半田付けする。右側は裏側から見たもの。

2009年6月1-3日

2) ダイオードに順バイアス・逆バイアスをかけて、直流特性を測る。順方向には0.5Vまで、逆方向には予想される空乏化電圧の1.5倍まで電圧をかける。0-200Vのバイアス電源は0V付近で不正確なので、1/10のアテニュエータで電源の電圧を下げて用いる。バイアス電圧は、100kΩ抵抗の電源側（回路図では左側）で測る。センサーにかかる電圧は電源電圧から($i \cdot 100\text{k}\Omega$)を引いたものである。PINフォトダイオードは高感度光検出器なので、測定時にはきちんと遮光をすること。そのために黒ビニールも準備する。

3) ダイオードに逆バイアス電圧を掛けながら、静電容量を測る。バイアス電圧を変化させながら、空乏化が予想通り起こるかをしらべる。バイアス電圧の範囲は2)と同じでよい。周波数 F ・電圧 V の正弦波をコンデンサー C に掛けたとき、 C に流れる電流 i は

$$i = 2\pi F C V$$

で表される。その電流をOPアンプ回路で増幅する。オシロスコープで、正弦波の振幅を測ることで、 C を推定することが可能になる。交流電源の電圧はバイアス電圧より十分低いことが重要。横軸をバイアス電圧 V ・縦軸を $1/C^2$ でプロットするとわかりやすい。既知のコンデンサー100pF程度を用いて

4) バイアスをかけたフォトダイオードの信号をオシロスコープで観察しながら、受光面に光を当てて、観察する。

考察

A) 演習課題2)・3)の測定結果から何が言えるか？

B) 測定精度を検討する。バイアス電圧の精度、測定される電流・静電容量の精度はどの位か？

C) 実験ノートをきちんとつけること。日付・時間・天候などの情報が思わぬ役に立つことがある。

D) レポート2-3枚にまとめる。

参考文献

1. 石原宏 岩波講座物理の世界物質科学の発展<4>半導体エレクトロニクス
2. S. M. Sze "Physics of Semiconductor Devices", 1990

付録

S8650カタログ(浜松ホトニクス)

PHOTODIODE

Si PINフォトダイオード S8650

シンチレータの接着に適した表面平坦タイプ

Si PINフォトダイオード S8650のエネルギー側面コーティングされた表面は、平坦に(平均値±5µm)加工されています。そのためシンチレータを接合する際、他の注入が適切にいく、非常に高いカウリング特性が実現されます。なお、その他のセラミックパッケージの製造の平坦加工にも特注で応じますので、お気軽にご相談ください。

特徴

- シンチレータの接着用にエポキシ樹脂表面を平坦に加工
- 樹脂平均厚: ±5µm
- 受光面サイズ: 10×10mm
- その他の受光面サイズにも対応可能

用途

- シンチレータと組み合わせたX線検出器
- カロリメータなど

■ 絶対最大定格 (Ta=25°C)

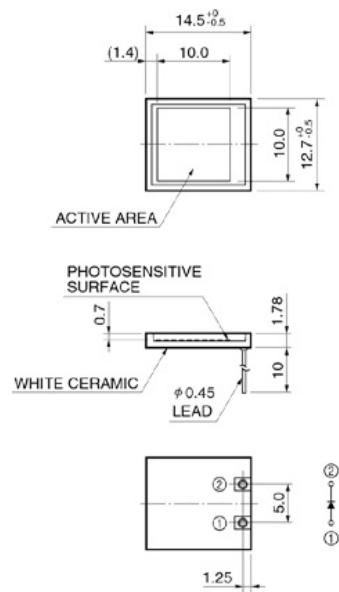
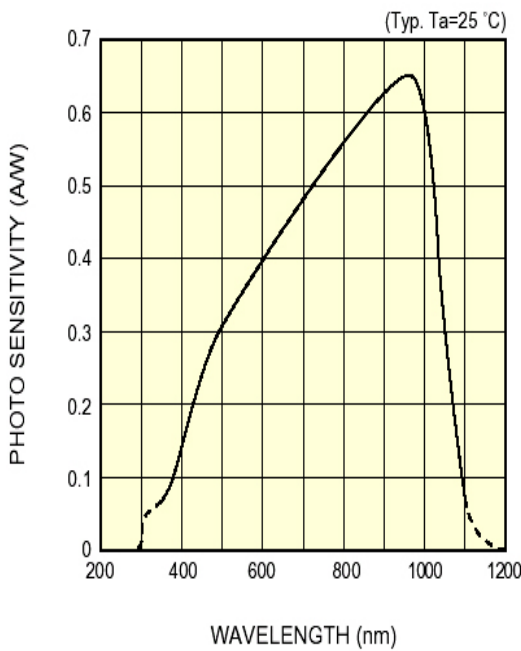
項目	記号	定格値	単位
逆電圧	V _R Max	100	V
動作温度	Topr	-20 ~ +60	°C
保存温度	Tstg	-20 ~ +80	°C

■ 電気的および光学的特性 (Ta=25°C)

項目	記号	条件	Min	Typ	Max	単位
感度波長範囲	λ	-	-	320 ~ 1100	-	nm
最大感度波長	λ _p	-	-	860	-	nm
受光感度	S	λ=λ _p BGCO: λ=480 nm OSI (TI): λ=840 nm	-	0.66	-	AW
暗電流	I _d	V _R =70 V	-	0.37	-	AW
カットオフ周波数	f _c	λ=780 nm, V _R =70 V R _L =50 Ω, -3 dB	-	4.0	6	MHz
量子間容量	C _i	V _R =70 V, f=1 MHz	-	4.0	-	pF
雑音等価電力	NEP	V _R =70 V, λ=λ _p	-	3.8 × 10 ⁻¹⁴	-	W/Hz ^{1/2}

HAMAMATSU

SOLID STATE DIVISION





Burr-Brown Products
from Texas Instruments

OPA129



SBO506A - JANUARY 1994 - REVISED APRIL 2007

Ultra-Low Bias Current *Difet*[®]
OPERATIONAL AMPLIFIER

- FEATURES**
- ULTRA-LOW BIAS CURRENT: 100fA max
 - LOW OFFSET: 2mV max
 - LOW DRIFT: 10 μ V/°C max
 - HIGH OPEN-LOOP GAIN: 94dB min
 - LOW NOISE: 15nV/√Hz at 10kHz
 - PLASTIC DIP AND SO PACKAGES

DESCRIPTION

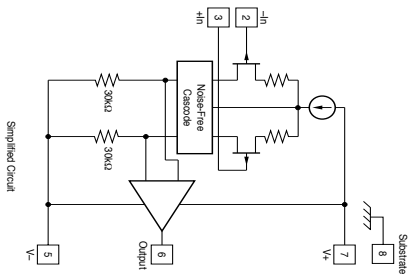
The OPA129 is an ultra-low bias current monolithic operational amplifier offered in an 8-pin PDIP and SO-8 package. Using an advanced geometry dielectrically-isolated FET (*Difet*[®]) inputs, this monolithic amplifier achieves a high performance level.

Difet fabrication eliminates isolation-junction leakage current—the main contributor to input bias current with conventional monolithic FETs. This reduces input bias current by a factor of 10 to 100. Very low input bias current can be achieved without resorting to small-geometry FETs or CMOS designs which can suffer from much larger offset voltage, voltage noise, drift, and poor power-supply rejection.

The OPA129 special pinout eliminates leakage current that occurs with other op amps. Pins 1 and 4 have no internal connection, allowing circuit board guard traces—even with the surface-mount package version. OPA129 is available in 8-pin DIP and SO packages, specified for operation from -40°C to +85°C.

APPLICATIONS

- PHOTODETECTOR PREAMPS
- CHROMATOGRAPHY
- ELECTROMETER AMPLIFIERS
- MASS SPECTROMETERS
- pH PROBE AMPLIFIERS
- ION GAGE MEASUREMENT



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of *Difet* is a registered trademark of Texas Instruments. Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet. All other trademarks are the property of their respective owners.

PRODUCTION DATA: Information is current as of publication date. Products conform to specifications published in Texas Instruments data sheets unless otherwise indicated. A TI literature notice describing this product's status and recommended handling is at the end of this data sheet.

Copyright © 1994-2007, Texas Instruments Incorporated

TEXAS INSTRUMENTS
www.ti.com

SPECIFICATIONS
ELECTRICAL

All V_{IS} = +15V and T_A = 25°C, unless otherwise noted. Pin 8 connected to ground.

PARAMETER	CONDITION	OPA129P, UB		OPA129P, U		UNITS
		MIN	TYP	MAX	MIN	
INPUT BIAS CURRENT ⁽¹⁾ vs Temperature	$V_{OS} = 0V$	-30	±100	±100	±100	fA
INPUT OFFSET CURRENT	$V_{OS} = 0V$	-30	±30	±30	±30	fA
OFFSET VOLTAGE Input Offset Voltage Supply Rejection	$V_{OS} = 0V$ $V_{IS} = ±5V$ to $±18V$	-0.5	±0	±0	±5	mV
NOISE Voltage		-3	±10	±10	±10	mV/√Hz
Current						nV/√Hz
INPUT IMPEDANCE	Differential Common-Mode	10^{11} to 10^{12}				Ω
VOLTAGE RANGE	Common-Mode Input Range Common-Mode Rejection	-10 30	±12 110			V
OPEN-LOOP GAIN, DC	Open-Loop Voltage Gain	94	120			dB
FREQUENCY RESPONSE	Gain Bandwidth Product Slew Rate Settling Time	1 1 0.1%	47 2.5 5			MHz V/μs ns
RATEO OUTPUT	Overload Recovery, 50% Overdrive Voltage Output Common-Mode Stability Short-Circuit Current	±12 ±0 ±100 ±55	±13 ±10 ±100 ±55			V V mA mA
POWER SUPPLY	Raised Voltage Voltage Range, Denoted Performance Current, Quiescent	-5	±15	±18		V V mA
TEMPERATURE	Specification Operating Storage Thermal Resistance	-40 -40 -40		±85 ±125 ±125		°C °C °C °C/W

NOTES: (1) High-speed automated test.
(2) Overload recovery is defined as the time required for the output to return from saturation to linear operation following the removal of a 50% input overdrive.

Copyright © 1994-2007, Texas Instruments Incorporated

TEXAS INSTRUMENTS
www.ti.com

OPA129
SBO506A

ABSOLUTE MAXIMUM RATINGS

Power Supply Voltage	±15V
Input Voltage Range	V ₊ to V ₋
Output Voltage Range	V ₋ to V ₊
Storage Temperature Range	-40°C to +125°C
Operating Temperature Range	-40°C to +125°C
Output Short Circuit Duration ⁽¹⁾	Continuous
Junction Temperature (T _j)	+150°C

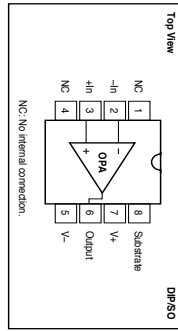
NOTE: (1) Short circuit may be to power supply common at 45°C ambient.

PACKAGE INFORMATION⁽¹⁾

PRODUCT	PACKAGE LEAD	PACKAGE DESIGNATOR
OPAx298	DIP-8	P
OPAx298	SO-8	D
OPAx298	SO-8	D

NOTE: (1) For the most current package and ordering information, see the Package Option Addendum at the end of this data sheet, or see the TI website at www.ti.com.

CONNECTION DIAGRAM



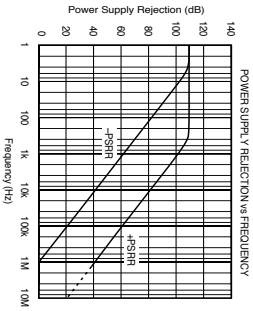
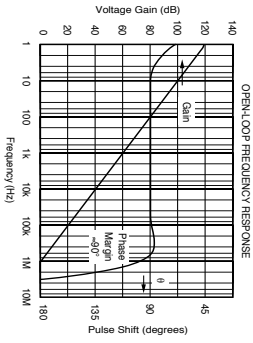
ELECTROSTATIC DISCHARGE SENSITIVITY

Any integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet published specifications.

TYPICAL PERFORMANCE CURVES

All T_j = +25°C, +15VDC, unless otherwise noted.



OPAx298
SRO5226A

TEXAS
INSTRUMENTS
www.ti.com