

素粒子実験用TDC開発の話

新井康夫

高エネルギー加速器研究機構、素粒子原子核研究所

〒305-0801 つくば市大穂1-1

yasuo.arai@kek.jp, <http://atlas.kek.jp/~arai/>

(平成13年5月23日 IPアワード受賞によせて)

1. 1986@Snowmass

今回受賞の対象となったTDCを開発するようになったきっかけは、15年ほど前の1986年にまで遡ります。米国物理学会主宰のSummer Studyがコロラド州スノーマスでありました。スノーマスは2000mの高地に有るスキー場で、山を少しおりたところには有名なりゾート地アスペンがあります。ここで、夏の間比較的安い値段で借りられるコンドミニウムを借り切って、自炊をしながら3週間、世界各地から来た研究者が集まって議論を行うのです。

1986年というのは、私の所属する高エネルギー物理学研究所(KEK、現高エネルギー加速器研究機構)に於いて、世界最高エネルギーの電子・陽電子衝突型加速器TRISTANが完成する直前でした。

一方米国、ドイツ、そしてスイスにあるCERN(欧州原子核研究所)でもTRISTANよりさらに高エネルギーの加速器の建設が着々と進められていました。こういった状況の中で、スノーマスではすでに次の計画が議論されていたのです。

TRISTAN実験においていくつかの測定器用エレクトロニクスを開発してきた私は、次世代の実験ではLSIが大きな役割を果たすと感じていました。もっとも、LSI設計についてはMead & Conwayの教科書を読んで勉強しただけで、実際のLSI設計経験はまったく無いし、物理実験用にカスタムLSIを設計するなどということはまだ夢のような状況でした。

そんな中で、次世代の加速器として議論されていた円周90 kmにも達する陽子・陽子衝突型加速器SSC(Superconducting Super Collider)の計画を聞き、そこでの厳しい実験条件でも使えるまったく新しいLSIを作りたいと思いました。

高エネルギー実験で使用するキーデバイスとしては、高速のADCとTDC(Time-to-Digital Converter)が挙げられます。このうち、ADCは一般にも広く存在するので、より取りつきやすいTDCをテーマとして選びました。必要な要求はサブナノ秒以下の精度と、不感時間なしに連続的にデータがとれること。そして数十万チャンネルが必要なことから低消費電力で高密度、安価であることでした。

当時、高エネルギー実験で使用されていたTDCは定電流源とスイッチを組み合わせ、コンデンサーに充電された電圧をADCで読むものが主流でした。しかし、この方式ではどうしても不感時間が生じてしまいます。また、SOI (Silicon On Insulator) 等の特殊デバイスを使ったGHz級の高速クロックを使ったシフトレジスターにより、連続的に時間情報を蓄えられるようにしたものもありましたが、消費電力が大きいことからSSCでは使い物になりません。

シフトレジスターで消費電力が大きくなるのは、毎クロックごとにデータを動かすため、データを一旦メモリーに書き込んだら動かさず、書き込み信号の方をゲート遅延を使って遅らせれば消費電力を下げられると考えました。これならば外部からの早いクロックは必要ないので、CMOSでも出来ると思いました。

しかしながら、この方式をスノーマスで私が提案したところ不評で、当時のCMOSでナノ秒間隔の信号など作れないし、温度や電圧変動でとても精度など出ないと言われてしまいました。



スノーマスにて大杉教授(左)と著者(右)

2. 1987@U. of Pennsylvania

スノーマスから日本に帰ると、TRISTAN実験の立ち上げがすぐに始まり、忙しくなっていました。SPICEでさまざまなシミュレーションを行いながら、一方で、カスタムLSIの開発に協力してくれる会社も探し始めました。スノーマスでもお世話になった広島大の大杉さんと一緒に、いくつかの国内メーカーに当たりましたが、わずかな予算でカスタムLSI開発に協力してくれるところはなかなかみつかりませんでした。

当時米国では、MOSISという機関がマルチプロジェクトウエハのサービスを開始しており、またパークレイ大が開発したCADが無料で使えました。米国の大学に滞在して使う分にはこれらのサービスが使えましたが、日本からのアクセスは断られてしまいました。

そうこうしているうちに、87年の春にペンシルバニア大でSSC用のエレクトロニクス開発に関する国際会議が開催されることになりました。この会議の直前にニューヨークでISSCC会議があったことから、主催者であるペンシルバニア大のウィリアム教授から誰か日本の発表者をペンシルバニア大への会議に呼べないかとの連絡が来ました。

早速、日本人の発表者数人にあたったところ、NTT LSI研究所の赤沢幸雄氏が快く引き受けてくれました。当時NTTのLSI技術は世界のトップを走っており、会議の参加者が赤沢氏の話に一様に感嘆したことを覚えています。会議の後、赤沢さんが何か協力できることが有ればとふと漏らした言葉を真に受けて、その後しばらくしてからLSI研究所に協力をお願いしに行くことになりました。

3. 1987-1991@NTT

何度かお願いしたところ、国際協力実験のためならばということでNTT LSI研に協力していただけることになり、岩田穆氏(現広島大教授)の研究室にお世話になることになりました。それからの数年間は毎週のようにつくばから厚木の研究所に通いました。フルカスタムでの設計でしたので、GDSIIIを使用したポリゴンの入力はすべて自分で行いました。おかげで右手首は腱鞘炎になってしまいました。

1回行くと2、3日は泊まってくるのですが、しばしばビジネスホテルが一杯で泊まれないことがありました。そんな時にお世話になったのが、厚木インターの近くに有るラブホテルでした。このホテルのおばちゃんとはすっかり顔なじみになってしまいました。

一方、NTTでの試作の前に、懸案であった安定化の回路を考えました。LSI内部ではゲート遅延の線性は良いのだから、これを多数つなげてその全体の遅延をクロック周期と比べてフィードバックを掛けてやればよいと思いつき図1のような回路を作りました。

当時スイッチドキャパシタを使ったアナログメモリというチップがありました。このチップは時間情報を記録していくのでタイム・メモリ・セル(TMC)という名前を付けました。

赤沢さんにこれを見せたところPLL回路に似ているねと言われましたが、PLL回路のこともよく知らなかった私は、当時まだその重要性に気がつきませんでした。それから数年してLSIの会議でDLL (Delay Locked Loop) という言葉を聞き、始めて自分が考えた回路がDLLなんだということに気がつきました。

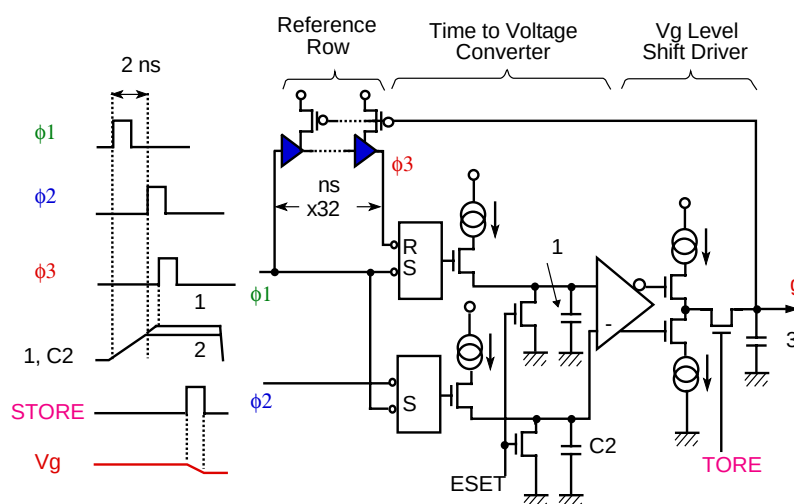


図1. 初期のTMCのゲート遅延安定化回路

4. 1992-1995@東芝

NTTで開発したTMCは、高い評価を受け、米国で計画されたSSC実験に採用されることになりました。しかしながら、大量のチャンネルを処理するためには、直接検出器にLSIをマウントする必要があるため、百krad程度の放射線に耐えなければなりません。

残念ながらNTTには耐放射線性のプロセスはなく、他の国内メーカーを探すこととなりました。ちょうど東芝の半導体技術研究所で開発した1 μ mのCMOS Gate-Arrayが適していることがわかり、92年より東芝の産業用LSI開発部にお願ひし、このゲートアレイをベースに、TMCコアの部分はマニュアル設計するという手法で開発をすることになりました。

ところが1993年秋に、SSC計画は米国議会の反対により突然中止となってしまいました。幸にも、それまでの実績を見て他の実験グループが使用してくれることになり、TMC開発は継続することが出来ました。このため、耐放射線性チップの開発は一旦止め、通常のゲートアレイにより各種実験に容易に対応できるようにする戦略を取りました。また、性能を一層向上させるためプロセスを0.5 μ mに進化させ、回路もゲートアレイに向けた方式に変えました。またDLL方式で遅延を作るとどうしても配線長の違いにより微分直線性が悪くなってしまうので、PLL方式に変えました。といっても、PLLではリングオシレーターに奇数段のインバーターが必要となり、そのままではDLLの時のように偶数個のタップを取りだすことが出来ません。

そこで思いついたのが図2の様なリングオシレーターで、これにより偶数段のタップを取りだせるようになりました。この回路は当時KEKで建設を進めていたAsymmetric Colliderをもじって、Asymmetric Ring Oscillatorとな名付けました。

1994年6月に完成したTMC304チップでは、時間分解能250psを達成し、フェルミ国立加速器研究所、ブルックヘブン国立研究所等の各種の実験で使用されました。また、宇宙科学研の観測ロケットに乗って宇宙にも行きました。

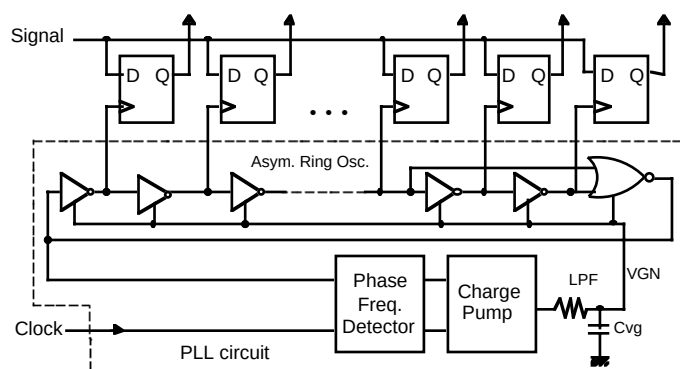


図2. Asymmetric Ring Oscillator

5. 1996- @CERN

やがて、SSCに変わる新しい加速器計画LHC(Large Hadron Collider)がCERNでスタートしました。いくつかの実験のうち日本グループはATLAS実験に参加することになりました。LHCではSSCよりもエネルギーが低い分、ビーム強度を増やして実験を行うので、より強い耐放射線性が求められます。

この為、我々は目標を検出器のいちばん外側に位置するミュオン検出器に絞りました。ミュオン検出器では、加速器ビームから遠く離れているために耐放射線性がそれほど必要でないからです。

当時CERNでもTMCと同様のチップの開発を行っていたことから、96年の夏にジュネーブに3ヶ月滞在し、CERNのスタッフと一緒に、より高性能なTDCのアーキテクチャーの研究を行うことにしました。ここで設計したチップは、単純な同期式からデータ駆動式に変更したため、今までの物に比べ、より高密度(4チャンネルから24チャンネルへ)で、長時間記録可能で、データ選別回路も含む高機能なものとなりました。このチップは帰国後、東芝の0.3 μ m Gate Arrayを使用して製造することになり、名前はAMT (Atlas Muon TDC) と名付けました。

試験チップによる回路検証の後、必要な機能を全て載せたチップAMT-1を2000年に試作しました。これが今回の受賞対象となったチップで、300 psの時間分解能を達成して無事動作させることが出来ました。今後はさらに検出器と繋いだ試験を行い、放射線耐性の試験なども行った後、2002年に40万チャンネル(約2万チップ)製造する予定です。

最後に、短文にて名前を載せられませんでしたでしたが、開発の過程では多くの方にお世話になりました。この場を借りて、改めて感謝いたします。