

(45)発行日 平成9年(1997)10月15日

(24)登録日 平成9年(1997)6月20日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	3/354		H 0 3 K 3/354	B
	3/03		3/03	
H 0 3 L	7/099		H 0 3 L 7/08	F

請求項の数2(全7頁)

(21)出願番号	特願平6-69507	(73)特許権者	391012707 高エネルギー加速器研究機構長 茨城県つくば市大穂1番地1
(22)出願日	平成6年(1994)4月7日	(72)発明者	新井 康夫 茨城県つくば市吾妻4丁目10番地3 104棟401号
(65)公開番号	特開平7-283697	(74)代理人	弁理士 杉村 暁秀 (外5名)
(43)公開日	平成7年(1995)10月27日	審査官	北村 智彦
		(56)参考文献	特開 平6-216721 (J P, A) 特開 平2-170614 (J P, A)

(54)【発明の名称】 電圧制御発振回路及びこれを用いた信号検出器

1

(57)【特許請求の範囲】

【請求項1】 印加電圧により位相反転遅延時間を制御可能に構成した位相反転素子を4以上の偶数N段縦続接続した多段位相反転回路と、その多段位相反転回路と同様な遅延時間特性をもち前記多段位相反転回路の最終段および最終段より2段前の前記位相反転素子の出力がともに低論理レベルのときにスイッチ出力が高論理レベルとなるとともに、前記最終段より2段前の位相反転素子の出力が高論理レベルのときにスイッチ出力が低論理レベルとなるスイッチ回路とを備え、そのスイッチ回路の出力を前記多段位相反転回路の入力に帰還して発振回路を構成することにより、前記多段位相反転回路における各段の位相反転素子および前記スイッチ回路から前記発振回路における発振周期の前記偶数N分の1の時間間隔を有するタイミング信号をそれぞれ取出し得るようにし

2

たことを特徴とする電圧制御発振回路。

【請求項2】 印加電圧により位相反転遅延時間を制御可能に構成した位相反転素子を4以上の偶数N段縦続接続した多段位相反転回路と、その多段位相反転回路と同様な遅延時間特性をもち前記多段位相反転回路の最終段および最終段より2段前の前記位相反転素子の出力がともに低論理レベルのときにスイッチ出力が高論理レベルとなるとともに、前記最終段より2段前の位相反転素子の出力が高論理レベルのときにスイッチ出力が低論理レベルとなるスイッチ回路とを備え、そのスイッチ回路の出力を前記多段位相反転回路の入力に帰還して発振回路を構成すると共に、前記多段位相反転回路における各段の位相反転素子および前記スイッチ回路からそれぞれ取出した前記偶数N分の1の時間間隔を有するタイミング信号をそれぞれラッチ回路に接続し、前記多段位相反転

回路における各段の位相反転素子および前記スイッチ回路から前記発振回路における発振周期の前記偶数 $N$ 分の1の時間間隔を有するタイミング信号の変化をそれぞれ取出し得るよう構成し、これにより外部信号を順次に検出することを特徴とする電圧制御発振回路を用いた信号検出器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速度・高精度のタイミング制御を必要とする高速信号処理回路において重要な役割を果たしている位相同期ループ（PLL）回路に使用する電圧制御発振回路に関し、特に、偶数分の1周期のタイミング信号を取出し得るようにしたものである。

【0002】

【従来の技術】高速度・高精度のタイミング信号制御技術は、従来、各種エレクトロニクス装置の最重要技術の一つであり、特に、検出器からの高頻度の出力信号を処理する必要がある高エネルギー物理実験においては、加速器および検出器の双方において高速度・高精度信号を制御し、計測する必要がある。

【0003】一方、電子機器産業の技術分野においては、ビデオ機器の広帯域化およびコンピュータや情報伝送ネットワーク等の高速化が著しく促進され、従来より一層高速度のデジタル信号処理が求められている。

【0004】かかる高速信号処理において重要な役割を果たしている位相同期ループ（PLL）回路は、従来、図1に示すように、電圧制御発振器VOの発振出力信号を位相比較器PCに供給して入力信号IPと周波数・位相を比較し、その比較出力として検出した位相差をループフィルタLFに供給して取出した位相差電圧を電圧制御発振器VOに帰還してその発振動作を制御し、入力信号IPに位相同期した発振出力（OP）が得られるようにしたものであり、必要に応じ入力信号IPの周波数を倍した整数 $M$ 倍の周波数、あるいは、入力信号の繰返し周期を分割した整数 $M$ 分の1の繰返し周期を有する出力信号OPを取出すこともできる。

【0005】特に、電圧制御発振器VOとして、例えば、図2に示すように、位相反転遅延時間を印加電圧により制御可能な位相反転素子、いわゆるインバータ $U_1$ 、 $U_2$ 、 $U_3$ 、--- $U_5$ を複数段縦続接続した多段位相反転回路の出力を入力側に帰還したいわゆるリングオシレータ1を用いた場合には、各段のインバータ $U_i$ から出力信号を取出すことにより、発振出力周期 $T$ より短い時間間隔のタイミング信号が得られる。例えば、図2に示したように、5段のインバータ $U_1 \sim U_5$ を縦続接続したリングオシレータ1においては、周期 $T$ で双安定位相反転を繰返す発振信号A、B、C、D、Eが発生し、順次のインバータ $U_1 \sim U_5$ の位相反転出力A～Eは、図示のように、順次に等間隔で遅延しており、たとえ

ば、位相反転出力AとCとにおいて相隣の信号波形の立上がりは、発振周期 $T$ の5分の1の時間間隔を有している。

【0006】

【発明が解決しようとする課題】しかして、リングオシレータ1を発振させるためには、インバータの多段縦続接続における最終段出力2を初段入力3に帰還したときの位相が反転している、という発振条件を満たす必要がある。したがって、このリングオシレータ1を発振させるためには奇数段のインバータを縦続接続する必要がある、発振周期の奇数分の1のタイミング信号しか得られないことになる。一方、各種の制御回路あるいは計測回路では、偶数分の1周期のタイミング信号を必要とする場合があり、特に $2^n$ 分の1周期のタイミング信号は、デジタル信号処理に際して屢々必要とされるものであるが、上述したように奇数段のインバータの縦続接続に頼らざるを得なかった従来のこの種電圧制御発振回路ではかかる必要性に対応し得なかった。

【0007】また、ワイヤーチェンバーなど、高エネルギービーム粒子の検出器から得られる検出出力信号は、1 ns以下の精度で測定する必要があるが、かかる高精度の測定を直接的な測定方法によって行なおうとすると、1 GHz以上の高い周波数のクロック信号が必要となるので、技術的に実現が困難であるばかりでなく、経費が高むことになる。

【0008】なお、CMOS集積回路に位相同期ループ（PLL）回路を組み込めば、その集積回路の内部では100 MHz程度の周波数のクロック信号を直接的に形成することが可能であるが、1 GHzの周波数のクロック信号を直接的に得ることは矢張り困難であり、又このような構成によって1 GHzのクロック信号が得られたとしても、CMOS集積回路の消費電力が増大するので、実用には適しない。

【0009】1 GHzの周波数のクロック信号を直接的に形成するのは困難であっても、1 nsの時間間隔のクロックパルスが得られればよいのであるから、周波数が遙かに低いクロック信号形成回路を多数用意し、1 nsの間隔でそれらの回路を順次に作動させればよいのであるから、リングオシレータの各段からクロックパルスを順次に取出すことが考えられたのであるが、前述したように、偶数分の1周期のタイミング信号を取出すのは困難であった。一方、デジタル回路による信号処理では、 $2^n$ 分の1周期のタイミングで信号処理を行なうのが好適であるから、従来取出しが容易な奇数分の1周期のタイミング、すなわち、 $2^n$ 分の1周期以外のタイミングで信号処理を行なった場合には、処理結果のデータに適切な係数をかけて補正することが必要となり、信号処理の精度が著しく低下し複雑な構成となる。

【0010】

【課題を解決するための手段】本発明の目的は、上述し

た従来の課題を解決し、従来は奇数分の1周期のタイミング信号しか取出し得なかったリングオシレータから偶数分の1周期のタイミング信号を、従来と同様の高精度で取出し得るようにした電圧制御発振回路及びこれを用いた信号検出器を提供することにある。

【0011】すなわち、本発明電圧制御発振回路は、偶数N段のインバータの縦続接続回路の入力信号の低論理レベルの時間をN+1段の遅延時間とし、高論理レベルの時間を、N-1段分の遅延時間となるように、スイッチ回路により制御し、従来と同様の発振条件を満たしたリングオシレータとして動作するようにしたものであり、本発明の電圧制御発振回路は、印加電圧により位相反転遅延時間を制御可能に構成した位相反転素子を4以上の偶数N段縦続接続した多段位相反転回路と、その多段位相反転回路と同様な遅延時間特性をもち前記多段位相反転回路の最終段および最終段より2段前の前記位相反転素子の出力がともに低論理レベルのときにスイッチ出力が高論理レベルとなるとともに、前記最終段より2段前の位相反転素子の出力が高論理レベルのときにスイッチ出力が低論理レベルとなるスイッチ回路とを備え、そのスイッチ回路の出力を前記多段位相反転回路の入方に帰還して発振回路を構成することにより、前記多段位相反転回路における各段の位相反転素子および前記スイッチ回路から前記発振回路における発振周期の前記偶数N分の1の時間間隔を有するタイミング信号をそれぞれ取出し得るようにしたことを特徴とするものである。又本発明の他の目的とする所は、印加電圧により位相反転遅延時間を制御可能に構成した位相反転素子を4以上の偶数N段縦続接続した多段位相反転回路と、その多段位相反転回路と同様な遅延時間特性をもち前記多段位相反転回路の最終段および最終段より2段前の前記位相反転素子の出力がともに低論理レベルのときにスイッチ出力が高論理レベルとなるとともに、前記最終段より2段前の位相反転素子の出力が高論理レベルのときにスイッチ出力が低論理レベルとなるスイッチ回路とを備え、そのスイッチ回路の出力を前記多段位相反転回路の入方に帰還して発振回路を構成すると共に、前記多段位相反転回路における各段の位相反転素子および前記スイッチ回路からそれぞれ取出した前記偶数N分の1の時間間隔を有するタイミング信号をそれぞれラッチ回路に接続し、前記多段位相反転回路における各段の位相反転素子および前記スイッチ回路から前記発振回路における発振周期の前記偶数N分の1の時間間隔を有するタイミング信号の変化をそれぞれ取出し得るよう構成し、これにより外部信号を順次に検出することを特徴とする電圧制御発振回路を用いた信号検出器を提供することにある。

【0012】

【作用】したがって、本発明によれば、位相同期ループ(PLL)回路によるクロック周波数の逡倍において、従来は困難であった偶数分の1周期のタイミング信号を

容易に形成することが可能となり、特に、2<sup>n</sup>分の1周期のタイミング信号が容易に得られるので、デジタル信号の高速処理が容易になり、デジタル・ビデオ機器からコンピュータネットワークに到る広い技術分野に亘って本発明を適用することが可能となる。

【0013】すなわち、例えば、検出器からの高頻度の出力信号を処理する高エネルギー物理実験あるいは高品位テレビジョン(HDTV)などの高解像度画像表示装置の同期回路など本発明を適用するに好適な機器は広い分野に亘っており、つぎのような機器を例示することができる。

高精度時間-デジタル変換素子

ビデオ信号の同期回路

高速シリアル通信装置

半導体試験装置

車間距離測定装置

【0014】

【実施例】以下に図面を参照して実施例につき本発明を詳細に説明する。まず、本発明電圧制御発振回路の構成例を図3に示す。図3において、(a)は、4以上の任意の偶数N段の位相反転素子、すなわち、いわゆるインバータU1~UNを縦続接続するとともに、最終段に接続したスイッチ回路USの出力を縦続接続の入力側に帰還して構成したリングオシレータの概略構成を示すものであり、各段のインバータU1~UNおよびスイッチ回路USに印加している電圧VGNは、各インバータおよびスイッチ回路における位相反転遅延時間を可変制御するための制御電圧である。

【0015】図3(a)に標記した電圧制御位相反転素子U1~UNは、実際には、スイッチ回路USが4個のMOS型トランジスタM1~M4の直列接続からなっているのと同様に、図3の(b),(c)に示すように、4個のMOS型トランジスタM5~M8の直列接続からなっているが、中央部の2個のMOSトランジスタについては、スイッチ回路USにおいては2個のMOSトランジスタM2,M3のゲート電極を別個に制御しているのに対し、インバータU1~UNにおいては2個のMOSトランジスタM6,M7のゲート電極を並列に接続して共通に制御している点が相違している。後述するように、リングオシレータの発振周期Tに対して正確にそのN分の1の位相反転周期を有するタイミング信号を取出すためには、各段のインバータU1~UNとスイッチ回路USとが、上述したように相似の回路構成を有するとともに、各段出力の負荷が等しくなるようにすることが重要である。したがって、インバータU1~UNにおけるPMOSトランジスタM5は、スイッチ回路USにおけるPMOSトランジスタM1に対応させて、PMOS側のドライブ能力を等しくするためのダミーとして使用している。なお、MOSトランジスタM1,M2のゲート接続は入れ替えても同様な動作を行なわせることがで

きる。

【0016】しかして、各段のインバータU1～UNにおいては、MOSトランジスタのゲート電極に供給した入力信号の論理レベルとは逆の論理レベルの出力信号が得られて位相反転が行なわれるのに対して、スイッチ回路USにおいては、NOR回路に類似した回路動作が行なわれ、最終段より2段前のインバータUN2および最終段のインバータUNの出力ノードFおよびHがともに低論理レベルL<sub>0</sub>となったときにスイッチ出力ノードSが高論理レベルH<sub>1</sub>となり、最終段より2段前のインバータUN2の出力ノードFが高論理レベルH<sub>1</sub>となったときにスイッチ出力ノードSが低論理レベルL<sub>0</sub>となり、偶数段のインバータの縦続接続の入力側に帰還する出力側の位相が、従来の奇数段のインバータの縦続接続における出力側の位相と同じになってリングオシレータの発振条件が満たされるように作用する。

【0017】なお、各段のインバータU1～UNおよびスイッチ回路USにおけるNMOSトランジスタM8およびM4は、いずれも、それぞれの位相反転遅延時間を制御する制御用トランジスタであり、位相反転出力の立下がりのタイミングしか制御していないが、順次の各段毎に信号の極性が反転するのであるから、4以上の偶数N段のインバータU1～UNおよびスイッチ回路USよりなる位相反転回路全体としては、位相反転における立上がりおよび立下がりのタイミングが交互に制御されることになる。

【0018】つぎに、縦続接続するインバータの段数N=8とした場合の例について、図4の(a)に回路構成を示し、(b)に各段信号位相反転のタイミングを順次に示す。なお、以下の説明においては、位相反転信号の立上がりエッジのタイミングについて述べるが、立下がりエッジのタイミングについてもほぼ同様である。図4の(b)に示すタイミング図において、時点t<sub>0</sub>でインバータU1の出力ノードAが高論理レベルH<sub>1</sub>になるとすると、この立上がりエッジが発振周期Tの8分の1の時間間隔T/8で図中矢印で示すように縦続接続中を一つ置きに段ごとに伝搬していくことになる。

【0019】そこで、スイッチ回路USの回路動作を説明すると、図4の(b)に示すタイミング図において、時点t<sub>1</sub>でインバータU6の出力ノードFが低論理レベルL<sub>0</sub>になったときに、スイッチ回路USのMOSトランジスタM1はON状態になりMOSトランジスタM3はOFF状態となるが、インバータU8の出力ノードHが高論理レベルH<sub>1</sub>であるのでMOSトランジスタM2はOFF状態にあり、その結果、スイッチ回路USの出力ノードSはフローティングの状態にあり、直前の低論理レベルL<sub>0</sub>を維持している。しかしながら、時点t<sub>2</sub>でインバータU8の出力ノードHが低論理レベルL<sub>0</sub>になったときには、インバータU6の出力ノードFも低論理レベルL<sub>0</sub>であるので、MOSトランジスタM1、M

2がすべてON状態になり、したがって、スイッチ回路USの出力ノードSは位相反転を生じて時点t<sub>3</sub>で高論理レベルH<sub>1</sub>になる。

【0020】一方、時点t<sub>4</sub>でインバータU6の出力ノードFが高論理レベルH<sub>1</sub>になったときには、MOSトランジスタM1がOFF状態になり、MOSトランジスタM3がON状態になるのでインバータU8の出力ノードHが高論理レベルH<sub>1</sub>になるのを待たずに、スイッチ回路USの出力ノードSが位相反転を生じて時点t<sub>5</sub>で低論理レベルL<sub>0</sub>になる。

【0021】上述したように、本発明電圧制御発振回路においてノードSの信号は、低論理レベルL<sub>0</sub>の信号に対しては、インバータU1～U8およびスイッチ回路USにおける位相反転にそれぞれ生ずる計9段分の時間遅れが生じており、一方、高論理レベルH<sub>1</sub>の信号に対しては、インバータU1～U6およびスイッチ回路USにおける位相反転にそれぞれ生ずる計7段分の時間遅れが生じている。これにより位相反転信号の1周期Tにおける時間遅れは総計9+7=16段の偶数段分であるにも拘らず、位相反転信号の高論理レベルおよび低論理レベルがそれぞれ奇数段の位相反転を受けるので、位相反転の反復による発振を持続し得ることになる。しかして、位相反転信号の極性は、順次の位相反転素子を2段通過する毎にもとの極性に復するのであるから、位相反転発振周期Tの8分の1の時間間隔でタイミング信号を取出すことが可能となる。

【0022】図5及び図7において、f(t)は外部信号、CKは基準クロック信号、PCは位相比較器、LFはループフィルター、VGNはループフィルターの出カ電圧信号、D1、D2、D3、---D8はフリップフロップ回路FF1～FF8よりのデータ出力信号を示す。

【0023】すなわち、例えば図5、図7に示すように、本発明電圧制御発振回路における各段のインバータU1～U8にフリップフロップ回路FF1～FF8をそれぞれ組合わせて、各段インバータの出力信号により外部信号f(t)を順次にラッチするように構成すれば、本発明発振回路を用いたPLL回路により位相同期させた基準クロック信号CKの周期の8分の1の時間間隔で外部信号f(t)の変化を刻々に検出することが可能となる。

【0024】この回路の動作を説明すると、本発明電圧制御発振回路1の出力4と基準クロック(CK)を位相比較器PCの入力に接続し、ループフィルターLFを通して制御電圧VGNを制御するように位相同期ループ回路(PLL)を構成することにより、本発振回路1は一定の条件の元で基準クロック信号CKと同じ周期の発振を起こす。ここで各インバータU1～U8及びスイッチ回路USの出力信号は図4(a)で説明したように一つ置きに段ごとに発振周期Tの8分の1の間隔を持って立上がるので、フリップフロップFF1～FF8は図6に

示すように、外部信号  $f(t)$  の論理レベルを  $T/8$  の間隔で  $D1, D2, \dots, D8, D1, \dots$  の順で1段置きに順次ラッチしていく。ここでデータ出力  $D1$  は時刻  $t_1$  の時の外部信号のレベル  $f(t_1)$  を、データ出力  $D2$  は時刻  $t_2$  の時の外部信号のレベル  $f(t_2)$  を持ち、以下データ出力  $D3, \dots, D8$  と続く。これにより外部信号  $f(t)$  がどの時点で変化したかが  $T/8$  の精度で、データ出力  $D1 \sim D8$  を調べることにより知ることができる。

【0025】図7は同様に各段の立下がりエッジを使用した場合の構成例を示す図面である。フリップフロップの接続されている位置が図5と異なっており、また各フリップフロップ  $FF1 \sim FF8$  は信号の立下がりエッジでラッチするものとする。図5及び図7において、各ラッチの時間間隔を一様に保つためには、各段の負荷はダミーの容量を負荷するなどして等しくしておくことが重要である。

【0026】

【発明の効果】以上の説明から明らかなように、本発明によれば、PLL回路に従来用いられていた電圧制御発振器が入力信号に位相同期した発振出力信号を利用することのみを主目的として使用されて来たのに対し、さらに、発振周期の偶数  $N$  分の1の時間間隔でタイミング信号を取出すことが可能となり、特に、発振周期の  $2^n$  分の1の時間間隔を有するタイミング信号が得られるので、本発明発振回路の発振出力を入力とするカウンタと組み合わせれば、長時間に亘り継続して高速度・高精度の計測を行なうことが容易になる、という格別顕著な効果を挙げることができる。

【図面の簡単な説明】

【図1】図1は位相同期ループ(PLL)回路の構成を示すブロック線図である。

【図2】図2は従来の電圧制御発振回路の構成および各部信号波形を示す線図である。

【図3】図3(a)は本発明電圧制御発振回路の概略構成を示す回路図、

図3(b)はその発振回路における各段インバータの構成を示す回路図、

図3(c)は各段のインバータの詳細を示す回路図である。

【図4】図4(a)は本発明電圧制御発振回路の構成例を示す回路図、

図4(b)はその各部信号波形を示す波形図である。

【図5】図5は各段のインバータの立上がりエッジを利用した場合の本発明発振回路を用いた信号検出器を示す図面である。

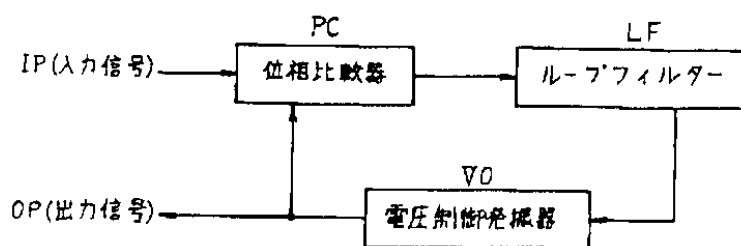
【図6】図6は図5の各部信号波形図である。

【図7】図7は各段のインバータの立下がりエッジを利用した場合の本発明発振回路を用いた信号検出器を示す図面である。

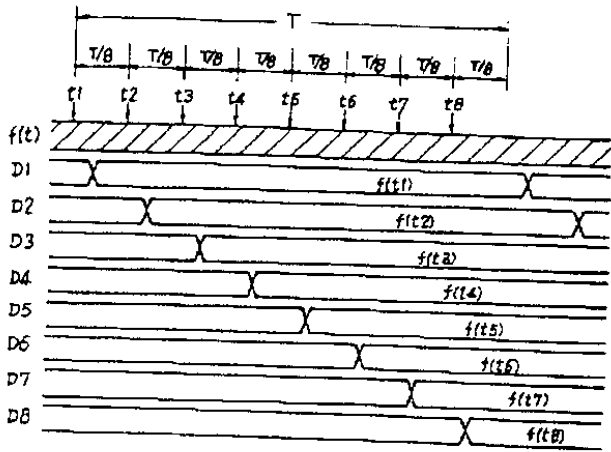
【符号の説明】

- PLL 位相同期ループ
- VO 電圧制御発振器
- PC 位相比較器
- LF ループフィルター
- IP 入力信号
- OP 発振出力
- $f(t)$  外部信号
- CK 基準クロック信号
- $f(t_1), f(t_2), \dots, f(t_8)$  外部信号  $f(t)$  の時刻  $t_1, t_2, \dots, t_8$  におけるレベル
- $D1, D2, D3, \dots, D8$  データ出力信号
- $FF1, FF2, FF3, \dots, FF8$  フリップフロップ回路
- $U1, U2, U3, \dots, UN$  インバータ
- $M1, M2, M3, \dots, M8$  MOS型トランジスタ
- F, H 出力ノード
- US スイッチ回路
- VDD ドレイン電圧
- IN インバータの入力端子
- OUT インバータの出力端子
- VGN スイッチ回路に印加している制御電圧
- 1 リングオシレータ
- 2 リングオシレータの最終段出力
- 3 リングオシレータの初段入力

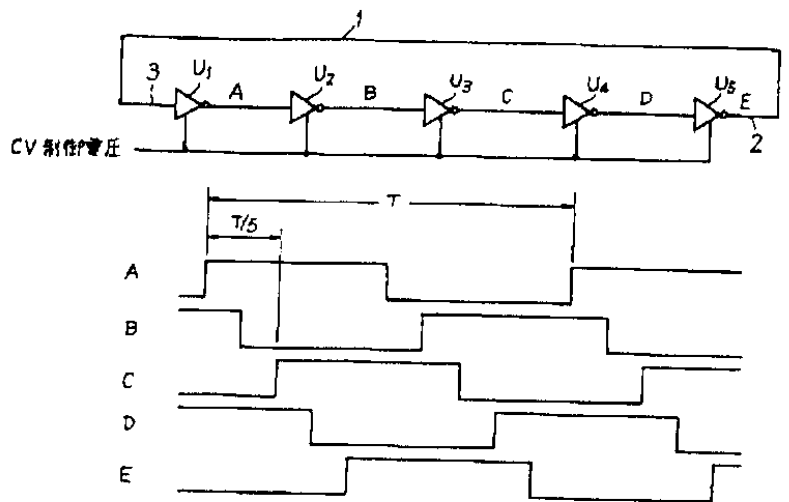
【図1】



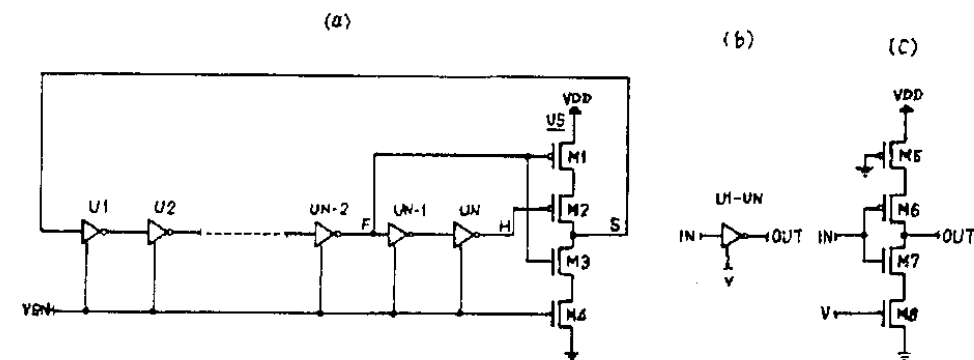
【図6】



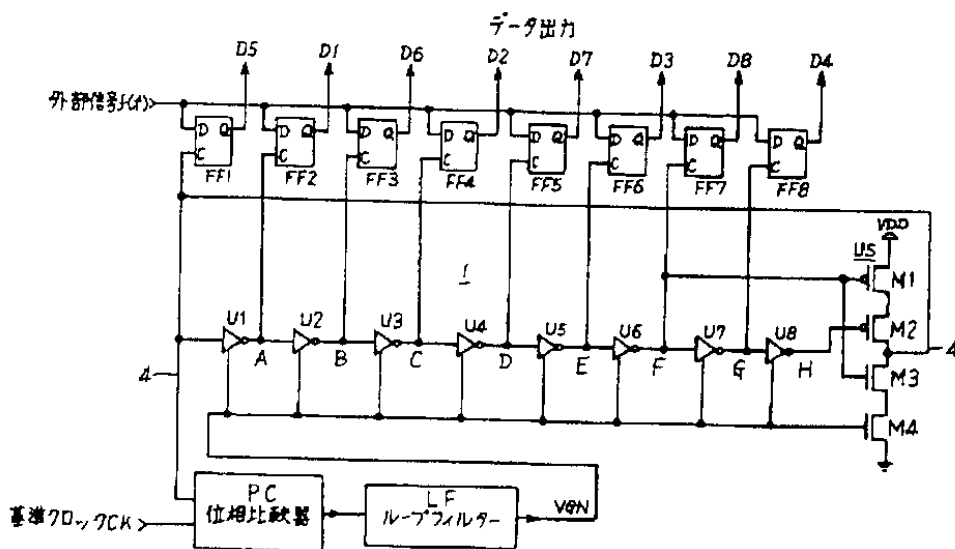
【図2】



【図3】

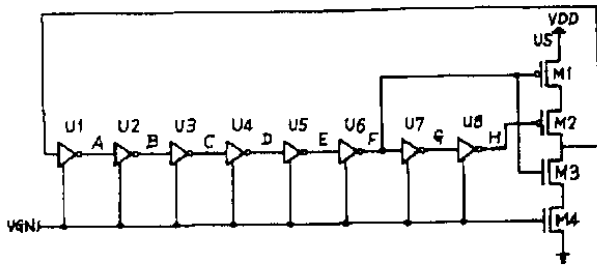


【図5】

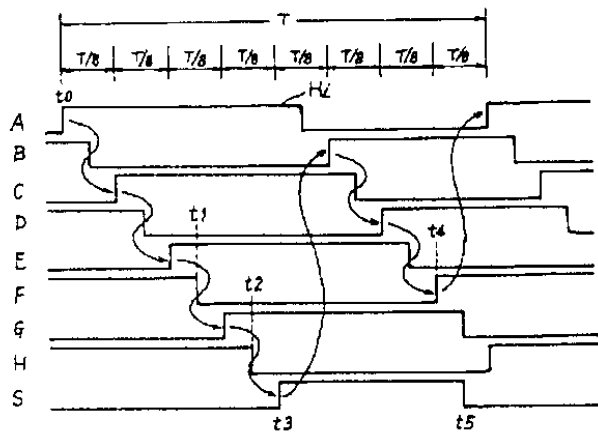


【図 4】

(a)



(b)



【図 7】

