

特願平3-133169

【書類名】 特許願
【整理番号】 N T T H 0 2 5 3 5 9
【提出日】 平成 年 3.5.10 日
【あて先】 特許庁長官殿
【国際特許分類】 G 1 1 C 7 / 0 0
【発明の名称】 マルチポートメモリセル回路
【請求項の数】 2
【発明者】

【住所又は居所】 東京都千代田区内幸町一丁目1番6号 日本電信電話
株式会社内

【氏名】 松村 常夫

【発明者】

【住所又は居所】 茨城県つくば市大穂1番地1 高エネルギー物理学研
究所内

【氏名】 新井 康夫

【特許出願人】

【識別番号】 0 0 0 0 0 4 2 2 6

【氏名又は名称】 日本電信電話株式会社

【代表者】 兎島 仁

【特許出願人】

【住所又は居所】 茨城県つくば市大穂1番地1

【氏名又は名称】 高エネルギー物理学研究所長 菅原 寛孝

【代理人】

【識別番号】 1 0 0 0 6 4 6 2 1

【弁理士】

【氏名又は名称】 山川 政樹

【電話番号】 0 3 - 3 5 8 0 - 0 9 6 1

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 006194

【納付金額】 14000

【提出物件の目録】

【物件名】 明細書 1

【物件名】 函面 1

【物件名】 要約書 1

【物件名】 委任状 1

【包括委任状番号】 9004756

【書類名】 明細書

【発明の名称】 マルチポートメモリセル回路

【特許請求の範囲】

【請求項1】 第1及び第2のインバータの出力ノードに各々第1及び第2のデータ読みだし用セル選択トランジスタが接続され、この第1及び第2のデータ読みだし用セル選択トランジスタは各々データ読みだし用ビット線に接続されるとともに、データ読みだし用ワード線で制御され、前記第1及び第2のインバータの入力ノードに各々第1及び第2のデータ書き込み用セル選択トランジスタが接続され、この第1及び第2のデータ書き込み用セル選択トランジスタは各々データ書き込み用ビット線に接続されるとともに、データ書き込み用ワード線で制御され、前記第1のインバータの出力ノードと第2のインバータの入力ノードの間及び第2のインバータの出力ノードと第1のインバータの入力ノードの間に各々電氣的に該ノード間を遮断する回路手段を設けるか、または、前記第1のインバータの出力ノードと第2のインバータの入力ノードの間及び第2のインバータの出力ノードと第1のインバータの入力ノードの間のうち何れか一方に電氣的に該ノード間を遮断する回路手段を設け、該ノード間を遮断する回路手段が前記データ書き込み用ワード線で制御されることを特徴とするマルチポートメモリセル回路。

【請求項2】 請求項1記載のマルチポートメモリセル回路において、

前記データ書き込み用ワード線に、外部からの制御信号により遅延量を制御し得る遅延回路を付加したことを特徴とするマルチポートメモリセル回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明はマルチポートメモリセル回路の構成に関し、特にデータ書き込み用ワード線とデータ読みだし用ワード線とが異なり、かつデータ書き込み経路とデータ読みだし経路とが異なるマルチポートメモリセル回路に関するものである。

【0002】

【従来の技術】

図3に、データ書き込み用ワード線、データ読みだし用ワード線、データ書き込み経路及びデータ読みだし経路がそれぞれ独立した構成の従来のマルチポートメモリセル回路を示す。同図において、M1, M2はpチャンネルトランジスタ、M3, M4はnチャンネルトランジスタである。これらのトランジスタM1~M4で同回路内のストアデータをラッチするフリップフロップが構成される。M5~M8はnチャンネルトランジスタであり、そのうちM5, M6がデータ読みだし用セル選択トランジスタ、M7, M8がデータ書き込み用セル選択トランジスタである。また、BL(R), BLN(R)は相補データを伝播するデータ読みだし用ビット線対、BL(W), BLN(W)は相補データを伝播するデータ書き込み用ビット線対である。また、WL(R)はデータ読みだし用ワード線、WL(W)はデータ書き込み用ワード線である。なお、N1はトランジスタM2, M4で構成されるインバータの入力ノード(トランジスタM1, M3で構成されるインバータの出力ノード)であり、また、N2はトランジスタM1, M3で構成されるインバータの入力ノード(トランジスタM2, M4で構成されるインバータの出力ノード)である。

【0003】

図3で示されたメモリセル回路において、入力ノードN1に「H」レベル、入力ノードN2に「L」レベルがストアされており、データ書き込み用ビット線対BL(W)に「L」レベル、BLN(W)に「H」レベルを与えて反転データを書き込む場合を考える。データの書き込みは、データ書き込み用ワード線WL(W)を立ち上げ、図中のトランジスタM2, M4で構成されるインバータの論理しきい値(インバータの状態を反転させ得る入力電圧値)以下に入力ノードN1の電圧レベルを引き下げることで行う。この場合、データ書き込み回路(図示せず)がデータ書き込み用ビット線BL(W)とトランジスタM7とを介して入力ノードN1にストアされた電荷を引き抜く。以上の状況を踏まえ、複数のワード線WL(W)を立ち上げて、同一ビット線BL(W)上の「L」レベルデータを複数の同メモリセル回路群に一括して書き込む場合を考察する。

【0004】

入力ノードN1の電圧レベルは、データ書き込み回路内の電荷引き抜き用トラ

ンジスタ、データ書き込み用セル選択トランジスタM7、及びpチャネル負荷トランジスタM1の導通抵抗比で決定される。複数メモリセル回路群への同時書き込みの場合、この抵抗比により、入力ノードN1の電圧レベルは1メモリセル回路への書き込みに比べて数倍上昇する。したがって、入力ノードN1の電圧レベルが上記インバータの論理しきい値以下にはならず、データの書き込みができない場合が生じる。

【0005】

図4は、データ書き込み用ワード線、データ読みだし用ワード線、データ書き込み経路及びデータ読みだし経路が独立した従来のマルチポートメモリセル回路を示している。本回路が図3の回路構成と異なる点は、データ書き込み用ワード線WL(W)に遅延回路DLが挿入されていることである。遅延回路DLの出力ノードWL'(W)がデータ書き込み用セル選択トランジスタM7、M8を制御する。遅延回路DLにおいて、トランジスタM9、M10はnチャネルトランジスタM11～M13はpチャネルトランジスタである。トランジスタM13のゲートに入力される制御線CTLの連続的な電圧変化により、トランジスタM13のトランジスタ利得定数が増減し、トランジスタM9、M11とともに構成されるインバータ出力の立ち上がり時間を連続的に変化させる。この結果、トランジスタM9、M11、M13からなるインバータの信号伝播遅延量を変化させることができる。このトランジスタM9、M11、M13からなるインバータの出力ノードは、トランジスタM10、M12からなるインバータの入力ノードに接続される。したがって、制御線CTLの電位に応じてデータ書き込み用ワード線WL(W)が任意の遅延量を持ってデータ書き込み用ワード線WL'(W)に伝播される。

以上述べたことから明らかなように、図4に示したマルチポートメモリセル回路の構成によれば、任意の時間間隔、つまり時間精度を持って入力データをこれらメモリセル回路に書き込むことができる。したがって、入力データの「L」レベルから「H」レベル、または「H」レベルから「L」レベルへの遷移時期(タイミング)を本メモリセル回路列に高精度に記録し、蓄積することができる。

【0006】

以上述べた図4のメモリセル回路のデータ書き込み用ワード線WL(W)と隣接した同回路のデータ書き込み用ワード線WL'(W)とが接続するようにして複数個並べたメモリセル回路の動作を考える。複数のメモリセル回路が同時に選択されるように、長いサイクルのクロック信号を列端の同回路のデータ書き込み用ワード線WL(W)に印加した場合、データ書き込み用ビット線対BL(W), BLN(W)上のデータが複数のメモリセル回路内のトランジスタM8, M7を介して、同回路内のノードN1, N2に伝播される。しかし、上記従来例と同様に、例えばノードN1の電圧レベルをトランジスタM2, M4からなるインバータの論理しきい値以下にすることが難しく、データの書き込みが行えない状況が生じる。

【0007】

【発明が解決しようとする課題】

このように従来のマルチポートメモリセル回路は、複数個の同回路に対して同時に、または、シリアルにデータを書き込むことが困難であるという問題があった。

本発明は、データの書き込みが複数個同時にまたはシリアルに行えるマルチポートメモリセル回路を提供することにある。

【0008】

【課題を解決するための手段】

本発明に係るマルチポートメモリセル回路は、フリップフロップを構成する2つのインバータの接続線に、該接続線を電氣的に遮断する回路手段を挿入し、データ書き込み時に該回路手段を制御して該接続線を電氣的に遮断するようにしたものである。

【0009】

【作用】

本発明においては、上記インバータの論理しきい値がデータ書き込みに影響されないように同メモリセルを構成できるため、複数個の同メモリセル回路への同時またはシリアルにデータの書き込みが容易に行える。

【0010】

【実施例】

以下、本発明の実施例を図面を参照して説明する。

図1は、本発明の一実施例を示す回路図である。本実施例の特徴は、(1)データ書き込み用セル選択トランジスタM7, M8が各々、トランジスタM1, M3からなるインバータの入力ノードN3に、及び、トランジスタM2, M4からなるインバータの入力ノードN4に直接接続されている点、(2)データ書き込み用ワード線WL(W)が「H」レベルのデータ書き込み期間中、入力ノードN1と入力ノードN4, 及び入力ノードN2と入力ノードN3を各々電氣的に切り離すトランジスタM14, M15を挿入している点、である。本実施例では、トランジスタM14, M15は、pチャネルトランジスタで構成されている。

【0011】

本実施例によれば、上記した互いのインバータの状態、特に論理しきい値に関係なく、所望のデータを独立してこれらインバータの入力ノードに書き込むことができる。この書き込み状態は、同時に選択されるメモリセル回路の数に依存しない。また、データ書き込み用ワード線WL(W)が「L」レベルとなってデータ書き込みが終了すると、トランジスタM14, M15がオン状態となり、書き込みデータをラッチするフリップフロップが再び構成される。

【0012】

図2は、本発明の第2の実施例を示す回路図である。本実施例が第1実施例と異なる点は、データ書き込み用ワード線WL(W)に、図4に示す遅延回路DLが挿入されていることである。この遅延回路DLの出力ノードWL'(W)がトランジスタM7, M8、M14, M15を制御する。なお、遅延回路DLの動作については既に説明したのでここではその説明を省略する。本実施例によれば、データ書き込み用ワード線WL(W), WL'(W)が「H」レベルのデータ書き込み期間中、ノードN1とノードN4との間、及び、ノードN2とノードN3との間はトランジスタM14, M15によって電氣的に切り離される。したがって、図2中のトランジスタM1, M3からなるインバータ及びトランジスタM2, M4からなるインバータの論理しきい値に無関係に、所望のデータを独立してこれらのインバータの入力ノードに書き込むことができる。この書き込み状態は

、同時に選択されるメモリセル回路の数に依存しない。また、データ書き込み用ワード線WL(W), WL'(W)が「L」レベルとなってデータ書き込みが終了すると、トランジスタM14, M15がオン状態となり、書き込みデータをラッチするフリップフロップが再び構成される。

【0013】

なお、上記実施例では、2つのトランジスタM14, M15を用いて構成したが、本発明はこれらトランジスタの数には限定されない。すなわち例えばトランジスタM14, M15のいずれか一方を用いて回路を構成しても良い。また、トランジスタM14, M15はpチャネルトランジスタに限定されない。例えばトランジスタM14, M15をnチャネルトランジスタ、トランジスタM7, M8をpチャネルトランジスタに替えることで、データ書き込み用ワード線WL(W), WL'(W)が「L」レベル期間中にデータ書き込みが行える回路を構成することもできる。さらに、トランジスタM14, M15をCMOS構成のトランスファゲートに替えても良い。また、遅延回路DLにおいて、制御線CTLで制御されるpチャネルトランジスタM13の代わりに制御線CTLの反転信号で制御されるnチャネルトランジスタをトランジスタM9の接地側に設けても同様の効果が得られる。さらに、トランジスタM9の接地側に設けられた該nチャネルトランジスタとトランジスタM13の両者を用いてデータ書き込み用ワード線WL(W)の信号伝播量を制御するようにしても良い。

【0014】

【発明の効果】

以上説明したように、本発明に係るマルチポートメモリセル回路によれば、同回路内のフリップフロップを構成する2つのインバータの接続線に、該接続線を電氣的に切り離す回路手段を挿入し、データ書き込み時に該回路手段を制御して該接続線を電氣的に切り離すことが可能となる。このため、上記インバータの論理しきい値がデータ書き込みに影響されないように同メモリセル回路を構成でき、複数個の同メモリセル回路への同時またはシリアルなデータ書き込みが容易に行えるという効果を奏する。特に、遅延量が制御された遅延回路を構成要素とする本発明のマルチポートメモリセル回路を用いれば、入力データの「L」レベル

から「H」レベル、または「H」レベルから「L」レベルへの遷移時期（タイミング）を本メモリセル回路列に高精度に記録し、蓄積することができるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の第1実施例を示す回路図である。

【図2】

本発明の第2実施例を示す回路図である。

【図3】

従来のマルチポートメモリセル回路の回路図である。

【図4】

従来のマルチポートメモリセル回路の他の例を示す回路図である。

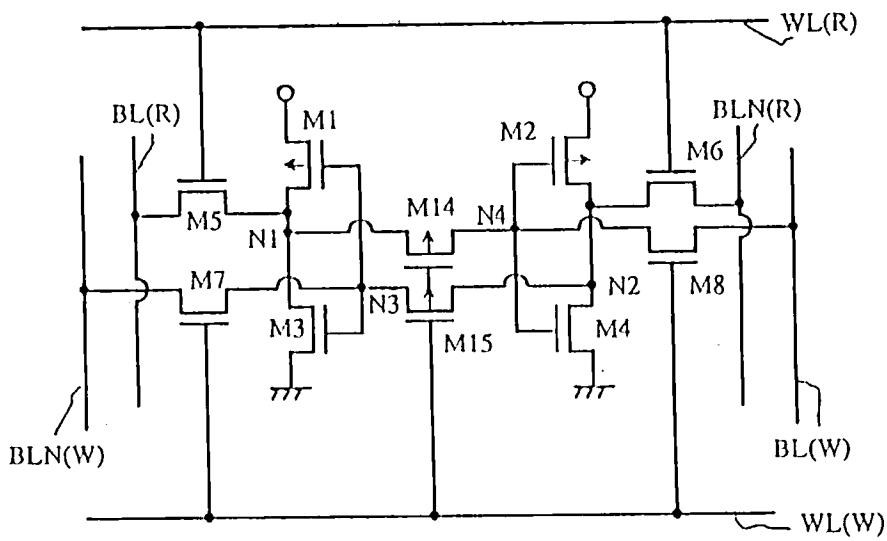
【符号の説明】

M1, M2, M11~M15	pチャンネルトランジスタ
M3~M10	nチャンネルトランジスタ
DL	遅延回路
BL(R), BLN(R)	データ読みだし用ビット線対
BL(W), BLN(W)	データ書き込み用ビット線対
WL(R)	データ読みだし用ワード線
WL(W), WL'(W)	データ書き込み用ワード線
CTL	制御線

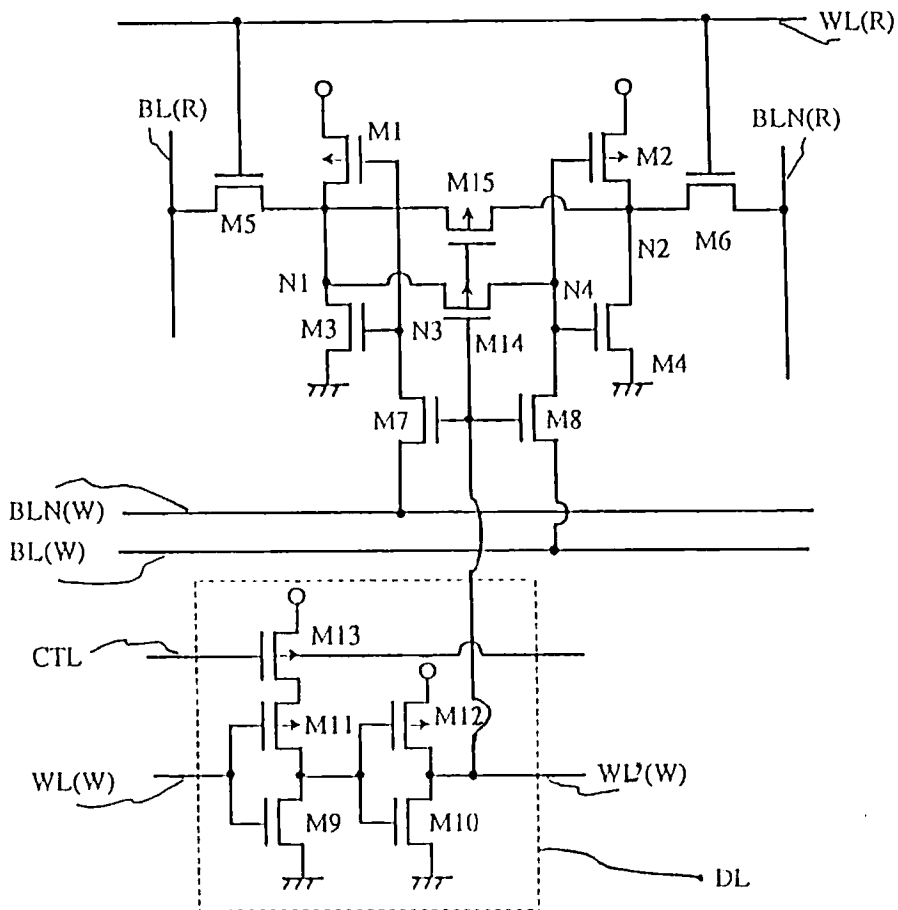
整理番号 NTH025359

【書類名】 図面

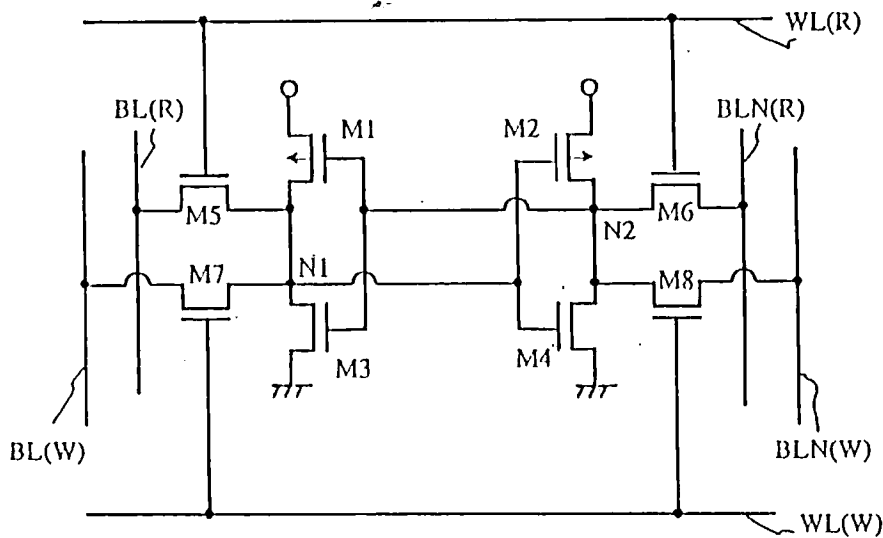
【図 1】



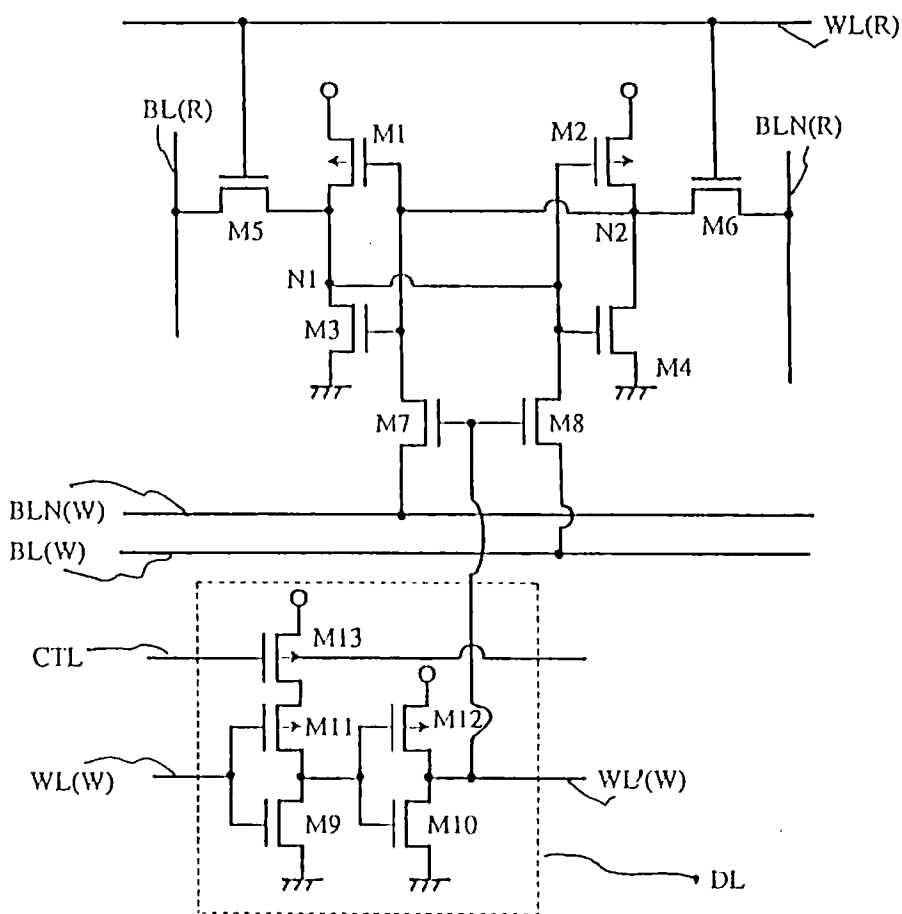
【図 2】



【 図 3 】



【 図 4 】



【書類名】 要約書

【要約】

【目的】 データの書き込みが複数個同時に、またはシリアルに行えるマルチポートメモリセル回路を提供する。

【構成】 マルチポートメモリセル回路内のフリップフロップを構成する2つのインバータの接続線に、この接続線を電氣的に切り離す回路手段を挿入し、データ書き込み時に回路手段を制御して上記の接続線を電氣的に切り離す。この結果、インバータの論理しきい値がデータ書き込みに影響されないような同メモリセル回路を構成でき、複数個の同メモリセル回路への同時またはシリアルなデータの書き込みが容易に行えたとともに、遅延量が制御された遅延回路を付加すれば、入力データの「L」レベルから「H」レベル、または「H」レベルから「L」レベルへの遷移時期（タイミング）を本メモリセル回路列に高精度に記録できる。

【選択図】 図1