

(45)発行日 平成8年(1996)9月18日

(24)登録日 平成8年(1996)7月8日

(51)Int.Cl.^o
H03K 5/13

識別記号 庁内整理番号

F1
H03K 5/13

技術表示箇所

請求項の数1(全7頁)

(21)出願番号 特願昭63-67314
 (22)出願日 昭和63年(1988)3月23日
 (65)公開番号 特開平1-241213
 (43)公開日 平成1年(1989)9月26日
 審判番号 平4-11968

(73)特許権者 999999999
 高エネルギー物理学研究所長
 茨城県つくば市大穂1番地1
 (72)発明者 新井 康夫
 茨城県つくば市吾妻4丁目104-401
 (74)代理人 弁理士 杉村 暁秀 (外1名)

合議体
 審判長 逸見 輝雄
 審判官 西山 昇
 審判官 和田 志郎

(56)参考文献 実開 昭62-161425 (JP, U)

(54)【発明の名称】 高精度多段遅延回路

(57)【特許請求の範囲】

【請求項1】 周期Tの複数のクロック信号の入力端子と、これら入力端子の一つに接続され、均一な特性を持ち、制御電圧Vgにより遅延時間tを可変できる可変遅延素子をn段直列接続した多段遅延素子5と、該多段遅延素子の遅延時間(t×n)と外部クロック信号の時間差Tとをそれぞれ電圧に変換して比較し、その比較の結果に基づいて前記制御電圧Vgを調整して出力する時間比較回路6と、該時間比較回路の出力を前記多段遅延素子の各可変遅延素子に帰還してその遅延時間を制御する帰還回路17とを具え、他の可変遅延素子の高精度化のための制御電圧Vgを前記時間比較回路の出力端20より得る高精度多段遅延回路において、前記時間比較回路が、前記クロック信号中のスタート信号Φ1でセットされ、前記多段遅延素子よりの遅延信号

10

2

Φ1'でリセットされる第1のフリップフロップ回路8Aと、前記スタート信号Φ1でセットされ、時間差Tを持った次のレファレンスタイム信号Φ2でリセットされる第2のフリップフロップ回路8Bと、各フリップフロップ回路8A, 8Bの出力側に設けられ、前記セットおよび前記リセットに応じて定電流源10A, 10Bをそれぞれ開閉するMOSスイッチ9M1, 9M2と、前記MOSスイッチ9M1, 9M2の導通時に定電流源10A, 10Bそれぞれにより充電されるコンデンサC1, C2と、リセット用信号端子1Piに接続されコンデンサC1, C2それぞれに並列接続された前記時間比較回路リセット用MOSスイッチ12A, 12Bと、前記コンデンサC1, C2の出力側にそれぞれ接続された入力端子21, 22を有する電圧比較器11と、2つのコンデンサC1, C2の充電電圧をそれぞれVc1, Vc2としたとき、電圧比較回路の出力側に設けられVc1 < Vc2, Vc1 > Vc2に応じてそれぞれ定電流源1

3

4A, 14Bを開路するMOSスイッチ23A, 23Bと、MOSスイッチ23A, 23Bの出力側に設けられ、ストア信号IP (i-1)の入力時に前記MOSスイッチ23A, 23Bの出力側より定電流源14A, 14Bからの定電流それぞれを取り出すMOSスイッチ15と、該取り出された定電流により充電が制御されるコンデンサC3とを具え、スタート信号Φ1が来てからレファレンスタイム信号Φ2が来るまでの時間MOSスイッチ9M2を導通させ、Φ1とΦ2の時間差Tに比例した電圧V_{c2}をコンデンサC2に取り出し、スタート信号Φ1が来てから多段遅延素子の遅延信号Φ1'が来るまでの間MOSスイッチ9M1を導通させ、Φ1とΦ1'の時間差 (l × n) に比例した電圧V_{c1}をコンデンサC1に取り出し、この両方の電圧を電圧比較器11で比較し、ストア信号Φ (i-1) の入力があつた時に、コンデンサC3に存在する電圧V_gを調整し、リセット信号ΦiによりMOSスイッチ12A, 12Bを導通させコンデンサC1, C2を放電させてリセットさせるよう構成した、ことを特徴とする高精度多段遅延回路。

【発明の詳細な説明】

(産業上の利用分野)

本発明は高精度な時間測定回路を集積回路により実現するための帰還路をもつた高精度多段遅延回路に関するものである。

本発明の産業上利用できる分野は多重ビット用時間デジタル変換器、ロジック・アナライザ等の高速記憶回路、可変パルス幅のパルス発生回路等である。

(従来の技術)

従来、高速パルスの時間情報の記録を行う際には、第4図に示すように、必要な時間分解能に対応した高周波数のクロック信号を使う必要があつた。図中1は入力信号、2はクロック信号、3はフリップフロップ回路を示す。複数の直列接続のフリップフロップ回路3A, 3B…3Nに対し、入力信号1が直列に加えられ、クロック信号2は並列に加えられる。しかし、高周波数のクロック信号を使用すると必然的に消費電力が増大し、又実装方法も難かしくなる。

そこでクロック信号の周波数を下げ、実効的な時間分解能を上げる方法として第5図に示すように遅延素子4を用いるものがある。

(発明が解決しようとする課題)

しかしこの場合には遅延素子の時間精度が重要となり、特にIC化する際に大きな問題となる。通常IC中で信号の遅延をおこなう際には、いくつかのゲート回路を組み合わせて実現するが、ゲートの遅延時間はICプロセスの性能により大きなバラツキをもつ。さらに、電源電圧、温度の変動によっても遅延時間は変わってしまい、ゲート回路により遅延素子は高精度の遅延素子としては使用できなかった。

時間情報の高精度化は、さまざまな測定分野の重要な技術の一つである。特に、高エネルギー物理実験で使用

4

されるワイヤー検出器等では、1n秒程度の分解能で数万チャンネルに及ぶ信号を処理する必要がある。現在このための測定回路は多くの部品を組み合わせたモジュールとして実現されているが、今後はLSI化による高集積化がかかせなくなつてきている。すなわち、高速パルスの時間測定技術は、高エネルギー物理実験で使用される検出器の読み出し回路でしばしば用いられているが、検出器の大型化、高精度化と共に、多チャンネル化、低消費電力化、高集積度化が求められている。

10 低消費電力化のためには低い周波数のクロック信号で動作することが必要であり、又多チャンネル化、高集積度化のためにはIC化する必要がある。

(課題を解決するための手段)

本発明は以上の如き従来の問題点を解決するため、従来の遅延素子をもつた時間測定回路を、集積回路により高精度な時間測定回路を実現するため、帰還回路を設けて従来の欠点をなくすようにしたものである。

20 本発明の目的とする所は、帰還回路を設け、別に設けた時間比較回路により可変遅延素子を制御する制御電圧を取り出し、遅延時間の制御を高精度化しようとするものであつて、この目的を達成するための本発明高精度多段遅延回路は、周期Tの複数のクロック信号の入力端子と、これら入力端子の一つに接続され、均一な特性を持ち、制御電圧V_gにより遅延時間tを可変できる可変遅延素子をn段直列接続した多段遅延素子5と、該多段遅延素子の遅延時間 (l × n) と外部クロック信号の時間差Tとをそれぞれ電圧に変換して比較し、その比較の結果に基づいて前記制御電圧V_gを調整して出力する時間比較回路6と、該時間比較回路の出力を前記多段遅延素子の各可変遅延素子に帰還してその遅延時間を制御する帰還路17とを具え、他の可変遅延素子の高精度化のための制御電圧V_gを前記時間比較回路の出力端20より得る高精度多段遅延回路において、前記時間比較回路が、前記クロック信号中のスタート信号Φ1でセットされ、前記多段遅延素子よりの遅延信号Φ1'でリセットされる第1のフリップフロップ回路8Aと、前記スタート信号Φ1でセットされ、時間差Tを持った次のレファレンスタイム信号Φ2でリセットされる第2のフリップフロップ回路8Bと、各フリップフロップ回路8A, 8Bの出力側に設けら

れ、前記セットおよび前記リセットに応じて定電流源10A, 10Bをそれぞれ開閉するMOSスイッチ9M1, 9M2と、前記MOSスイッチ9M1, 9M2の導通時に定電流源10A, 10Bそれぞれにより充電されるコンデンサC1, C2と、リセット用信号端子Piに接続されコンデンサC1, C2それぞれに並列接続された前記時間比較回路リセット用MOSスイッチ12A, 12Bと、前記コンデンサC1, C2の出力側にそれぞれ接続された入力端子21, 22を有する電圧比較器11と、2つのコンデンサC1, C2の充電電圧をそれぞれV_{c1}, V_{c2}としたとき、電圧比較回路の出力側に設けられV_{c1} < V_{c2}, V_{c1} > V_{c2}に応じてそれぞれ定電流源14A, 14Bを開路するMOSスイッチ

30 40 50

40 50

23A, 23Bと、MOSスイッチ23A, 23Bの出力側に設けられ、ストア信号IP ($i-1$)の入力時に前記MOSスイッチ23A, 23Bの出力側より定電流源14A, 14Bからの定電流それぞれを取り出すMOSスイッチ15と、該取り出された定電流により充電が制御されるコンデンサC3とを具え、スタート信号Φ 1 が来てからレファレンスタイム信号Φ 2 が来るまでの時間MOSスイッチ9M2を導通させ、Φ 1 とΦ 2 の時間差Tに比例した電圧 V_{e2} をコンデンサC2に取り出し、スタート信号Φ 1 が来てから多段遅延素子の遅延信号Φ 1' が来るまでの間MOSスイッチ9M1を導通させ、Φ 1 とΦ 1' の時間差 ($t \times n$) に比例した電圧 V_{e1} をコンデンサC1に取り出し、この両方の電圧を電圧比較器11で比較し、ストア信号Φ ($i-1$)の入力があった時に、コンデンサC3に存在する電圧 V_e を調整し、リセット信号Φ i によりMOSスイッチ12A, 12Bを導通させコンデンサC1, C2を放電させてリセットさせるように構成した、ことを特徴とするものである。

本発明の回路によると、高精度で低消費電力の時間測定回路のIC化がおこなえると共に、ロジック・アナライザのメモリー、パルス発生器等、各種測定器の回路の小型化、低消費電力化への応用の可能性もある。

(実施例)

以下第1図ないし第3図について、本発明の実施の一例態様を説明する。5は遅延時間 t が可変な遅延素子でこれを n 段つなげた1例の遅延素子を示す。回路を制御するための複数のクロック信号Φ 1, Φ 2 … Φ ($i-1$)、Φ i を外部から図のよう各入力端子IP1, IP2, …, IP ($i-1$), IPiにそれぞれ供給する。ここでΦ 1 とΦ 2 間の時間差はTであるが、他のクロック信号のタイミングは回路の動作速度で決められる。破線で示す枠内は時間比較回路6で、セット/リセットタイプのフリップフロップ8A, 8B, MOSスイッチ9M1, 9M2, コンデンサC1, C2, C3, 定電流源10A, 10B, 電圧比較器11からなる。すなわち、各フリップフロップ回路8A, 8Bの出力側にMOSスイッチ9M1, 9M2を接続し、定電流源10A, 10Bからそれぞれ定電流I1, I2をコンデンサC1, C2に供給する。12A, 12Bはリセット用MOSスイッチであり、それぞれMOSスイッチ9M1, 9M2の出力側に設けたコンデンサC1, C2と並列に接続する。電圧比較器11は C1の電圧がC2の電圧よりも一定電圧以上低い時に定電流源14Aを動作させる出力端子11Loと、逆にC1の電圧がC2の電圧よりも一定電圧以上高い時に定電流源14Bを動作させる出力端子11Hiとがある。15はストアスイッチで、このストアスイッチ15を出力は制御用帰還路17を通過して、多段遅延素子5にフィードバックされる。

C3はストアスイッチ15の出力側に接続したコンデンサで制御電圧 V_g を安定化する働きをもつ。 V_g は時間比較回路の出力電圧で多段遅延素子5およびIC内の他の回路で使用される可変遅延素子の遅延時間を制御する電圧である。18はフリップフロップ回路8Aと8Bをスタートさせる

信号Φ 1 の供給回線、19はレファレンスタイム信号Φ 2 をフリップフロップ回路8Bに供給する回線を示す。この時間比較回路では、遅延時間を測定する回路 (8A, 9M1, 10A, 12AおよびC1) と周期Tを測定する回路 (8B, 9M2, 10B, 12BおよびC2) が2つの対称的な回路で構成されており、プロセス、電源電圧、温度等による回路特性の変化が遅延時間の制御に及ぼす影響を最小にすることができる。

上述のように、IC回路のゲートの遅延時間はバラツキが大きいと述べたが、これは主にロット間のバラツキであり、同一チップ内の同一レイアウトの素子間の相対的な精度は非常に良い。このことを利用し、本発明の遅延回路は n 段つなげた遅延素子5の全体の遅延時間 ($t \times n$) を外部クロック信号の時間差Tと比較し帰還をかけることにより高精度の遅延素子を実現したものである。

帰還回路の動作を第1図および第6図について説明する。但しここでは $i=4$ とし、多段可変遅延素子を通るパルスの立ち上がりエッジの遅延時間が制御されるものとする。 i が4以上、または可変遅延素子を通るパルスの立ち下がりエッジの遅延時間が制御される場合も基本的な動作を同じである。また各クロック信号間の時間差は簡単のためすべてTとした。Φ 1 のクロック信号パルスが多段遅延素子5の中を伝搬する間スイッチ9M1がONし、コンデンサC1は定電流源10Aにより充電される。一方コンデンサC2はクロック信号Φ 1 からクロック信号Φ 2 の間、定電流源10Bにより充電される。定電流源10Aと10Bの電流値はカレントミラー回路により同一の値をとるように設定しておく。上記の動作により、コンデンサC1とC2にはそれぞれ遅延素子回路5の遅延時間 ($t \times n$) とクロック信号の周期Tに比例した電圧が生じる。この2つの電圧を電圧比較器11により比較し、ストアパルスが出た際にコンデンサC3を充/放電し、多段遅延素子の制御電圧 V_g の値を変える。これにより次のサイクルでは遅延時間 ($t \times n$) がクロック信号の周期に近づく方向に補正される。これを何サイクルかくり返すと遅延時間 ($t \times n$) はクロック周期Tに近い値で安定となる。尚、コンデンサC1とC2は各サイクルごとにMOSスイッチ12A, 12Bによりリセットされる。

遅延素子の具体例を第2図に示す。これは第2図に示すMOSトランジスタM1を除けば通常のMOSインバーターを2段つないだものであるが、トランジスタM1のゲート電圧 (V_g) を制御することにより第2図B点の地点のパルスの立ち上り時間を、さらにはC点の地点のパルスの立ち下り時間を変えることができる。これによりA点からC点へ伝わるパルスの立ち下りの遅延をゲート電圧 V_g により制御できる。シミュレーションの結果の1例を第3図に示す。この例のようにパルスの立ち下りの遅れを制御した場合、この高精度多段遅延回路の時間比較回路の出力端20で得られる V_g を利用する他の被制御遅延回路で使用されるフリップフロップも、立ち下りのエッジで

トリガーされるよう構成する必要がある。具体的には使用されるフリップフロップの前段に例えば1段インバータを挿入して使用すればよい。

(発明の効果)

従来、IC回路内のゲート遅延時間は、ロットごとにバラツキが大きいため高精度の遅延素子としてはほとんど利用されずにきた。しかし同一チップ内の各素子の相対精度は良いことから、対称的な回路を作りその差をとるという手法は広く使われている。

本発明は、同一チップ内の同一レイアウトによる素子の性能が同じであるということと、基準となる外部クロックの周期と遅延素子列の遅延時間とを対称的な回路で比較することにより、クロック周期のn分の1のタイミングを発生することを可能にした。ここで得られる可変遅延素子の制御信号Vgを用いれば、同じIC内の他の回路において、遅延時間tを持つ高精度な遅延素子が使用できるようになる。この遅延素子をn段直列につなげ、各遅延素子の出力をメモリー回路の書き込み信号として利用すれば、クロック周期のn分の1の分解能の時間記録が可能となる。又、任意の点から出力を取り出すことにより、時間設定間隔がクロック周期のn分の1であるようなパルス発生器とすることもできる。

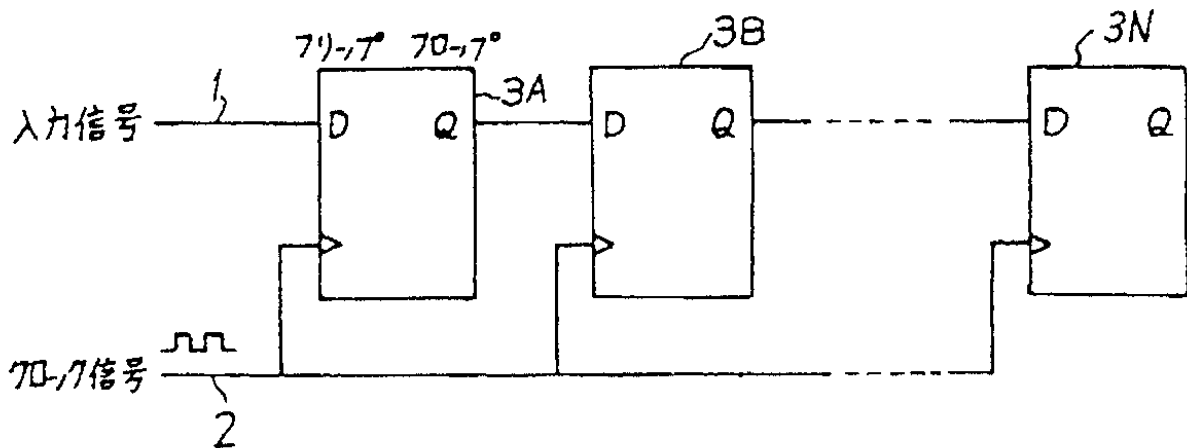
【図面の簡単な説明】

- 第1図は本発明による高精度多段遅延回路の一例の構成を示す回路図、
- 第2図は遅延素子の一例の構成を示す回路図、
- 第3図は本発明装置を使用した遅延時間tとゲート電圧Vgの関係のシミュレーション結果を示す特性図、
- 第4図は従来の速いクロック信号による多段時間測定回路の構成を示す回路図、
- 第5図は従来の遅延素子を用いた時間測定回路、
- 第6図は第1図の帰還回路の動作のタイミングを示すパ

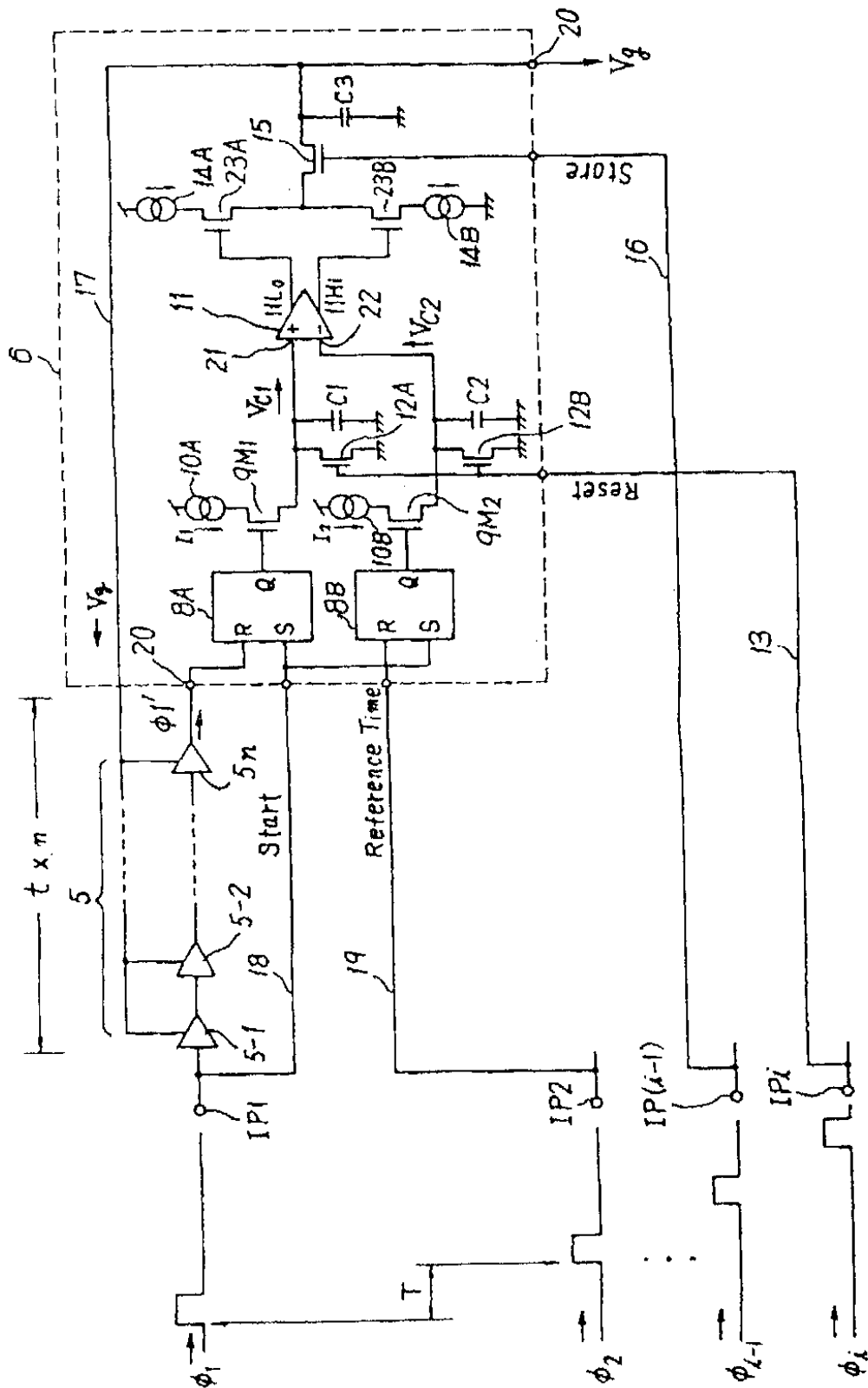
ルス波形である。

- 1 ……入力信号
- 2 ……クロック信号
- 3, 3A, 3B, ……3N ……フリップフロップ回路
- 4 ……遅延素子
- 5 ……遅延時間可変な遅延素子をn段つなげた多段遅延素子
- 6 ……時間比較回路
- $\Phi 1, \Phi 2$ …… $\Phi (i-1), \Phi i$ ……クロック信号
- 10 IP1, IP2, …… IP (i-1), IPi ……入力端子
- 8A, 8B ……フリップフロップ回路
- 9M1, 9M2 ……MOSスイッチ
- C1, C2, C3 ……コンデンサ
- 10A, 10B ……定電流源
- I1, I2 ……定電流
- 11 ……電圧比較器
- 11Lo ……出力端子
- 11Hi ……出力端子
- 12A, 12B ……リセット用MOSスイッチ
- 20 13 ……リセット信号用端子
- 14A, 14B ……定電流源
- 15 ……ストア用MOSスイッチ
- 16 ……ストア信号用端子
- 17 ……制御電圧用帰還路
- 18 ……スタート信号 $\Phi 1$ をフリップフロップ回路8Aおよび8Bに供給する回線
- 19 ……レファレンスタイム信号 $\Phi 2$ をフリップフロップ回路8Bに供給する回線
- 20 ……制御電圧信号
- 30 21, 22 ……電圧比較器の入力端子
- 23A, 23B ……MOSスイッチ

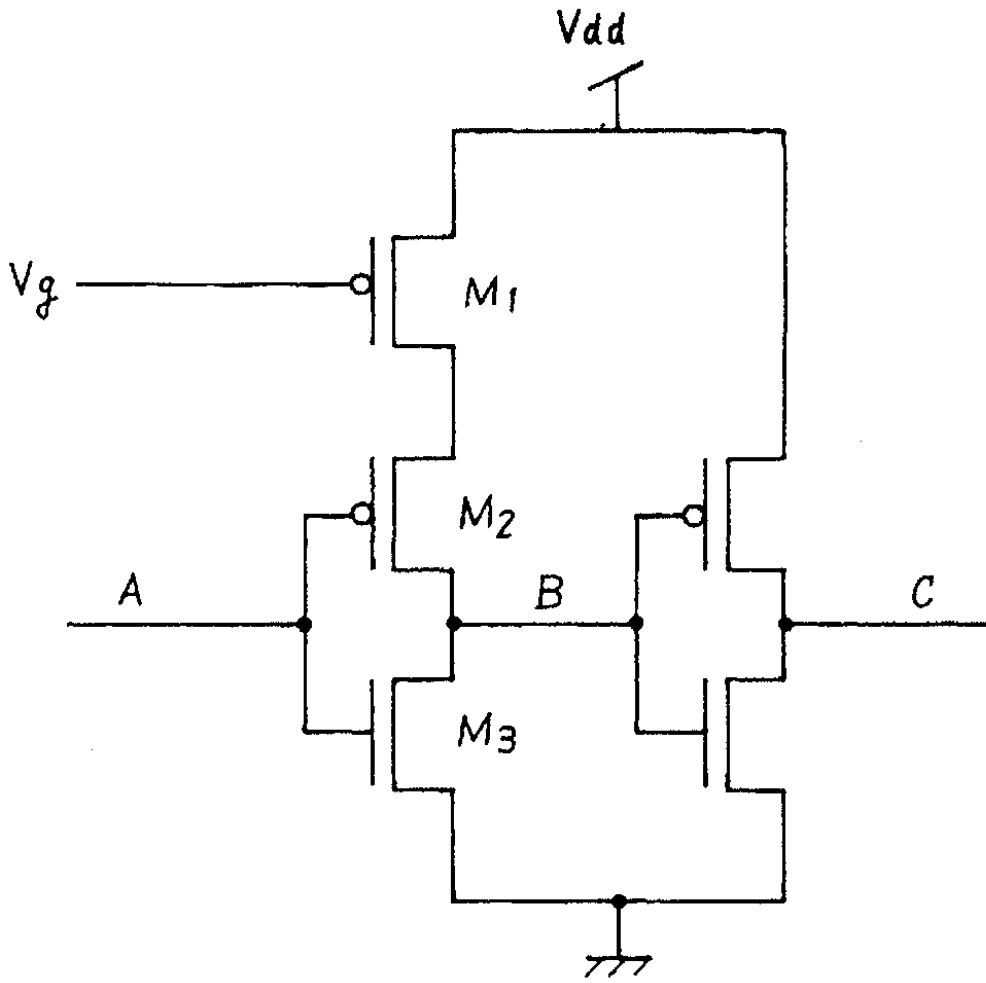
【第4図】



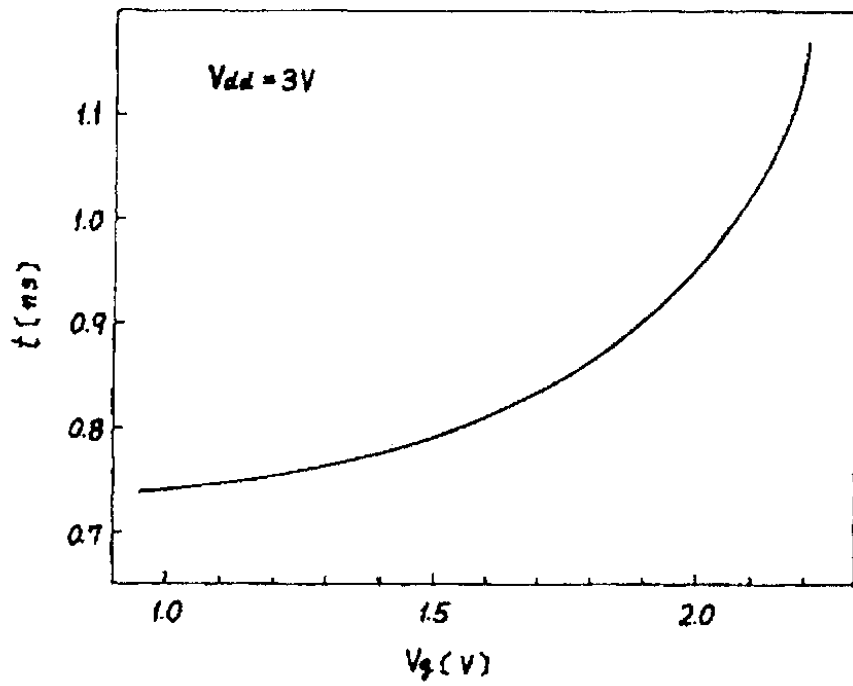
【第1図】



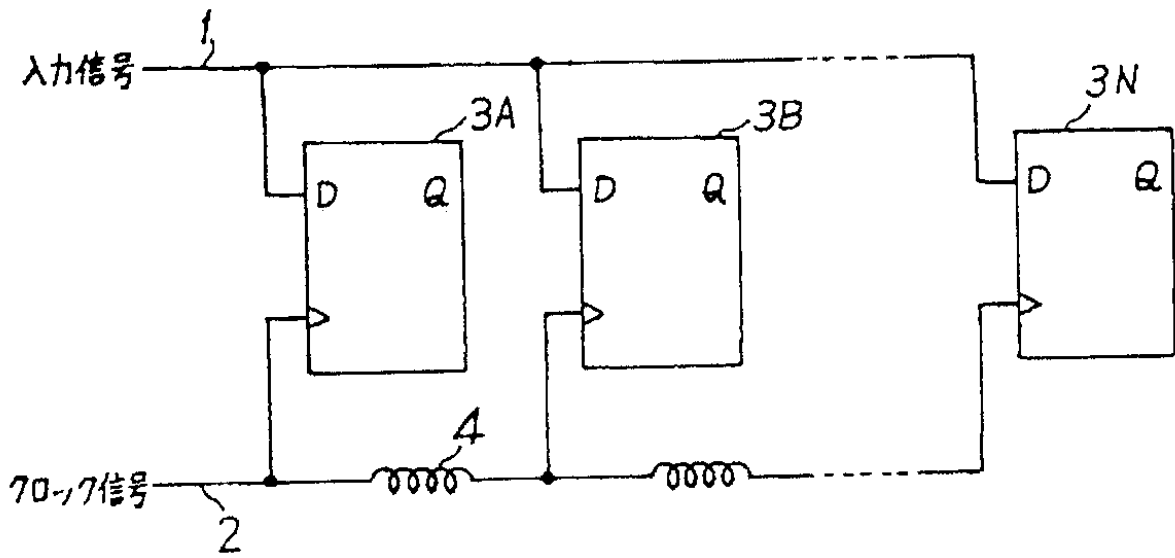
【第2図】



【第3図】



【第5図】



【第6図】

