

【書類名】 特許願
【整理番号】 PJ023551
【提出日】 平成16年10月15日
【あて先】 特許庁長官 小川 洋 殿
【国際特許分類】 H03L 7/099
【発明者】
【住所又は居所】 茨城県つくば市倉掛742-4
【氏名】 新井 康夫
【特許出願人】
【識別番号】 504151365
【氏名又は名称】 大学共同利用機関法人 高エネルギー加速器研究機構
【代理人】
【識別番号】 100072051
【弁理士】
【氏名又は名称】 杉村 興作
【選任した代理人】
【識別番号】 100100125
【弁理士】
【氏名又は名称】 高見 和明
【選任した代理人】
【識別番号】 100101096
【弁理士】
【氏名又は名称】 徳永 博
【選任した代理人】
【識別番号】 100086645
【弁理士】
【氏名又は名称】 岩佐 義幸
【電話番号】 03-3581-7456
【連絡先】 担当
【選任した代理人】
【識別番号】 100107227
【弁理士】
【氏名又は名称】 藤谷 史朗
【選任した代理人】
【識別番号】 100114292
【弁理士】
【氏名又は名称】 来間 清志
【選任した代理人】
【識別番号】 100119530
【弁理士】
【氏名又は名称】 富田 和幸
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項1】

所定の基準クロック信号を受け、第1発振周波数を発生する電圧制御発振回路を具える第1位相同期ループ回路と、前記第1位相同期ループ回路と同じ基準クロック信号を受け、前記第1発振周波数と異なる第2発振周波数を発生する電圧制御発振回路を具える第2位相同期ループ回路とを具え、前記第1位相同期ループ回路と前記第2位相同期ループ回路の出力信号の遅延時間差から微小時間を得ることを特徴とする微小時間差回路。

【請求項2】

第1発振周波数を発生する電圧制御発振回路を具える第1位相同期ループ回路と、前記第1位相同期ループ回路と同じ基準クロック信号を受け、前記第1発振周波数と異なる第2発振周波数を発生する電圧制御発振回路を具える第2位相同期ループ回路とを具え、前記第1位相同期ループ回路及び前記第2位相同期ループ回路の各々に関して、出力信号が各々次に入力されるように直列に接続された複数の可変遅延回路から成る遅延線を具え、各遅延線における各々の可変遅延回路は、関係する位相同期ループ回路の出力信号によって遅延時間を制御され、各遅延線における最初の可変遅延回路は、時間差を得ようとする2つの信号のうち一方を受け、各々の遅延線において同時に変化する可変遅延回路の出力を見つけることにより、前記2つの信号の時間差を決定することを特徴とする時間測定回路。

【請求項3】

複数N1段の遅延回路から成る第1電圧制御発振回路と、前記第1電圧制御発振回路の出力を受け、その周波数を複数M1倍する第1分周回路と、前記第1分周回路の出力と基準クロックとを受け、これらの信号の位相差を前記第1電圧制御発振回路に帰還する位相周波数検出器とを具える第1位相同期ループ回路と、複数N2段の遅延回路から成る第2電圧制御発振回路と、前記第2電圧制御発振回路の出力を受け、その周波数を複数M2倍する第2分周回路と、前記第2分周回路の出力と基準クロックとを受け、これらの信号の位相差を前記第2電圧制御発振回路に帰還する位相周波数検出器とを具える第2位相同期ループ回路と、外部信号を受けると共に、前記第1分周回路の出力をクロック入力信号として受け、粗時間測定を行うカウンタ回路と、前記外部信号を受けると共に、前記第1電圧制御発振回路における遅延回路の各段の出力信号を受け、微細時間測定を行うラッチ及び位相選択回路とを具え、前記第1位相同期ループ回路及び前記第2位相同期ループ回路の各々に関して、出力信号が各々次に入力されるように直列に接続された複数の可変遅延回路から成る第1及び第2遅延線を具え、関係する位相同期ループ回路の出力信号によって遅延時間を制御され、前記第1遅延線における最初の可変遅延回路は、前記ラッチ及び位相選択回路により決定された、前記外部信号に立ち上がり最も近いタイミングの前記第1電圧制御発振回路における遅延回路の段の出力信号を受け、前記第2遅延線における最初の可変遅延回路は、前記ラッチ及び位相選択回路により、前記第1及び第2遅延線内で前記第1遅延線が受けた信号を追い抜けるように遅延を調整された前記外部信号を受け、前記第1及び第2遅延線内のどの遅延回路の出力において信号の到着時間が逆転したかを調べることによって超微細時間測定を行うことを特徴とする時間測定回路。

【書類名】明細書

【発明の名称】2つのPLLを用いた微小時間差回路及び時間測定回路

【技術分野】

【0001】

本発明は、高精度時間計測に関し、特に微小時間差回路と、これを使用する時間測定回路に関する。

【背景技術】

【0002】

科学計測機器、自動車や航空機等の距離測定装置、TOF (Time Of Flight) による元素分析器等におけるデジタル回路においては、入力信号の時間を高精度に測定する必要がある。

【0003】

一般に、デジタル回路において時間を測定する最も簡単な方法は、図1に示すようにクロックを用いてカウンタを動作させ、測定したい信号が到達したときにその時のカウンタの値をレジスタに取り込む方法である。しかしながら、この場合の時間分解能(最小時間単位)は、クロックの周期で決まってしまう、例えば100MHzのクロックを使用した場合には10nsとなる。

【0004】

基準クロック周期よりも短い時間単位の時間測定を行うために、例えば、特開平7-283697号「電圧制御発振回路及びこれを用いた信号検出器」明細書に記載されているような、PLL (Phase Locked Loop: 位相同期ループ) 回路内の電圧制御発振回路を用い、発振周期の整数N分の1の遅延信号を得る回路が開発されている。図2は、このような回路の回路図である。この図に示す例は、16段の遅延回路であり、反転回路U1~U16及びUSにより電圧制御発振回路を構成し、PLL回路から得られる制御電圧(vgn)により発振周波数が可変できるようになっている。また、この回路は、通常奇数段の位相反転回路を用いなければ発振を起こせないところを、偶数段で発振が起こるように工夫したもので、信号の立ち上がりが $f_1 \rightarrow f_2 \rightarrow f_3 \rightarrow \dots \rightarrow f_{16} \rightarrow f_1$ の順番で変化し、基準クロックの16分の1の時間間隔を持った立ち上がり信号を得ることができる。この場合、時間分解能は発振周期のN分の1とすることができるが、反転回路2段の遅延時間よりも分解能を上げることはできない。通常のCMOS回路では、1段の反転回路の遅延時間は0.2ns程度なので、2段の反転回路(=1段の遅延回路)の遅延時間は0.4ns程度となる。

【特許文献1】特許第2663397号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述したような従来技術の回路でさらに時間分解能を上げるためには、より高速の集積回路プロセス技術を用い、クロック周波数を上げる必要となる。しかしながら、ゲートの遅延時間の減少には当然ながら限界があり、消費電力が増えたり、製造コストが高額になってしまうといった問題があった。

【0006】

本発明の目的は、上述したような従来技術の問題を克服し、1桁以上時間分解能を向上させることができる微小時間差回路及び時間測定回路を提供することである。

【課題を解決するための手段】

【0007】

本発明による微小時間差回路は、所定の基準クロック信号を受け、第1発振周波数を発生する電圧制御発振回路を具える第1位相同期ループ回路と、前記第1位相同期ループ回路と同じ基準クロック信号を受け、前記第1発振周波数と異なる第2発振周波数を発生する電圧制御発振回路を具える第2位相同期ループ回路とを具え、前記第1位相同期ループ回路と前記第2位相同期ループ回路の出力信号の遅延時間差から微小時間を得ることを特

徴とする。

【0008】

本発明による時間測定回路は、第1発振周波数を発生する電圧制御発振回路を具える第1位相同期ループ回路と、前記第1位相同期ループ回路と同じ基準クロック信号を受け、前記第1発振周波数と異なる第2発振周波数を発生する電圧制御発振回路を具える第2位相同期ループ回路とを具え、前記第1位相同期ループ回路及び前記第2位相同期ループ回路の各々に関して、出力信号が各々次に入力されるように直列に接続された複数の可変遅延回路から成る遅延線を具え、各遅延線における各々の可変遅延回路は、関係する位相同期ループ回路の出力信号によって遅延時間を制御され、各遅延線における最初の可変遅延回路は、時間差を得ようとする2つの信号のうち一方を受け、各々の遅延線において同時に変化する可変遅延回路の出力を見つけることにより、前記2つの信号の時間差を決定することを特徴とする。

【0009】

本発明による他の時間測定回路は、複数N1段の遅延回路から成る第1電圧制御発振回路と、前記第1電圧制御発振回路の出力を受け、その周波数を複数M1倍する第1分周回路と、前記第1分周回路の出力と基準クロックとを受け、これらの信号の位相差を前記第1電圧制御発振回路に帰還する位相周波数検出器とを具える第1位相同期ループ回路と、複数N2段の遅延回路から成る第2電圧制御発振回路と、前記第2電圧制御発振回路の出力を受け、その周波数を複数M2倍する第2分周回路と、前記第2分周回路の出力と基準クロックとを受け、これらの信号の位相差を前記第2電圧制御発振回路に帰還する位相周波数検出器とを具える第2位相同期ループ回路と、外部信号を受けると共に、前記第1分周回路の出力をクロック入力信号として受け、粗時間測定を行うカウンタ回路と、前記外部信号を受けると共に、前記第1電圧制御発振回路における遅延回路の各段の出力信号を受け、微細時間測定を行うラッチ及び位相選択回路とを具え、前記第1位相同期ループ回路及び前記第2位相同期ループ回路の各々に関して、出力信号が各々次に入力されるように直列に接続された複数の可変遅延回路から成る第1及び第2遅延線を具え、関係する位相同期ループ回路の出力信号によって遅延時間を制御され、前記第1遅延線における最初の可変遅延回路は、前記ラッチ及び位相選択回路により決定された、前記外部信号に立ち上がり最も近いタイミングの前記第1電圧制御発振回路における遅延回路の段の出力信号を受け、前記第2遅延線における最初の可変遅延回路は、前記ラッチ及び位相選択回路により、前記第1及び第2遅延線内で前記第1遅延線が受けた信号を追い抜けるように遅延を調整された前記外部信号を受け、前記第1及び第2遅延線内のどの遅延回路の出力において信号の到着時間が逆転したかを調べることにより超微細時間測定を行うことを特徴とする。

【発明の効果】

【0010】

従来の集積回路中のPLL素子を使用した時間測定回路では、遅延回路の遅延時間以下の時間精度を得ることはできなかった。本発明によれば、2つの電圧制御発振回路で使用される遅延回路のそれぞれの遅延時間は従来技術と同程度のものであっても、その時間差は、遅延時間のさらに整数N分の1にすることができる。これにより、より微小な時間差の信号発生や時間測定を行うことができるようになる。

【発明を実施するための最良の形態】

【0011】

図3は、本発明による微小時間差回路の構成の一例を示すブロック図である。微小時間差回路1は、第1位相同期ループ(PLL)回路2と、第2PLL回路3と、二重遅延ライン部4とを具える。

【0012】

第1PLL回路2は、電圧制御発振回路(VCO)21と、分周回路22と、位相周波数検出器(PFD)23とを具える。VCO21は、N1段の遅延回路で構成され、その発振出力信号は分周回路22によりM1分の1の周波数に分周され、PFD23に入力さ

れる。PFD 2 3には周期T 0の基準クロックも入力され、PFD 2 3はこれら2つの入力信号の位相差を検出し、位相差電圧信号v g n 1をVCO 2 1に帰還する。v g n 1を変化させることにより、分周回路2 2の出力信号を基準クロックに周波数位相同期させる。このときのVCO 2 1の出力の周期をT 1とすると、

$$T 1 = T 0 / M 1 \quad (1)$$

となる。また、VCO 2 1の1段あたりの遅延時間TD 1は、VCO 2 1がN 1段の遅延回路から成ることから、

$$T D 1 = T 1 / N 1 \quad (2)$$

となる。

【0 0 1 3】

第2PLL回路3は、第1PLL回路2と同様の構成で、電圧制御発振回路(VCO) 3 1と、分周回路3 2と、位相周波数検出器(PFD) 3 3とを具える。VCO 3 1は、N 2段の遅延回路で構成され、その出力は分周回路3 2によりM 2分の1の周波数に分周され、PFD 3 3に入力される。PFD 3 3には第1PLL回路2のPFD 2 3に入力されるのと同じ周期T 0の基準クロックも入力され、PFD 3 3はこれら2つの入力信号の位相差を検出し、位相差電圧信号v g n 2をVCO 3 1に帰還する。v g n 2を変化させることにより、分周回路3 2の出力信号を基準クロックに周波数位相同期させる。このときのVCO 3 1の出力の周期をT 2とすると、

$$T 2 = T 0 / M 2 \quad (3)$$

となる。また、VCO 3 1の1段あたりの遅延時間TD 2は、VCO 3 1がN 2段の遅延回路から成ることから、

$$T D 2 = T 2 / N 2 \quad (4)$$

となる。

【0 0 1 4】

TD 2とTD 1の時間差Δ Tは、式(2)及び(4)より、

$$\begin{aligned} \Delta T &= T D 2 - T D 1 \\ &= T 2 / N 2 - T 1 / N 1 \end{aligned}$$

となる。これに式(1)、(2)及び(3)を代入すると、

$$\begin{aligned} \Delta T &= T 0 / (M 2 \cdot N 2) - T 1 / N 1 \\ &= (T 1 \cdot M 1) / (M 2 \cdot N 2) - T 1 / N 1 \\ &= (T 1 / N 1) \left((N 1 \cdot M 1) / (M 2 \cdot N 2) - 1 \right) \end{aligned}$$

となる。ここで簡単のためN 1 = N 2 = M 2 = N、M 1 = N + 1とすると、

$$\Delta T = T 1 / (N \cdot N) = T D 1 (1 / N) \quad (5)$$

となり、VCO 2 1の発振周期T 1のNの二乗分の1、遅延回路の遅延時間TD 1のN分の1の時間差が得られる。

【0 0 1 5】

同様に、 $N_1 = N_2 = M_2 = N$ 、 $M_1 = N + 2$ とすると、

$$\Delta T = TD_1 (2/N)$$

となり、 TD_1 の N 分の2の時間差が得られる。他に、 N_1 、 N_2 、 M_1 、 M_2 の値を適当に選ぶことで、任意の ΔT を実現することも可能である。

【0016】

このように従来の回路では TD_1 の遅延しか得られなかったものが、本発明による微小時間差回路により、その値のさらに整数 N 分の1の遅延が得られる。特に、 N を2の累乗に選べば、後段のデジタル処理を非常に容易にすることができる。例えば式(5)で、 $N = 16$ とすると、 T_1 、 TD_1 、 ΔT がそれぞれ16倍ずつ違う値を持つことになる。

【0017】

このようにして得られた時間差を実際に利用するために、二重遅延ライン部4が使用される。 DA_x 、 DB_x ($x = 1, 2, 3, \dots$)は、 VCO_{21} 、 VCO_{31} で使用される可変遅延回路と同じもので、反転素子2段より成る。このとき、信号 s_{1_x} と s_{2_x} が同時に変化する($T_{1x} = T_{2x}$)タップ x を見いだす回路を用いれば、 s_{1_0} と s_{2_0} の時間差を ΔT の精度で知ることができる。

【0018】

図3に示したような微小時間差回路によって得られる微小時間差信号を用いて超微細な時間測定を行うことができるが、この回路だけで広い時間範囲をカバーすると、回路規模が大きくなりすぎ、また時間精度も悪くなるので、通常は、図1及び図2において示した従来例のように、カウンタや電圧制御発振回路と組み合わせた回路構成を取るのが好適である。図4は、このような本発明による時間測定回路の構成の一例を示すブロック図である。本時間測定回路は、第1PLL回路41と、第2PLL回路42と、二重遅延ライン部43と、ラッチ及び位相選択回路44と、カウンタ回路45とを具える。

【0019】

第1PLL回路41及び第2PLL回路42は、図3に示す第1PLL回路2及び第2PLL回路3と同様の構成であってもよく、これらが具える VCO_{46} 、分周回路47、PFD48、 VCO_{49} 、分周回路50及びPFD51は、図3に示す VCO_{21} 、分周回路22、PFD23、 VCO_{21} 、分周回路22及びPFD23と同様ののものであってもよい。

【0020】

本実施例においては、例として、第1PLL回路41及び第2PLL回路42に用いる基準クロックとして10MHzのクロックを使用する。この周波数を第1PLL回路41によりまず17倍の170MHzに上げる。この170MHzのクロックを使用して、カウンタ回路45で、分解能5.9ns ($= 1/170\text{MHz}$)の粗時間測定を行う。

【0021】

次に、第1PLL回路41を構成する16段より成る VCO_{46} から得られる遅延信号出力 $f_1 \sim f_{16}$ を用いて、ラッチ及び位相選択回路44において、分解能368ps ($= 5.9\text{ns}/16$)の微細時間測定を行う。

【0022】

一方、第2PLL回路42では、分周が16分の1に設定されているので、160MHzで発振し、1段あたりの遅延時間は391ps ($= 1/160\text{MHz}/16$)となる。したがって、二重遅延ライン部43では、 $\Delta T = 391\text{ps} - 368\text{ps} = 23\text{ps}$ の時間単位での測定が行われる。このように、粗時間測定、微細時間測定、超微細時間測定と、それぞれ、 $5.9\text{ns}/\text{bit}$ 、 $368\text{ps}/\text{bit}$ 、 $23\text{ps}/\text{bit}$ と16倍ずつ分解能の違う測定が行われる。

【0023】

次に、微細時間のラッチと、二重遅延ライン部43に供給するための信号を第1VCO41の出力信号から取り出すための位相選択とを行う、ラッチ及び位相選択回路44を説

明する。図5は、ラッチ及び位相選択回路の構成の一例を示す回路図である。まず、外部信号を第1VCO46からのf1～f16信号によりフリップフロップにラッチする。1段目のフリップフロップの出力は、外部信号の変化のタイミングにより、短時間不安定になることがあるので、1段目のクロックと位相を180度ずらした2段目のフリップフロップにより安定にラッチさせる。この出力が微細時間データとなり、この論理和をとることにより、外部信号の立ち上がり後の最も近いタイミング（から180度遅れた）の信号をf1～f16の中から選択することができる(cout)。また、外部信号は、遅延を調整された後、houtとして出力される。この遅延調整は、cout信号がhout信号を二重遅延ライン部43内で追い抜けるように調整する。この遅延調整では、図3のDAx、DBxと同様の遅延回路を用いることができる。

【0024】

最後に、二重遅延ライン部43内のフリップフロップ出力をラッチし、どのタップ位置において信号の到着時刻が逆転したかを調べることにより、超微細時間測定が行われる。

【0025】

上記実施例において示した数値は説明を明瞭にするための単なる例であり、本発明はこれらに限定されないことは当然である。

【図面の簡単な説明】

【0026】

- 【図1】従来のカウンタによる時間測定例を説明する図である。
- 【図2】従来のPLLを用いた時間測定回路を説明する図である。
- 【図3】本発明による微小時間差回路の構成の一例を示すブロック図である。
- 【図4】本発明による時間測定回路の構成の一例を示すブロック図である。
- 【図5】ラッチ及び位相選択回路の構成の一例を示す回路図である。

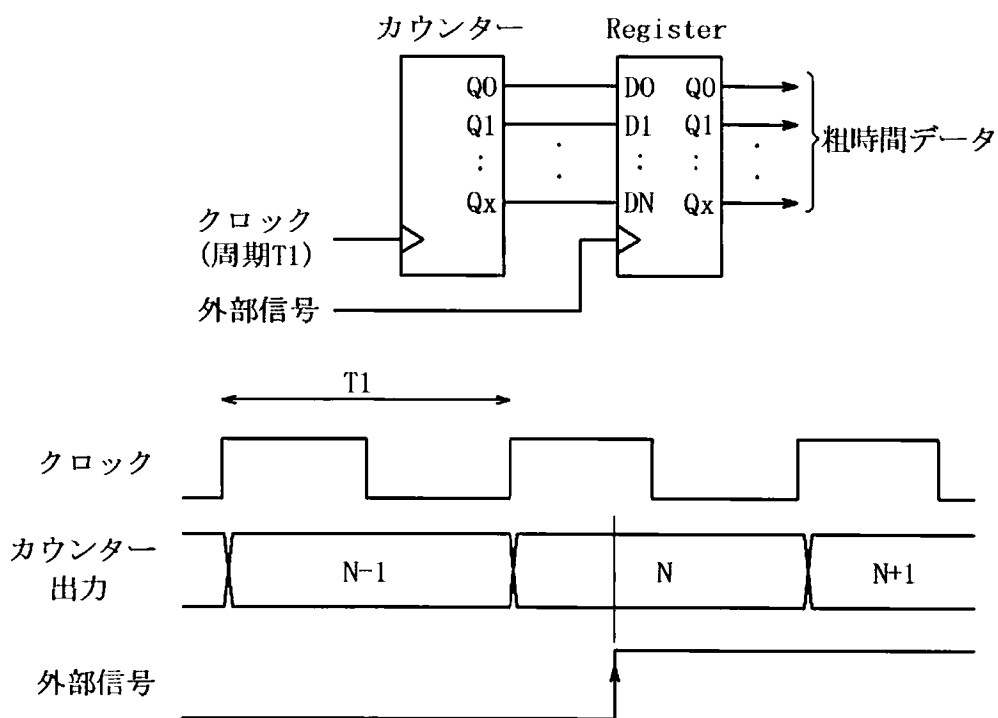
【符号の説明】

【0027】

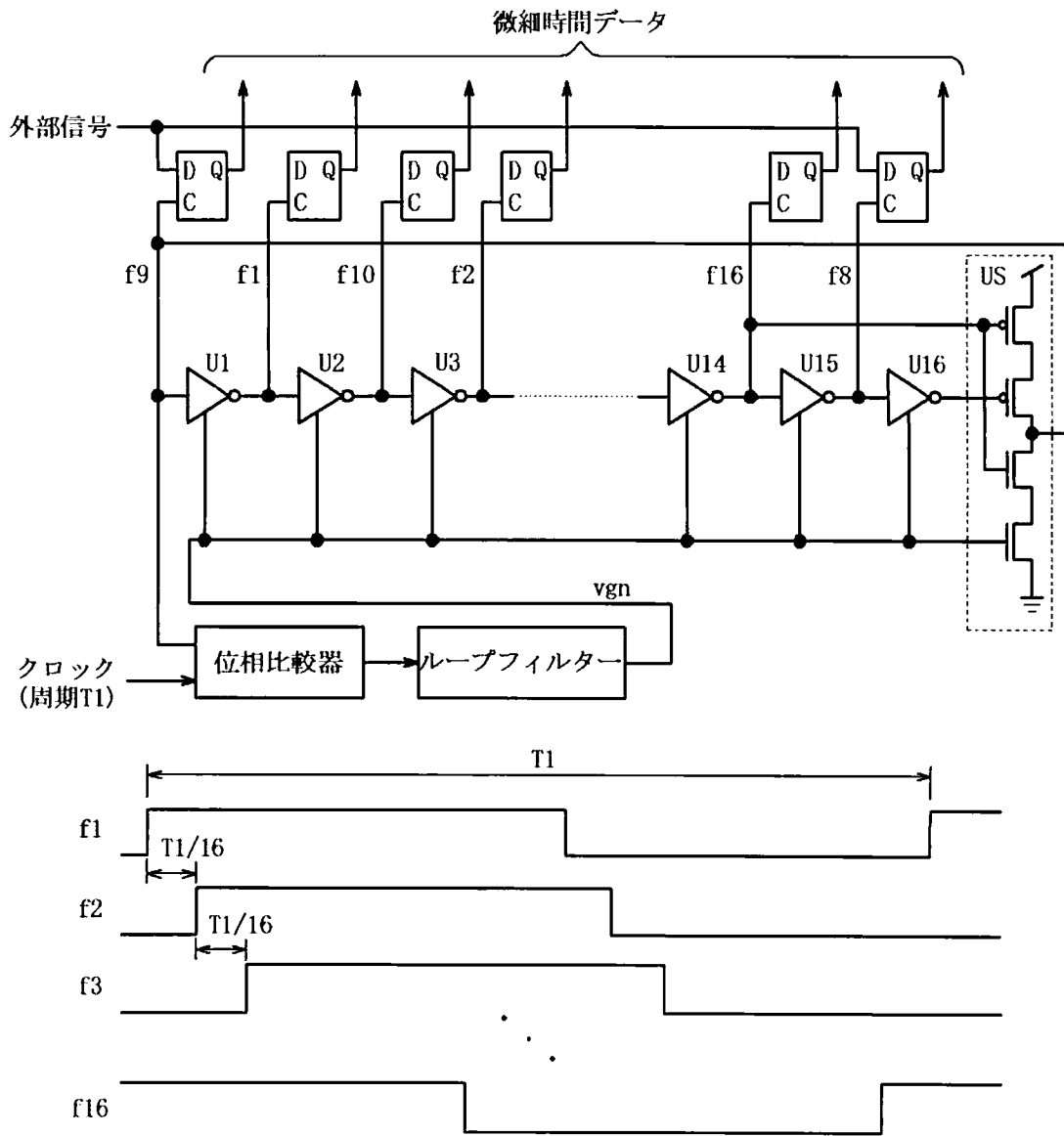
- 1 微小時間差回路
- 2、41 第1PLL回路
- 3、42 第2PLL回路
- 4、43 二重遅延ライン部
- 21、31、46、49 VCO
- 22、32、47、50 分周回路
- 23、33、48、51 PFD
- 44 ラッチ及び位相選択回路
- 45 カウンタ回路

【書類名】 図面

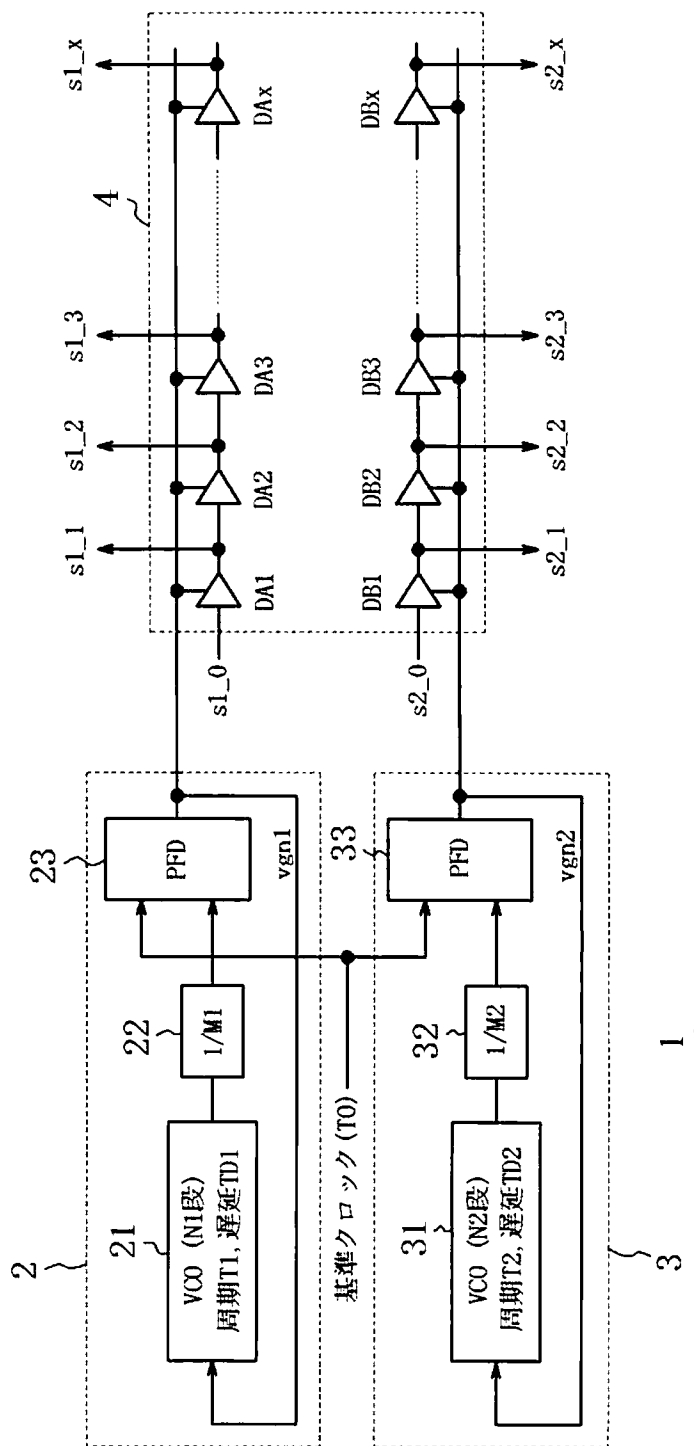
【図1】



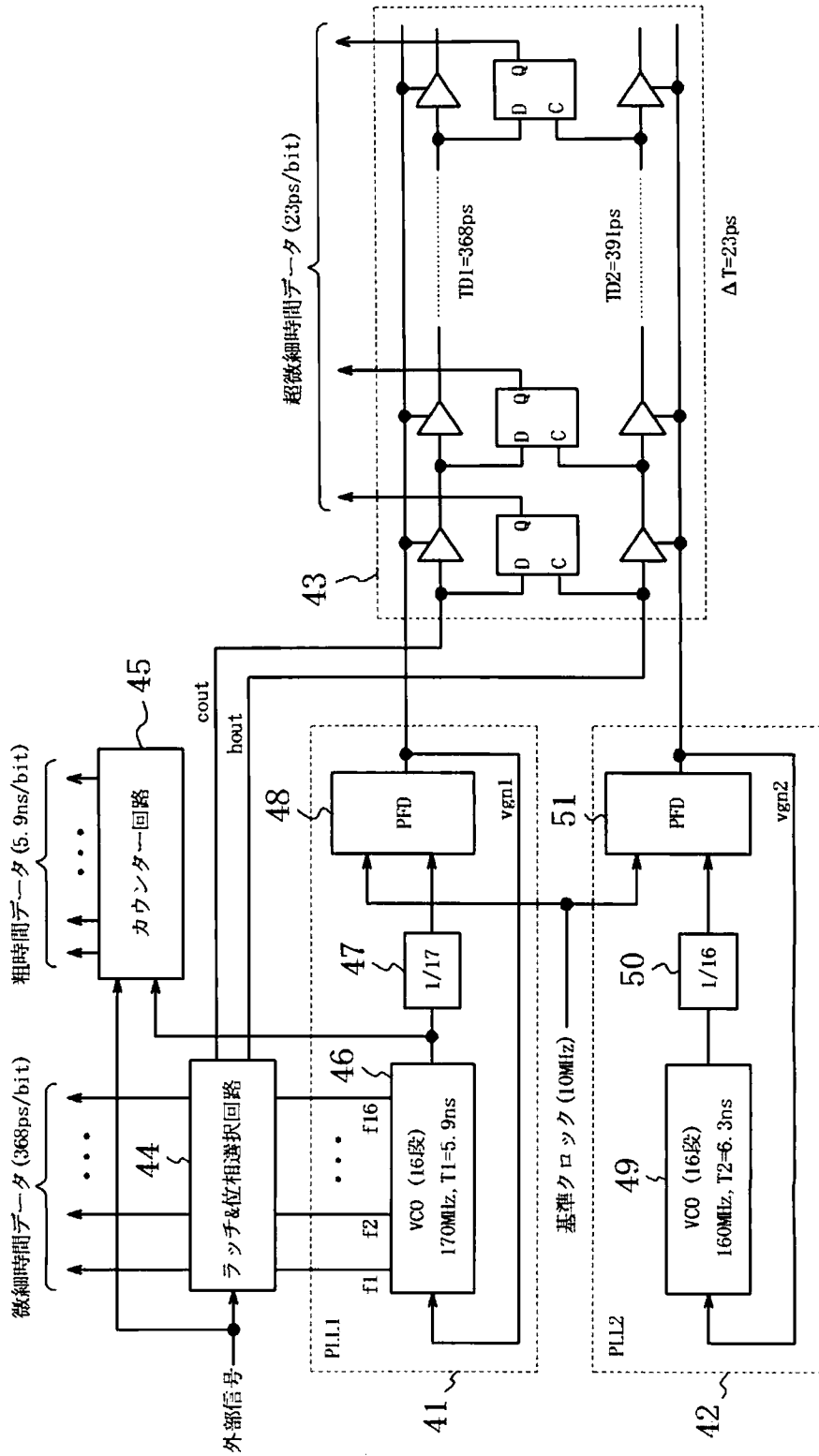
【図2】



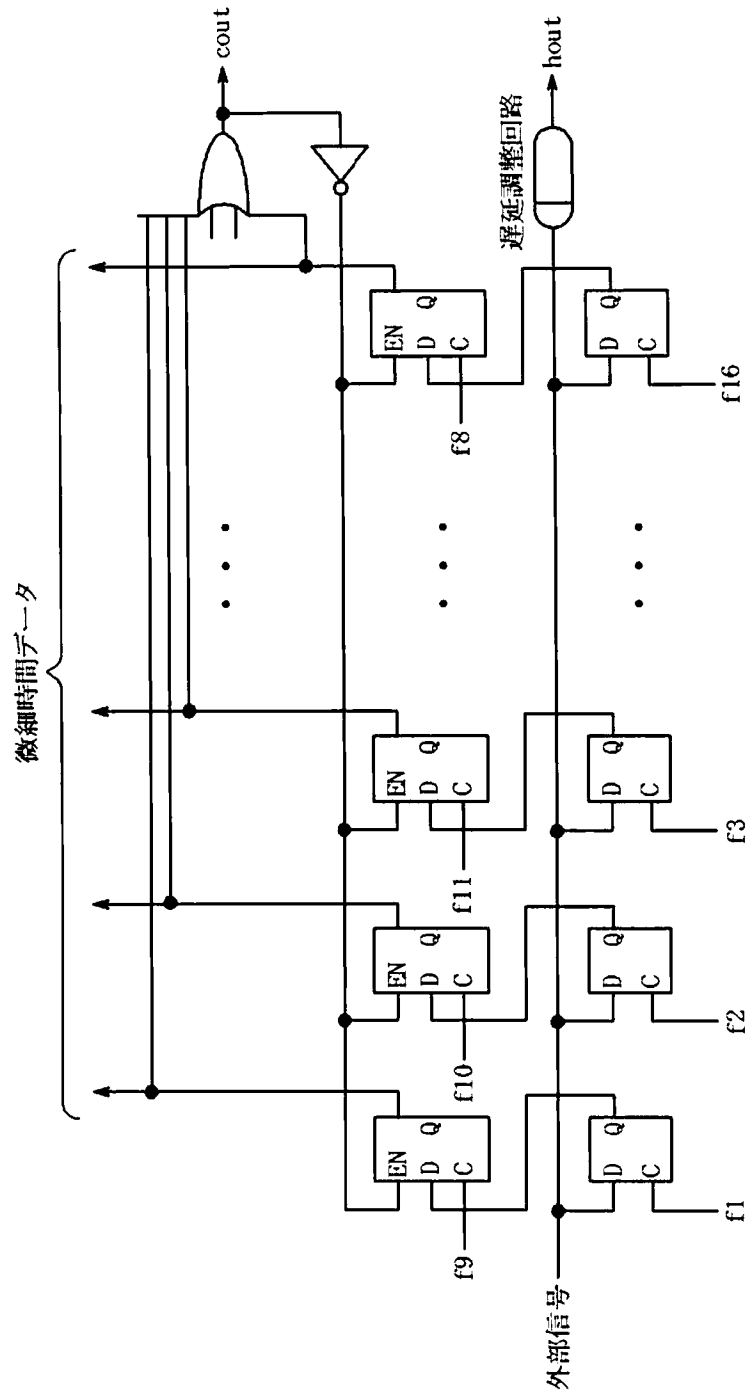
【図3】



【図4】



【図5】



【書類名】要約書

【要約】

【課題】 1桁以上時間分解能を向上させることができる微小時間差回路及び時間測定回路を提供する。

【解決手段】 所定の基準クロック信号を受け、第1発振周波数を発生する電圧制御発振回路を具える第1位相同期ループ回路と、前記第1位相同期ループ回路と同じ基準クロック信号を受け、前記第1発振周波数と異なる第2発振周波数を発生する電圧制御発振回路を具える第2位相同期ループ回路とを具え、前記第1位相同期ループ回路と前記第2位相同期ループ回路の出力信号の遅延時間差から微小時間を得る。

【選択図】 図3