

2016年6月17日

高エネルギー加速器研究機構
素粒子原子核研究所

新井康夫 (yasuo.arai@kek.jp)

エレクトロニクス・データ処理 (放射線計測とLSI)

- **Lecture Schedule** (金曜第3時限 12:15-13:30)
June 17, 24
July 1, 8, **15(No lecture)**, 22, 29
Total 6 times
- **Contents**
(<http://research.kek.jp/people/araiy/16lecture/>)
 - ☐ Radiation Measurement and LSI
 - ☐ Analog CMOS Circuit for Radiation Measurement
 - ☐ Digital LSI Circuit
 - ☐ Semiconductor Radiation Detector
- **単位認定(Credit)**
講義出席及びレポート
(田中氏の分と合算)



講義予定

1. 放射線計測とLSI

高エネルギー物理実験とLSI、
LSI技術の変遷
半導体放射線検出器

2. 基本法則と道具

オームの法則、
信号伝送、
信号規格 ...

3. 半導体デバイス

半導体の基礎、
半導体プロセス、
MOSデバイス基礎、
...

4. アナログCMOS回路

1段増幅回路、差動増幅回路、
カレントミラー、
アナログ・シミュレーション、
オペアンプ回路、
雑音, ...

5. デジタルLSI回路

CMOS論理回路、メモリー、
演算器、カウンタ、同期回路、
順序回路、ADC, TDC、...
論理合成

6. 半導体放射線検出器

放射線の相互作用
検出器の動作原理、
実例、...

[Reference]

- ・ “Introduction to VLSI Systems”, Mead and Conway, Addison-Wesley 1980. 日本語版: 超LSIシステム入門(培風館), LSI設計の古典的名著。
- ・ “Principles of CMOS VLSI Design”, Neil H. E. Weste and Kamran Eshraghian, Addison-Wesley, 2nd edition, 1993.
日本語版: CMOS VLSI 設計の原理, (丸善)(第1版の訳)
CMOS VLSIの総合的な解説書。
- ・ “Design of Analog CMOS Integrated Circuits”, B. Razavi, McFraw-Hill, 2001. 日本語版: 「アナログCMOS集積回路の設計」、基礎編(丸善)
- ・ 「CMOSアナログ回路入門」、谷口研二(CQ出版社)
- ・ “Op Amps for Everyone”, Ron Mancini, Aug. 2002 (Texas Instruments), <http://focus.ti.com/lit/an/slod006b/slod006b.pdf>
- ・ “Semiconductor Detector System”, Helmuth Soieler, Oxford. 検出器エレクトロニクス。
- ・ Pixel Detectors”, L. Rossi et al., Springer, ISBN 3-540-28332-3.
- ・ 「CMOSイメージセンサ」、相澤、浜本編、コロナ社、ISBN978-4-339-01269-9.
- ・ Analog Electronics for Radiation Detection、Renato Turchetta編、CRC Press, ISBN-10: 1498703569. (Ch. 5 Time-to-Digital Conversion, Yasuo Arai)

1. Introduction

高エネルギー物理実験とLSI

高エネルギー物理学研究所
→ 高エネルギー加速器研究機構

2008

日本人3氏ノーベル賞

南部・小林・益川氏に物理学賞



高エネルギー加速器を使った素粒子・原子核・物質の研究。

職員~700人

~2 km

KEK (<http://www.kek.jp>) Established in 1971.

LHC(Large Hadron Collider)実験

$$\Delta x \approx \frac{\hbar c}{E}$$

CERN (欧州原子核研究所) @ジュネーブ

陽子-陽子衝突@14TeV

LHC加速器、周長27 km

フランス

ジュネーブ空港

スイス

CERN

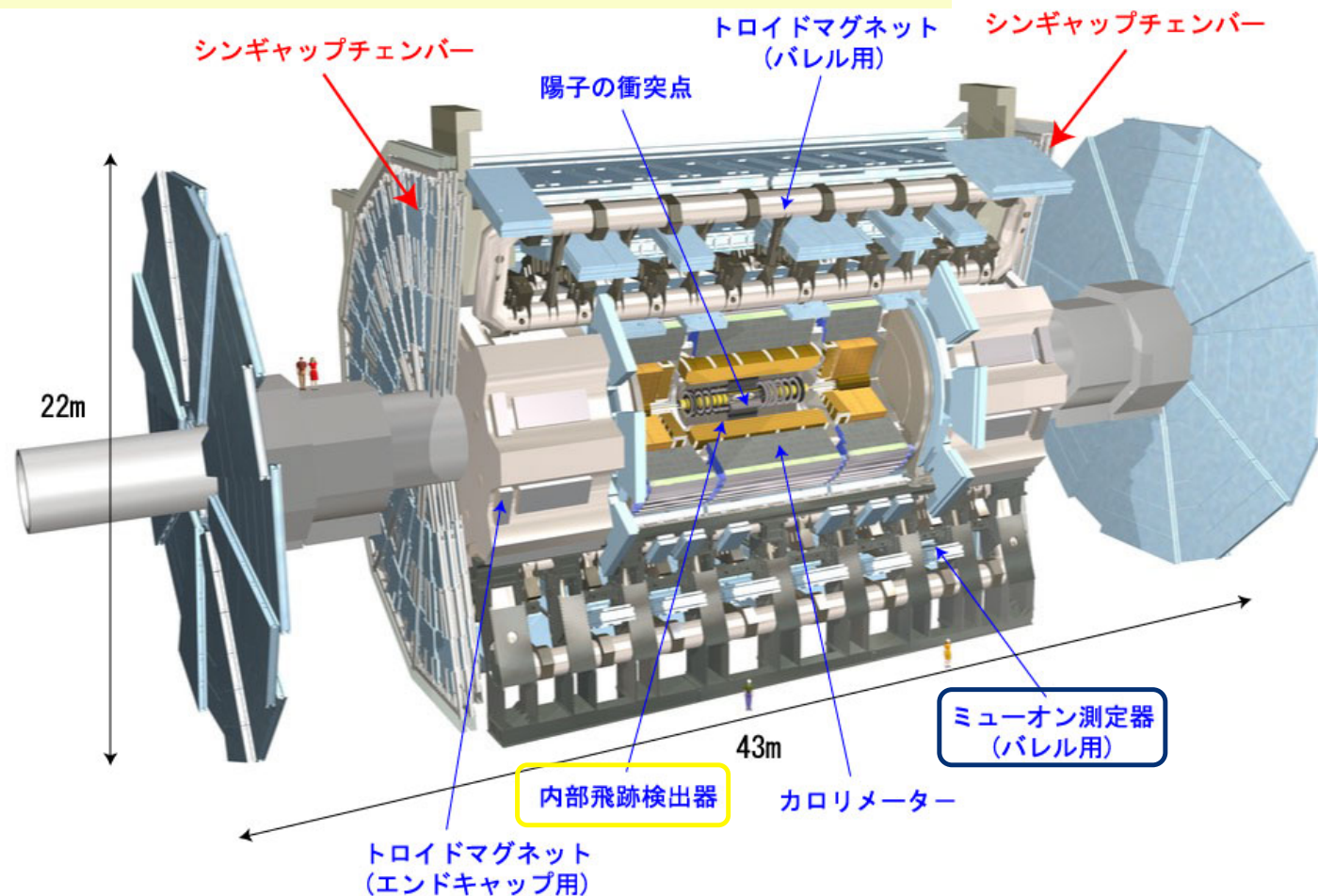
1989 WWW誕生の地
2012 Higgs粒子発見

ATLAS検出器@LHC (Large Hadron Collider)

2008年秋 実験開始

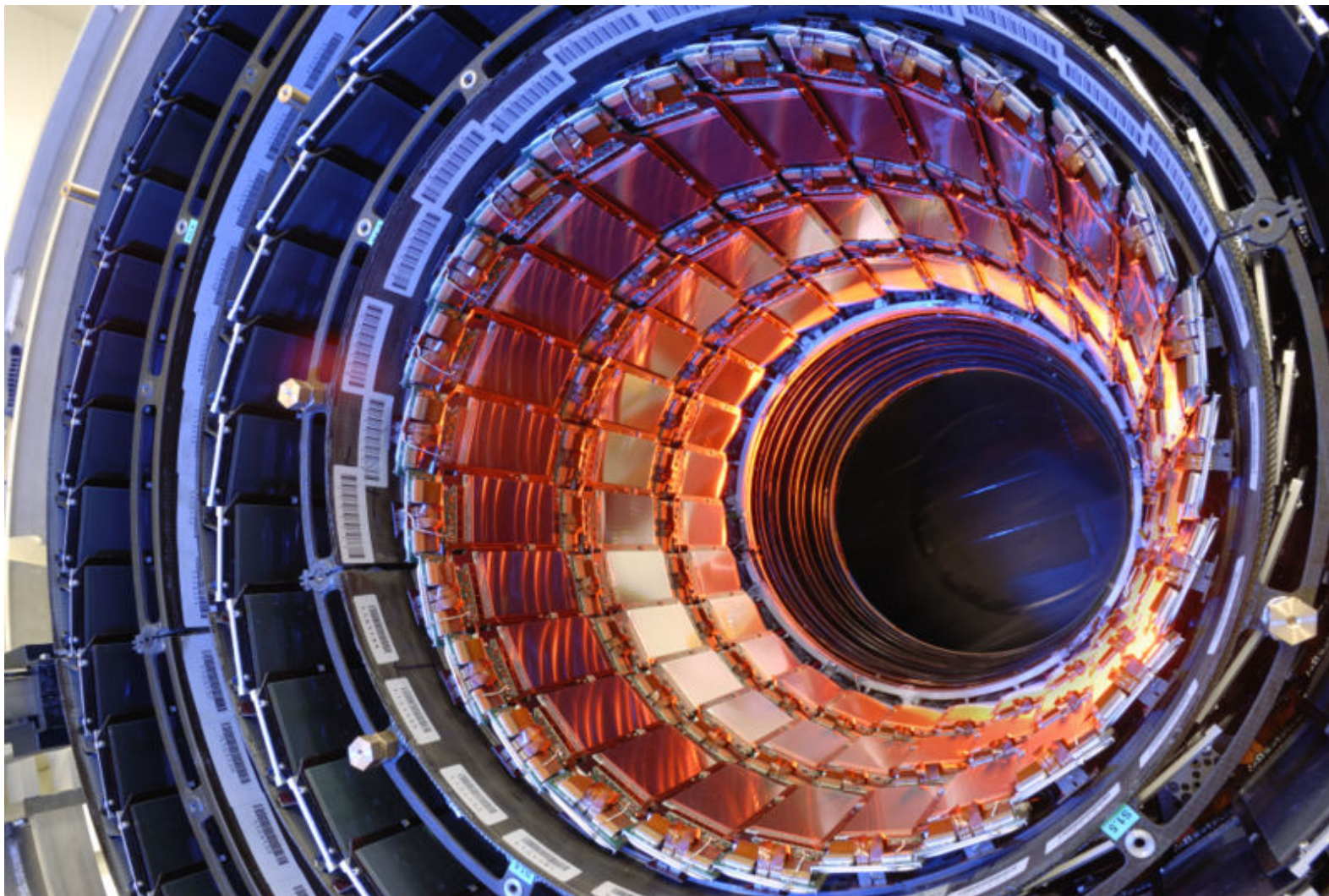
全長46m、高さ25m、重量7,000ton

建設費>500億円、研究者34ヶ国 ~1,800人



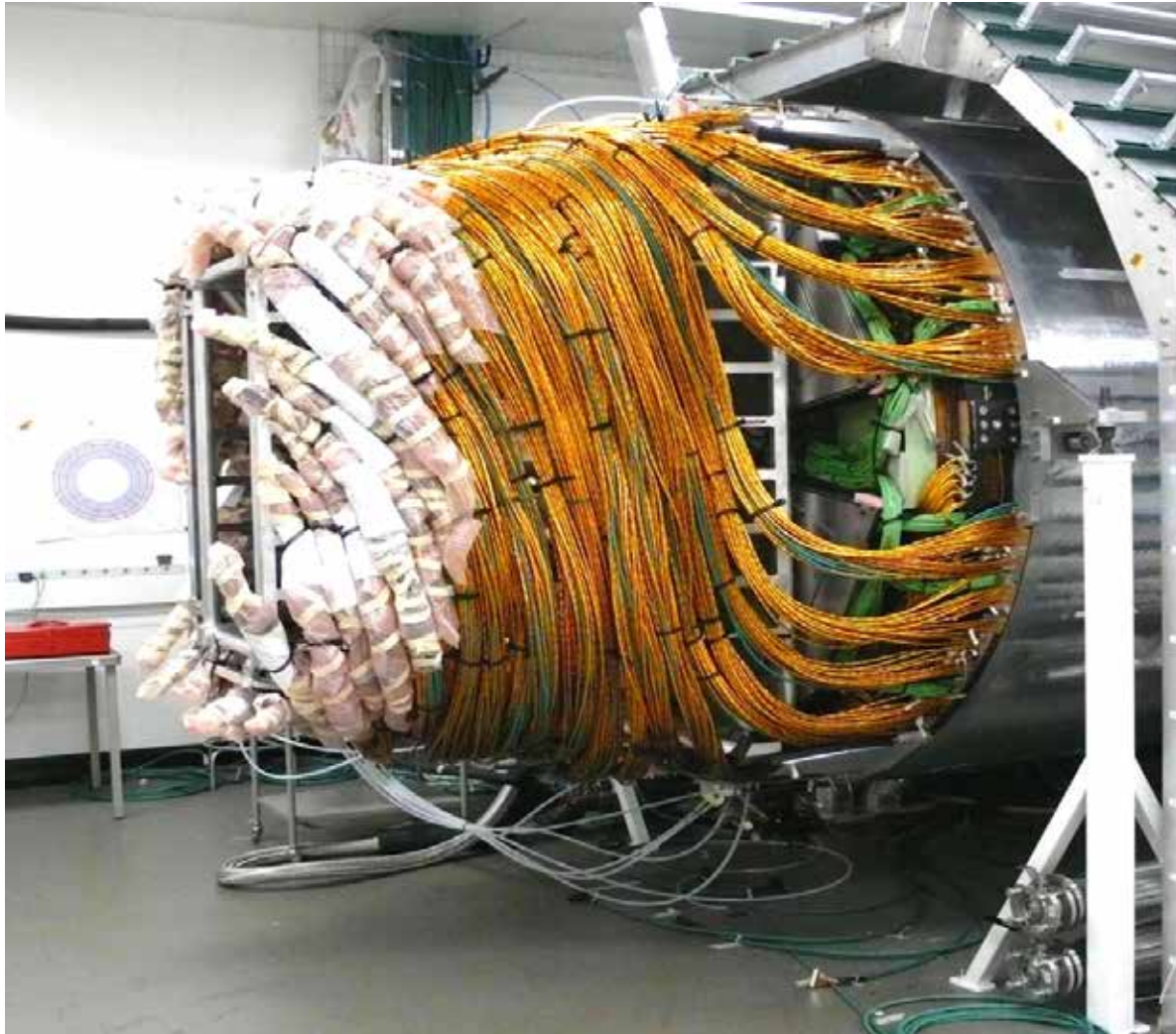
私が開発したTDC LSI (AMT-3) がミュオン測定器用に2万個使われています。

Si内部飛跡検出器



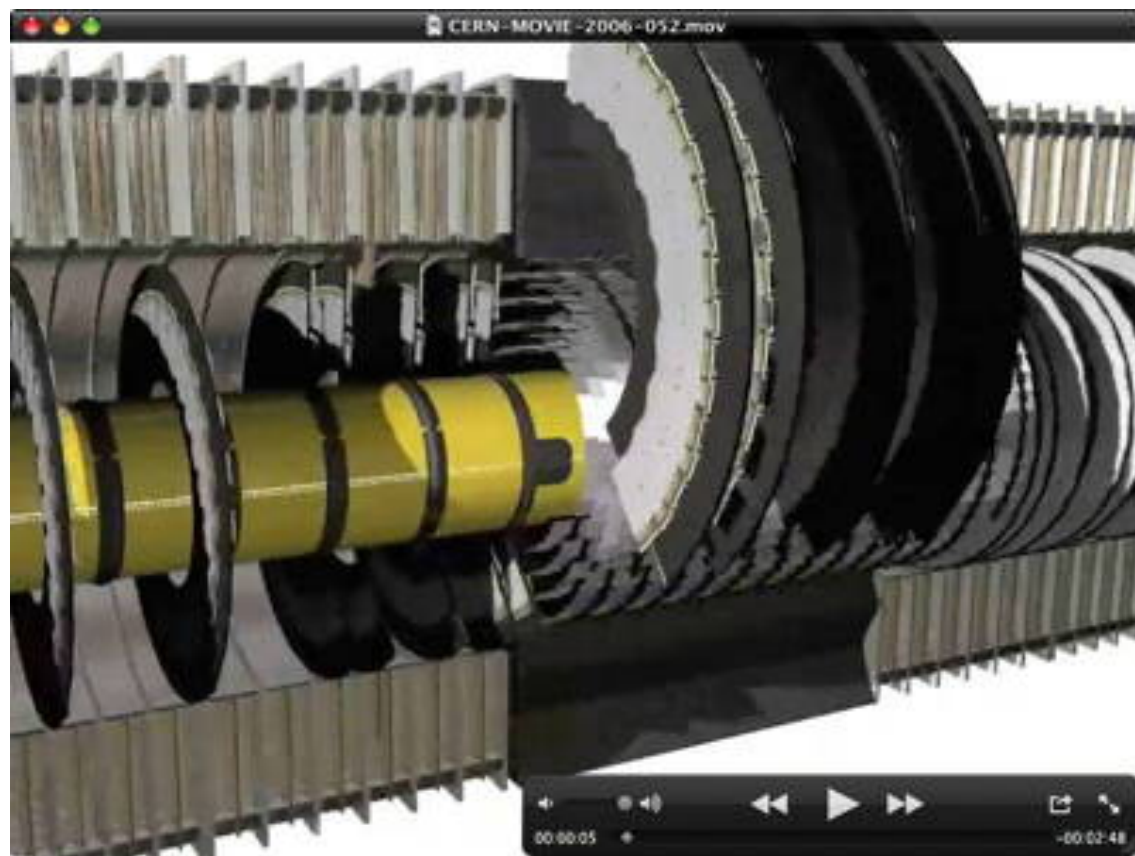
最内層の検出器は、性能の良い半導体検出器が使われる。

ただし、実際は



- 現在の実験のチャンネル数は数百万チャンネル以上にも及ぶ。
- LSIを検出器に取り付け信号処理することにより、外に出るケーブルを減らす。
- LSIによりデータ処理を早い段階で行い、データの選別を行う。これにより、外部に転送するデータ量を減らす。

LSIを放射線環境下で使用するので、さまざまな放射線に対する耐性が必要。

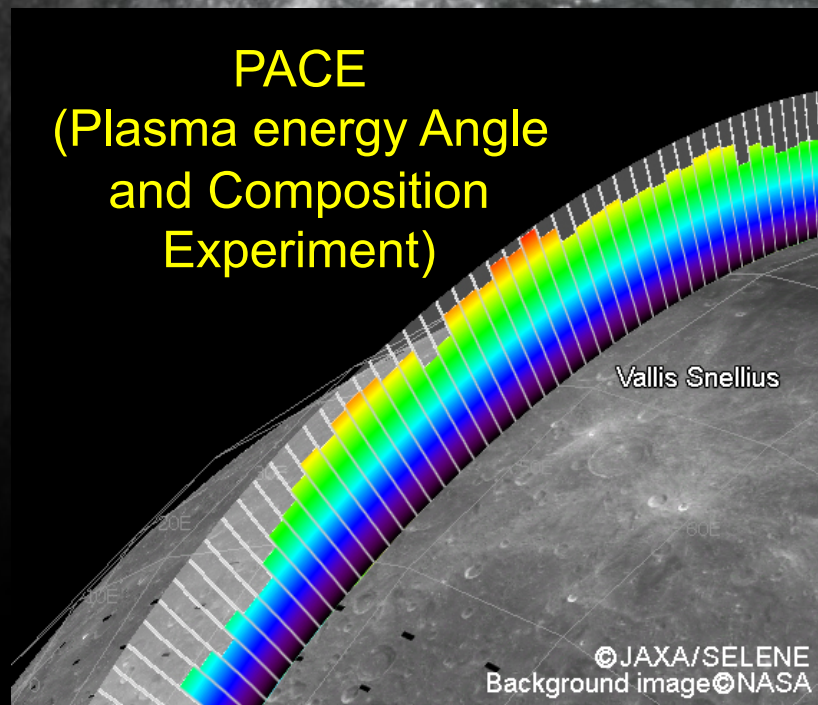


かぐや(SELENE)
2007.9.14 打ち上げ
2009.6.11 月面へ落下させる

image by ISAS/JAXA

アポロ計画以来、
最大規模の月探査計画！
月周回衛星「かぐや (SELENE)」
打ち上げ迫る！

宇宙科学研



私が開発したTDC LSI
(TMC304) が無事役目を終
え、月面で眠っています。

エレクトロニクスの変遷



1839 半導体 (Michael Faraday) 硫化銀(AgS)の負の抵抗温度係数の発見

1904 真空管(J.A.Fleming) Radio, Radar

1947 トランジスタ(Brattin, Barden, Schockley) Bell Lab. Radar

1958 IC(Jack Kilby) Texas Instruments

1970 Microprocessor
1kbit DRAM

1980 LSI (~100k Tr)

1990 VLSI (~1M Tr)

1996 ULSI (>10M Tr)

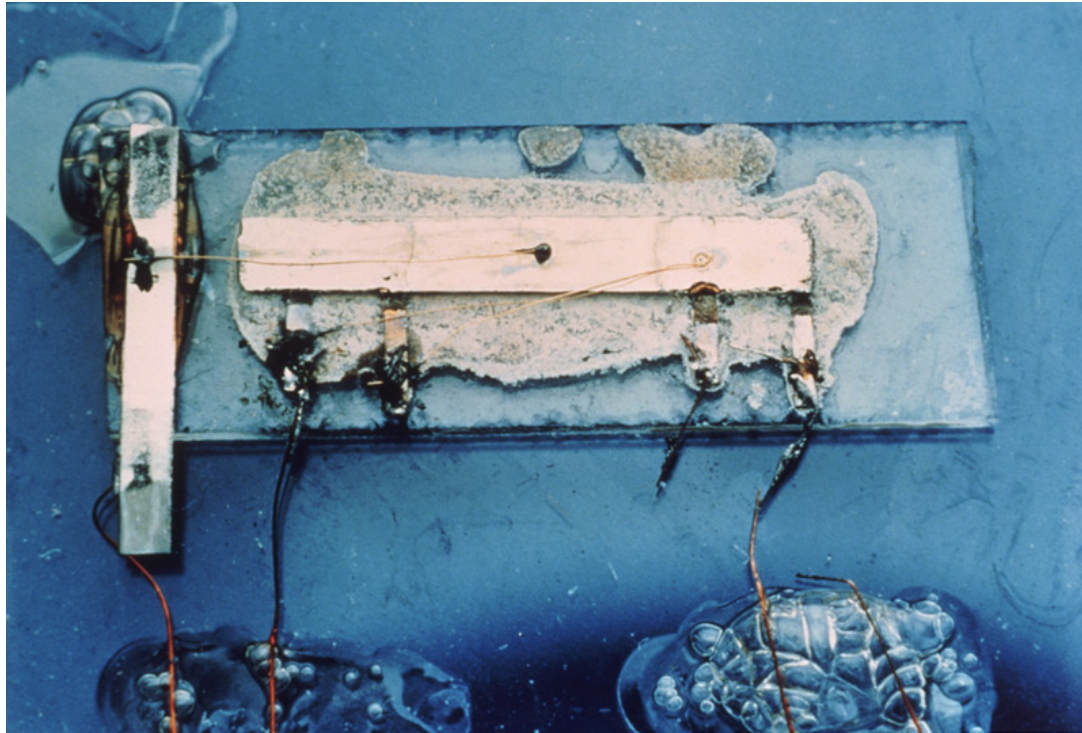
2016

?

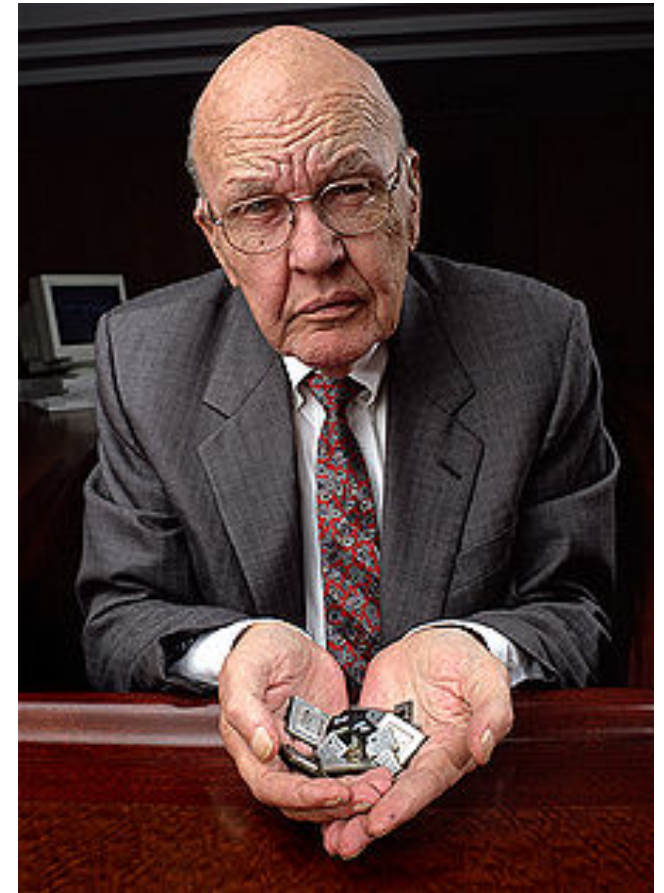
>10 GIPS Processor
>4Gbit DRAM
>64Gbit Flash Mem

First Integrated Circuit

Nobel Prize in Physics (2000), Jack Kilby, the invention of the integrated circuit.



A transistor and other components on a slice of germanium, 7/16-by-1/16-inches in size. (1958)



Kilbyは新規採用で夏休みがなかったため、一人で実験していた！

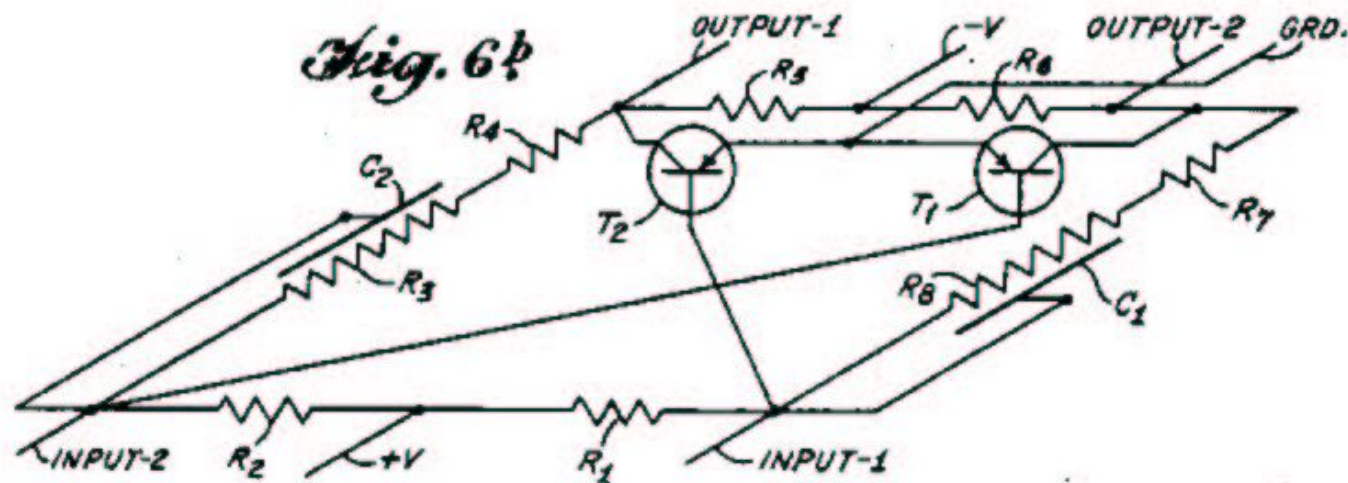
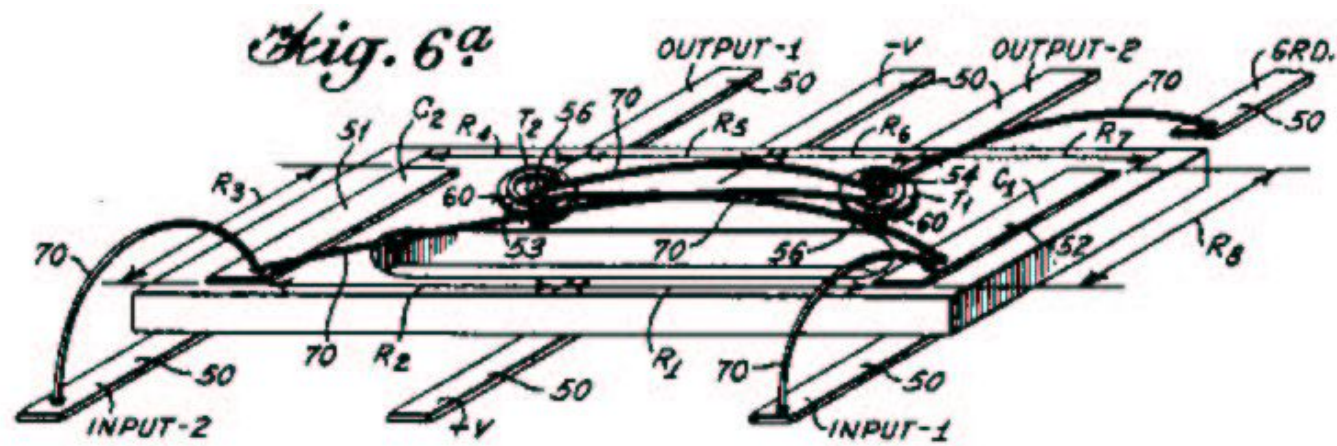


図1 J.キルビーが考案したIC 1959年2月6日に米国出願された特許“Miniaturized Electronic Circuits”(U.S.P.3,138,743)の図より。図の回路はマルチバイブレータ。1964年6月23日に成立している。日本への出願は1960年2月6日。日本特許の名称は「半導体装置」(特公昭61-55256)。

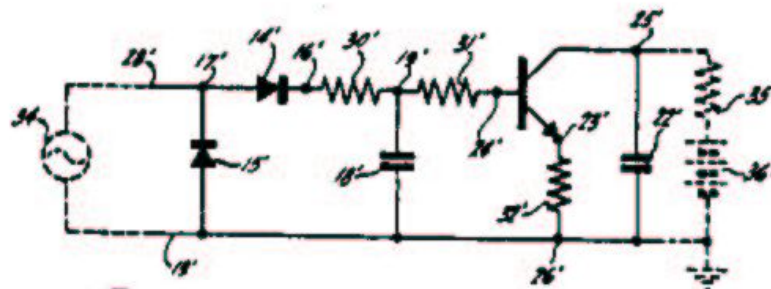
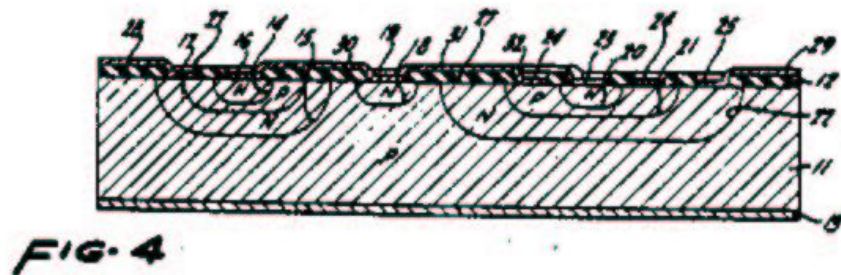
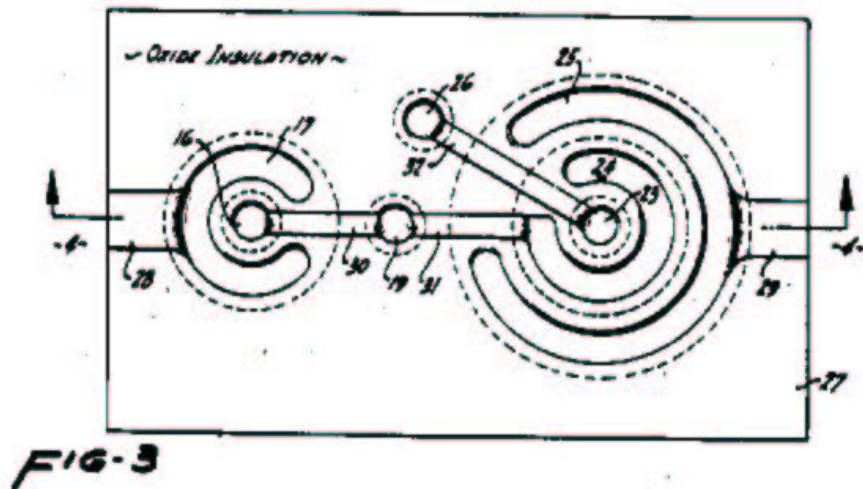
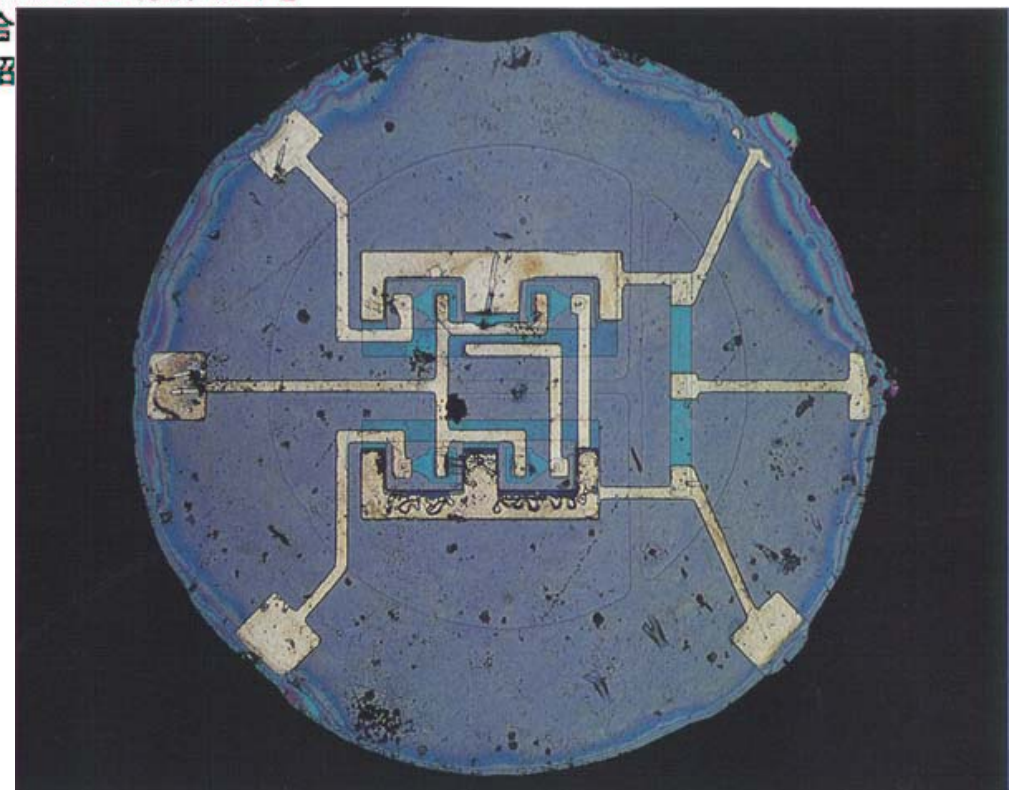
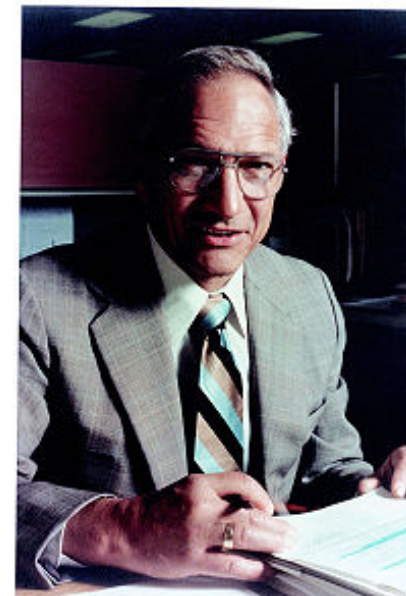


図2 R.ノイスが考案したIC プレーナ技術を使ったICである。米国では1959年7月30日に出願されている。特許番号はU.S.P.2,981,871 ("Semiconductor Device and Lead Structure")。1961年7月25日に成立した。図は表面、構造、回路である。日本に出願された特許は「組合昭

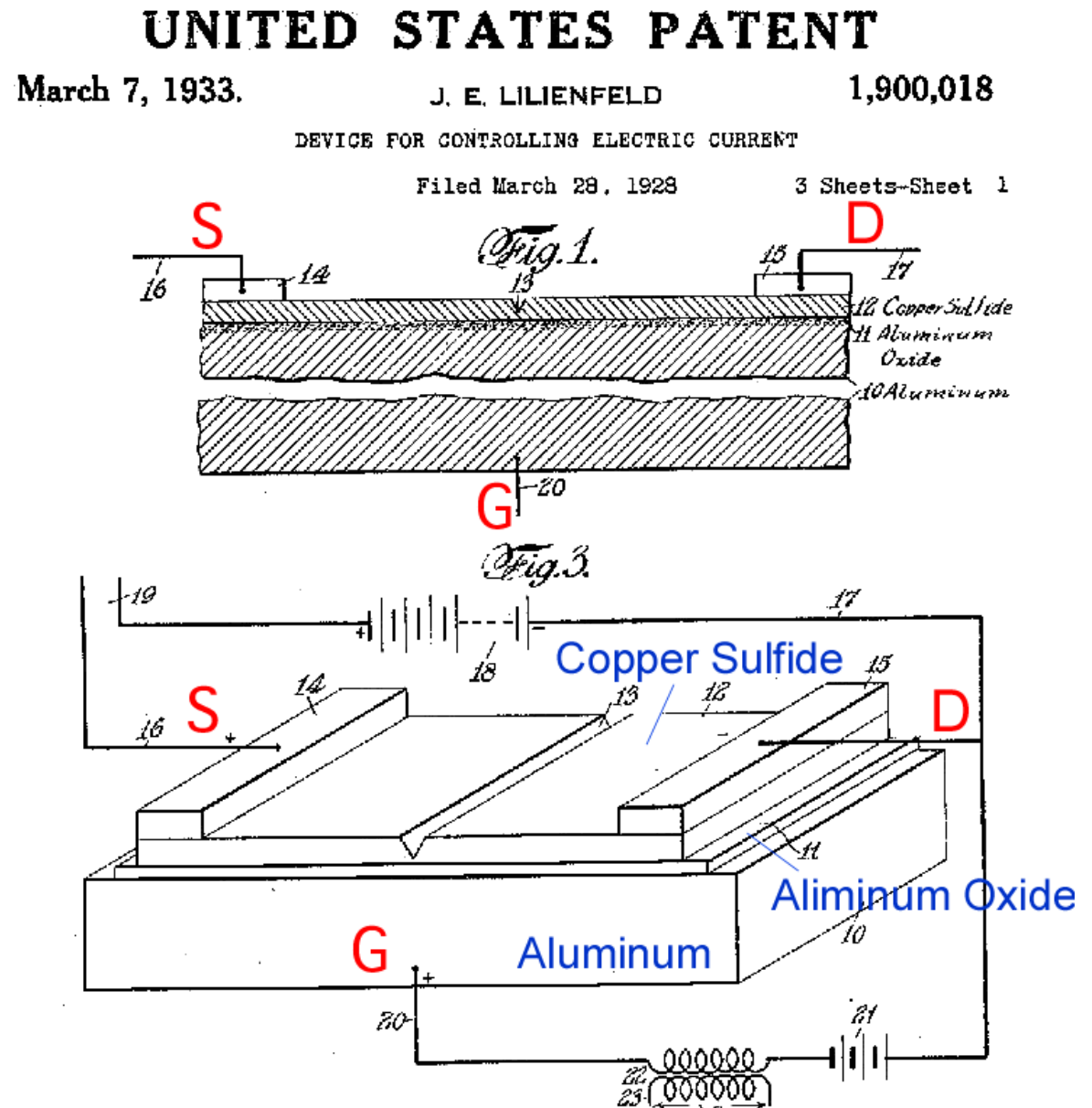


First Planar IC (1959 R. Noyce)
Fairchild Semiconductor

Historical FET Patent (1928)

J. E. Lilienfeld
(Poland, 1882-1963)

Transistor is built on a
thin Si Film supported by
an Insulating Substrate.



Unfortunately, No Evidence that this device was build and worked.

The beginning: 1960s

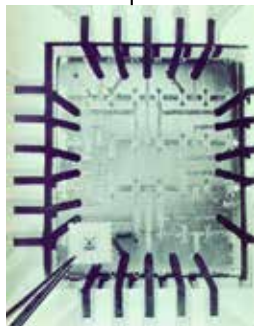
1958 Fairchild
First planar transistor



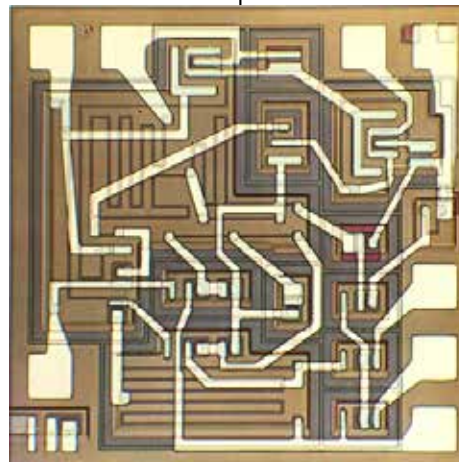
1961 Fairchild
4T5R flip-flop



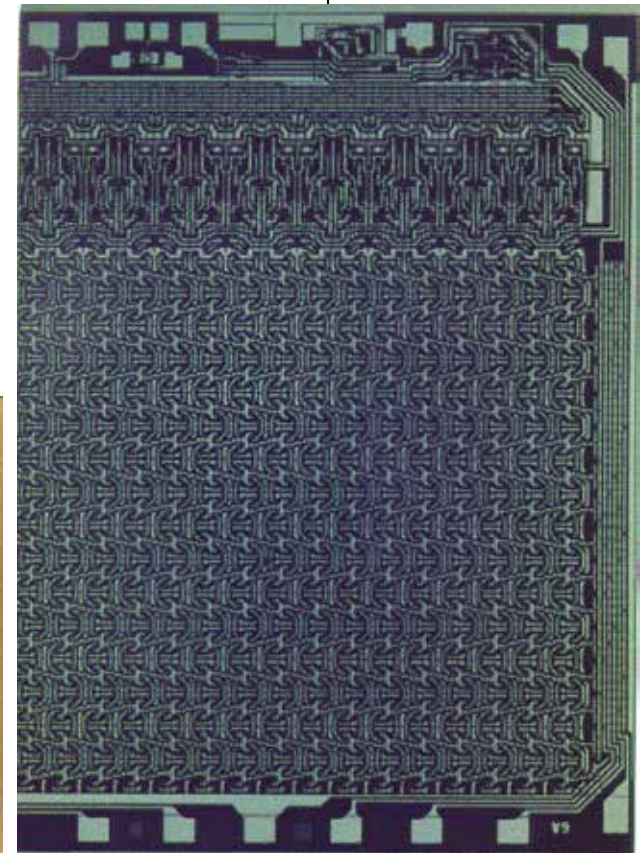
1962 RCA
16T logic chip



1965 Fairchild
opamp



1968 Fairchild
2kT SRAM chip



Moore's Law:

半導体チップのPowerとComplexityは18ヶ月毎に倍に。
(1965, Gordon Moore, Fairchild → Intel)

過去40年間で同じ面積にトランジスタが1千万倍作れるようになった。

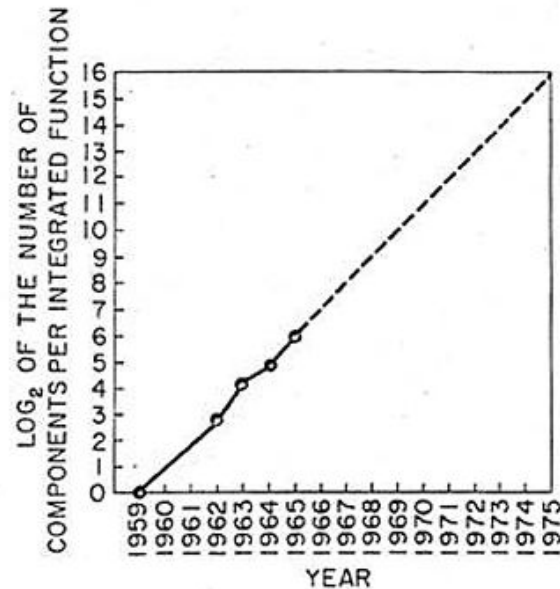
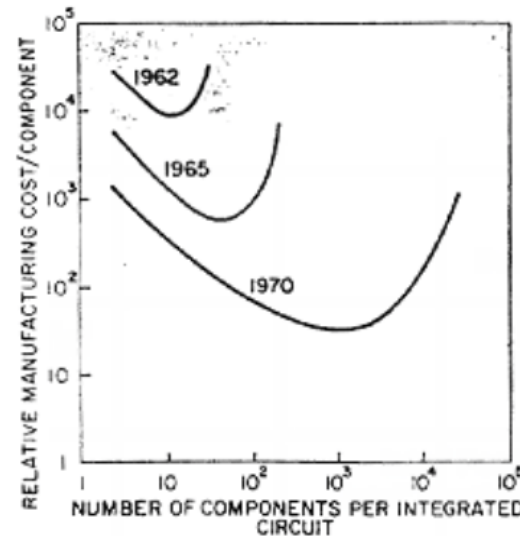
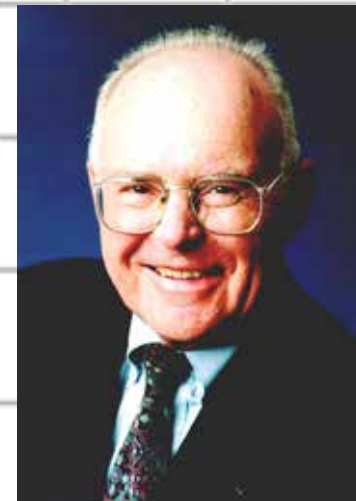
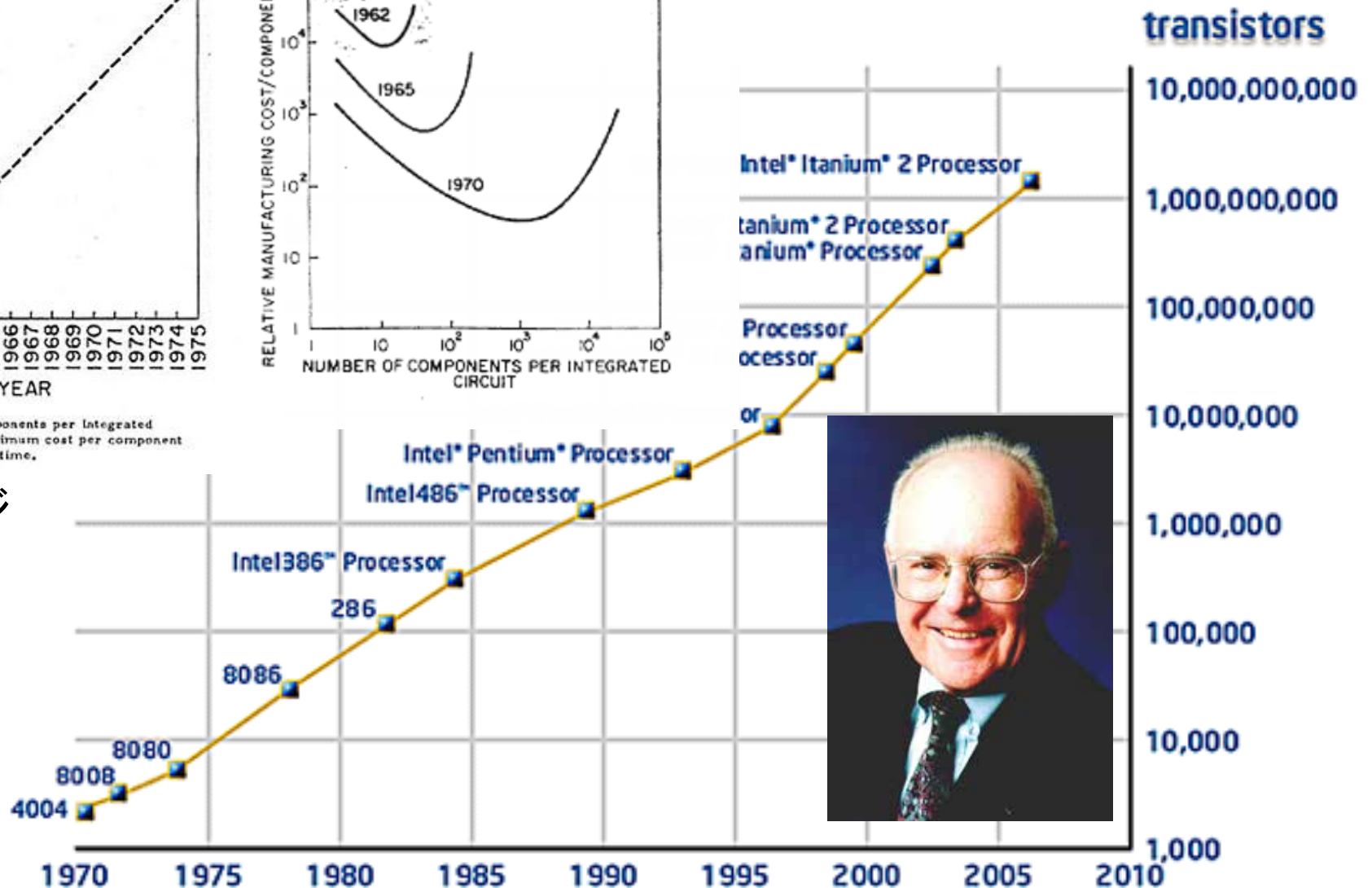


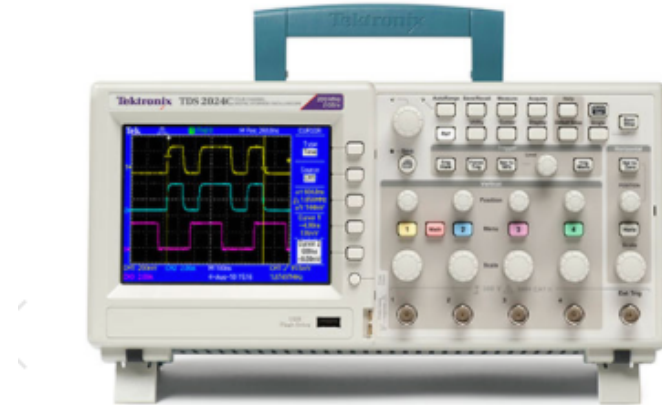
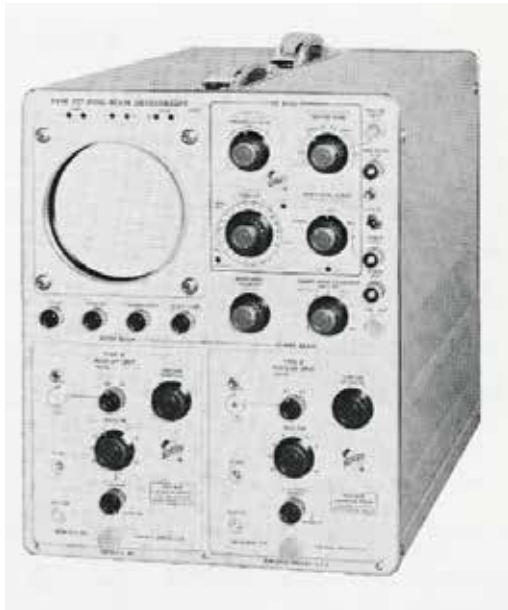
Fig. 2 Number of components per integrated function for minimum cost per component extrapolated vs time.



Mooreのオリジナルの予想



Instrumentation



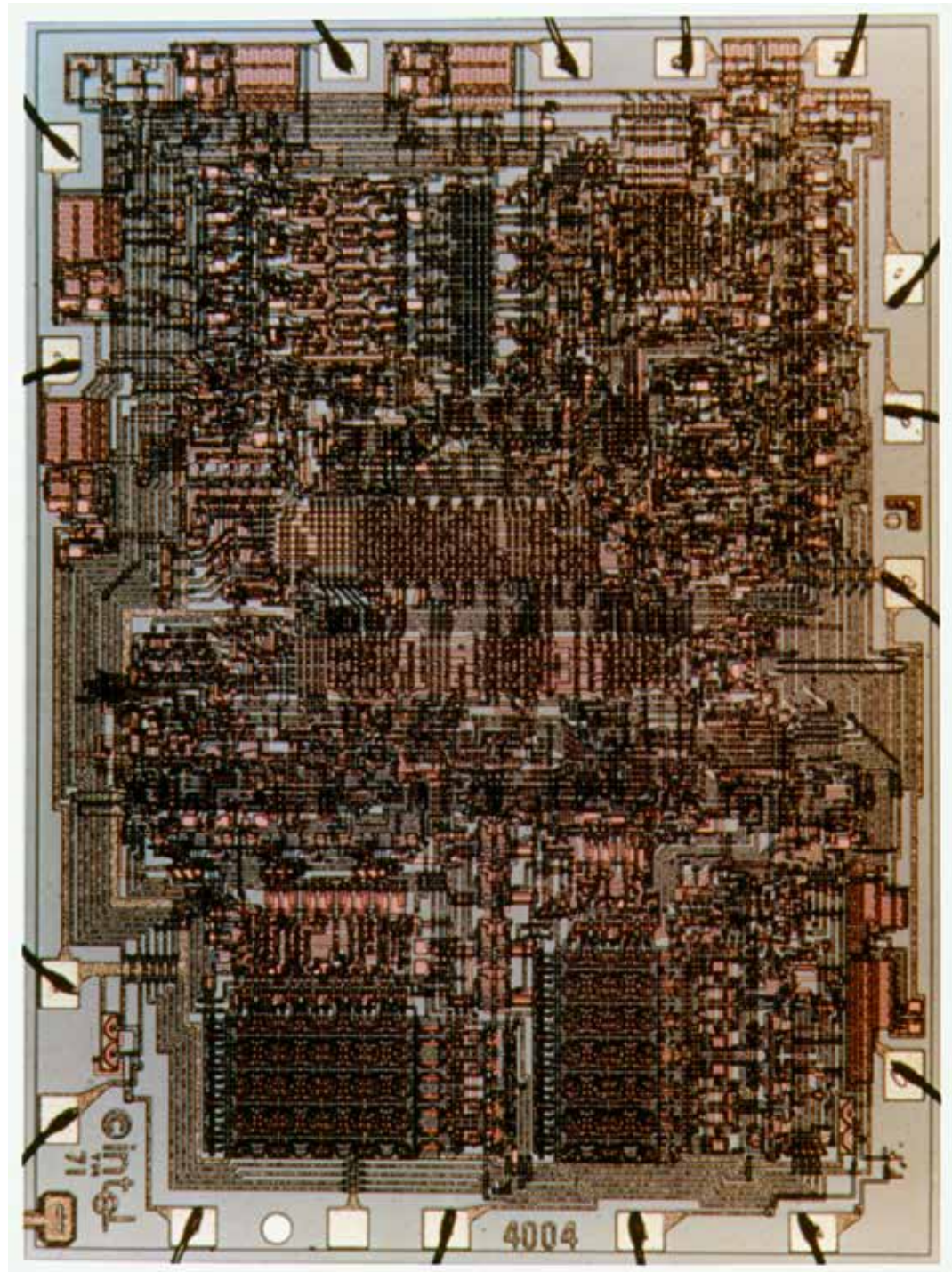
	1960 Price	1960 Adj Price	2015 Price
Type 551 dual beam 30 Mc scope	2,600\$		
Preamplifier	400\$		
<i>Total 2 ch scope</i>	3,400\$	21,620\$	
TDS2001C quad-ch			~1,000\$

Intel 4004

1971年:

10 um Process,
2300 Transistors,
741 kHz Clock Speed,
4bit CPU
3mm x 4mm

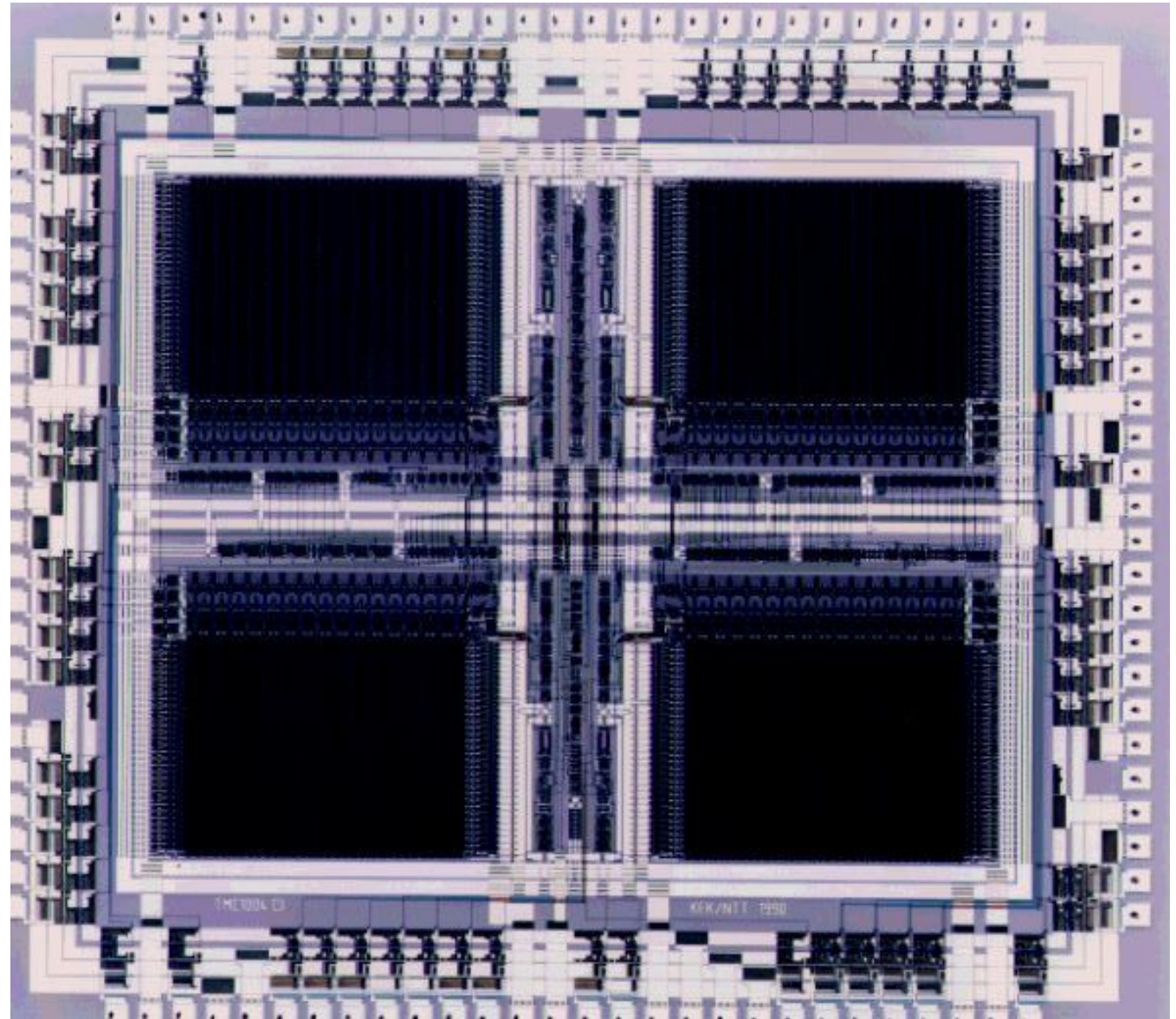
日本のビジコン社との共同開発。
嶋正利氏が論理設計



1990: TMC1004 (Time Memory Cell)

NTT CMOS 0.8 μm
Process
5mmx 5.6mm
~100,000 Transistors

Designed by Y.Arai



Pentium 4

2000年:

42 M transistors,

0.18 μm process,

1.5 GHz clock,

64 bit CPU

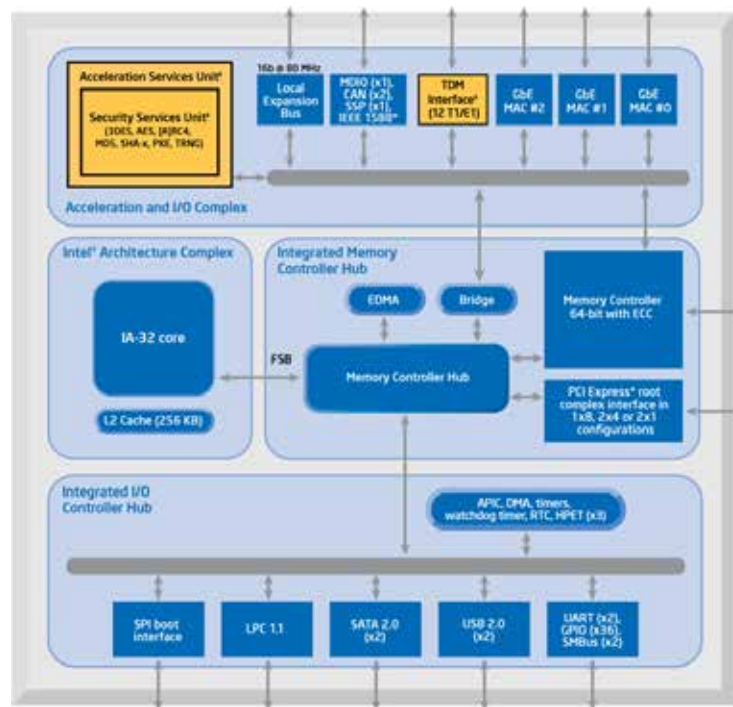


Intel EP80579 System-On-Chip

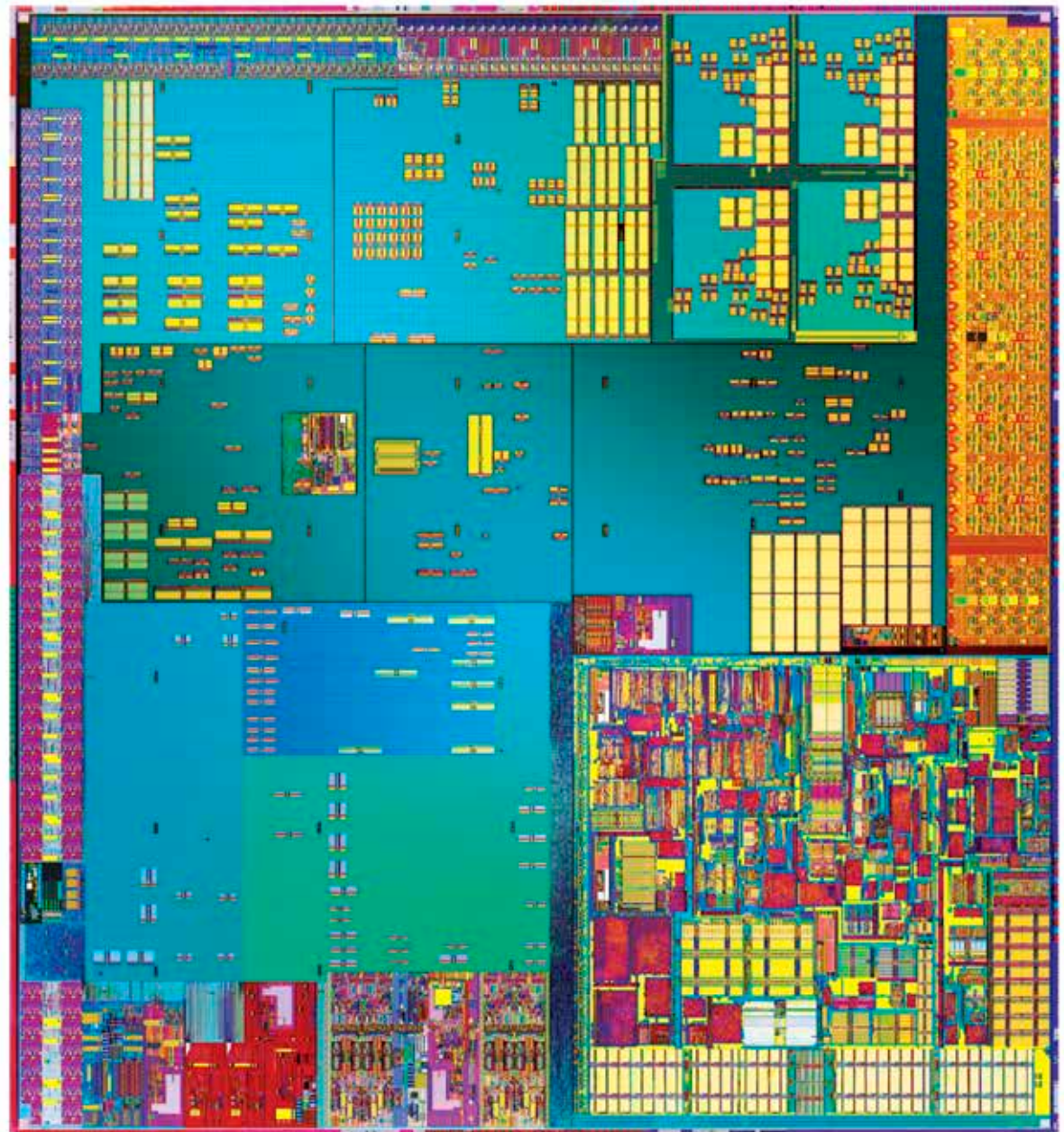
2008

< 45nm, high-k

> 100M Tr



Block Diagram for the Intel® EP80579 Integrated Processor and Intel® EP80579 Integrated Processor with Intel® QuickAssist Technology



スケーリング則

トランジスタ寸法 L, W

膜厚 t_{ox}

接合深さ x_j

空乏層幅 W_d

基板不純物濃度 N_a

電源電圧 V_{dd}

電流 I_d

容量 C

遅延時間 $t = CV/I$

消費電力 $P = IV$

トランジスタ数

$1/k$

$1/k$

$1/k$

$1/k$

k

$1/k$

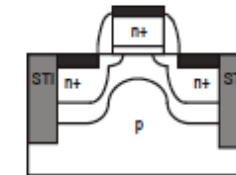
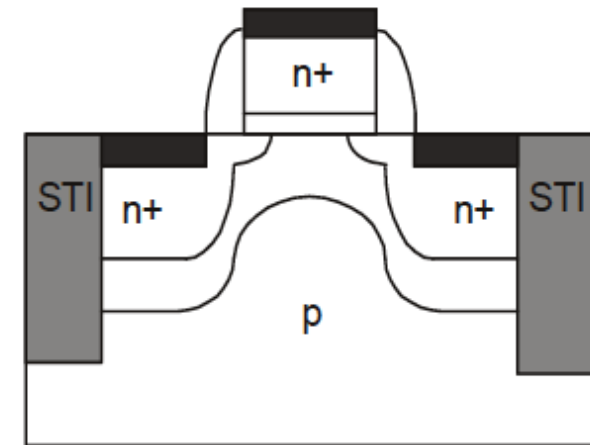
$1/k$

$1/k$

$1/k$

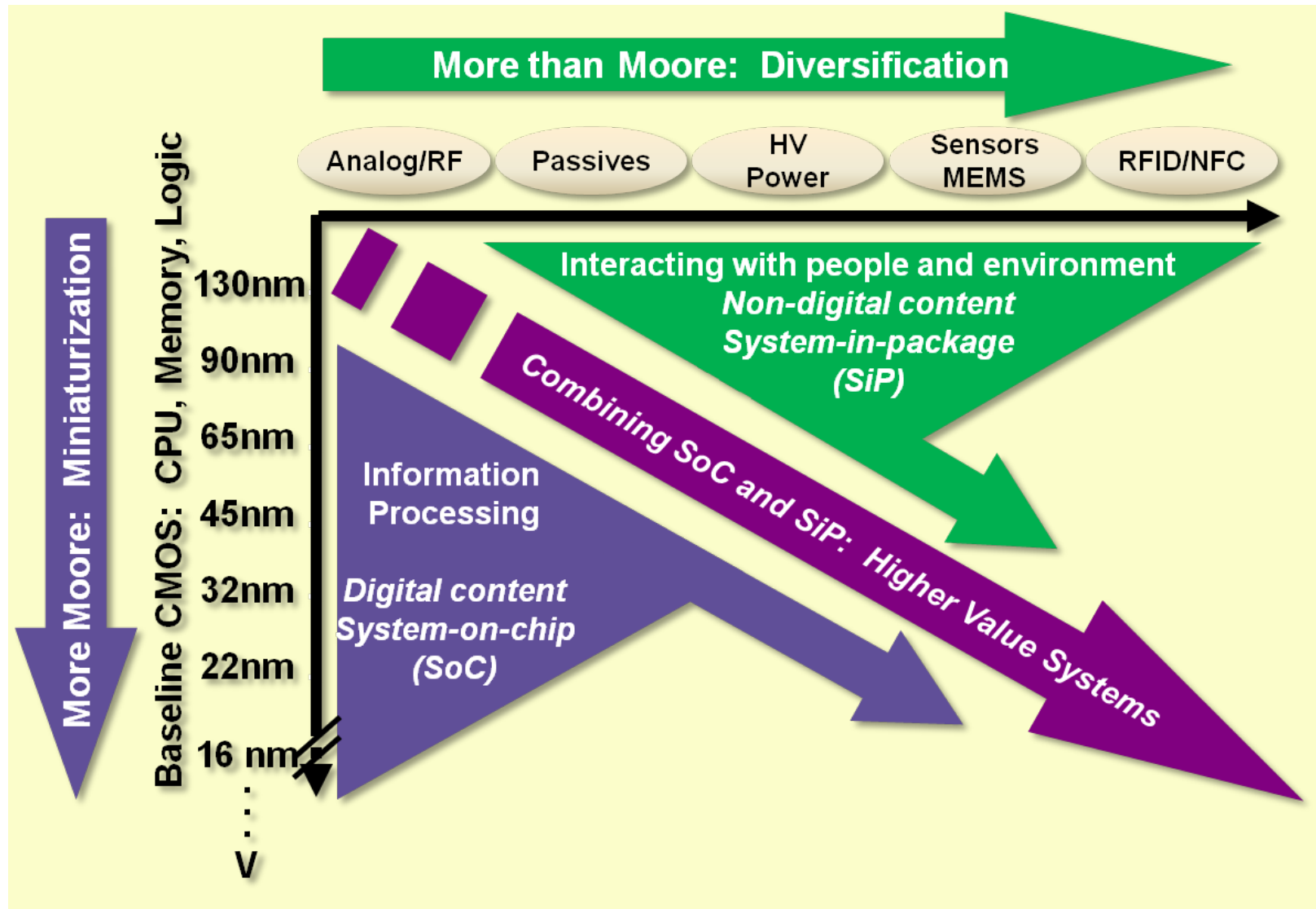
$1/k^2$

k^2

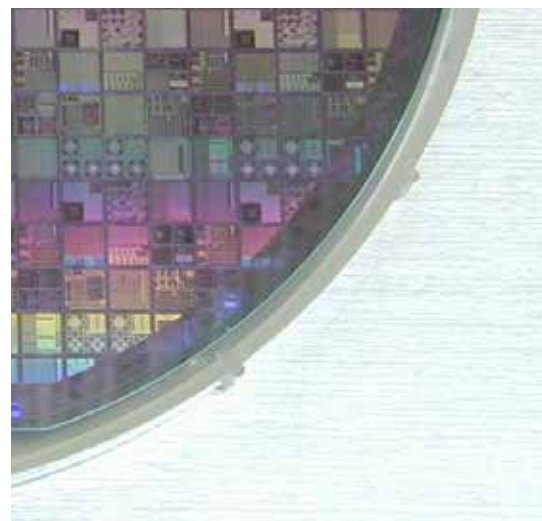
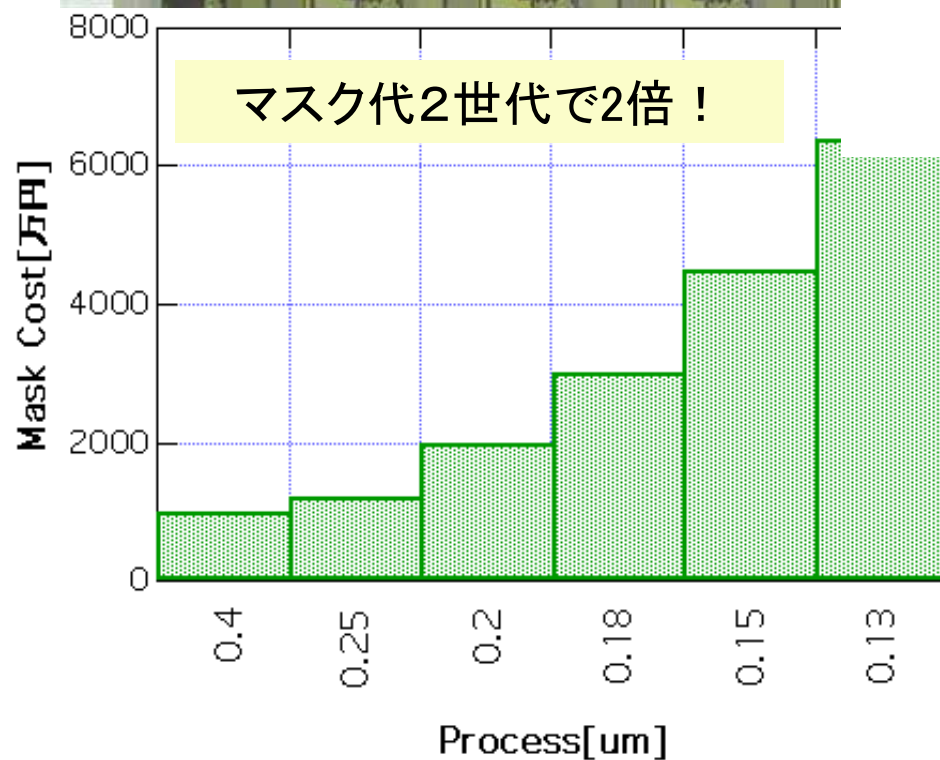
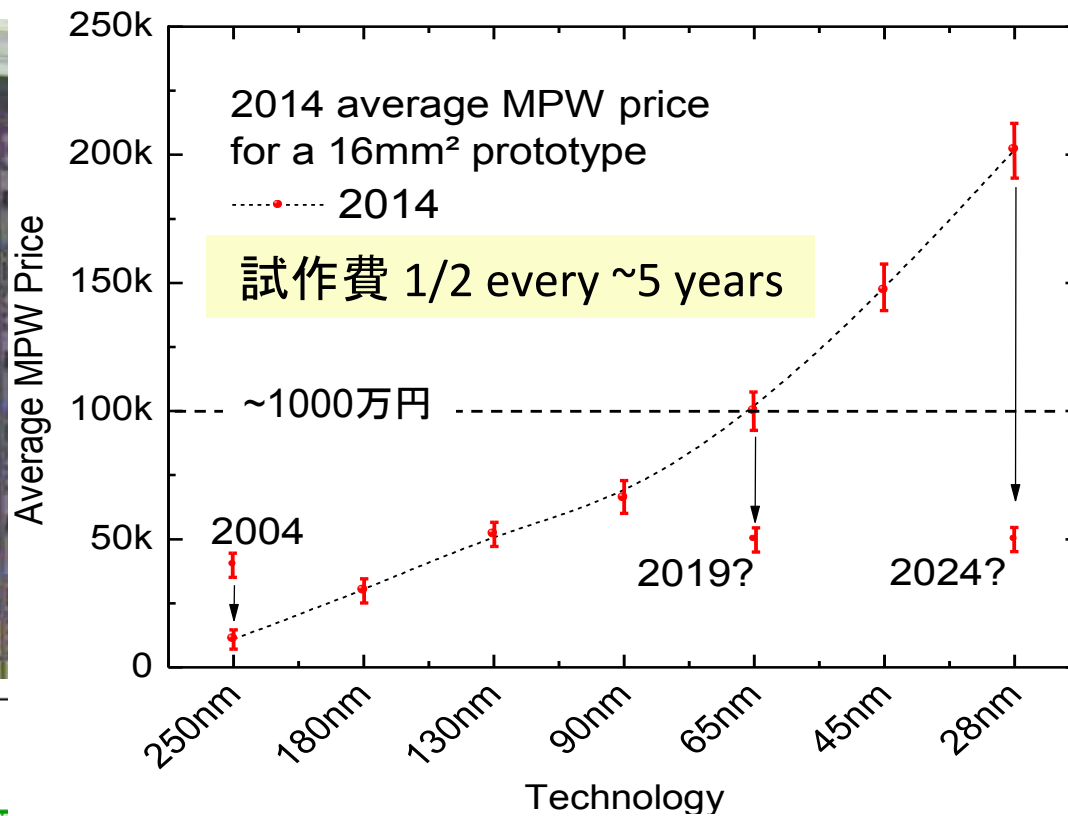


微細化すると高速化，低消費電力化，高集積化がはかれる。

トランジスタサイズの縮小(More Moor)には限界も。
新たな発展の方向(More Than Moor)が模索されている。



微細化の問題点

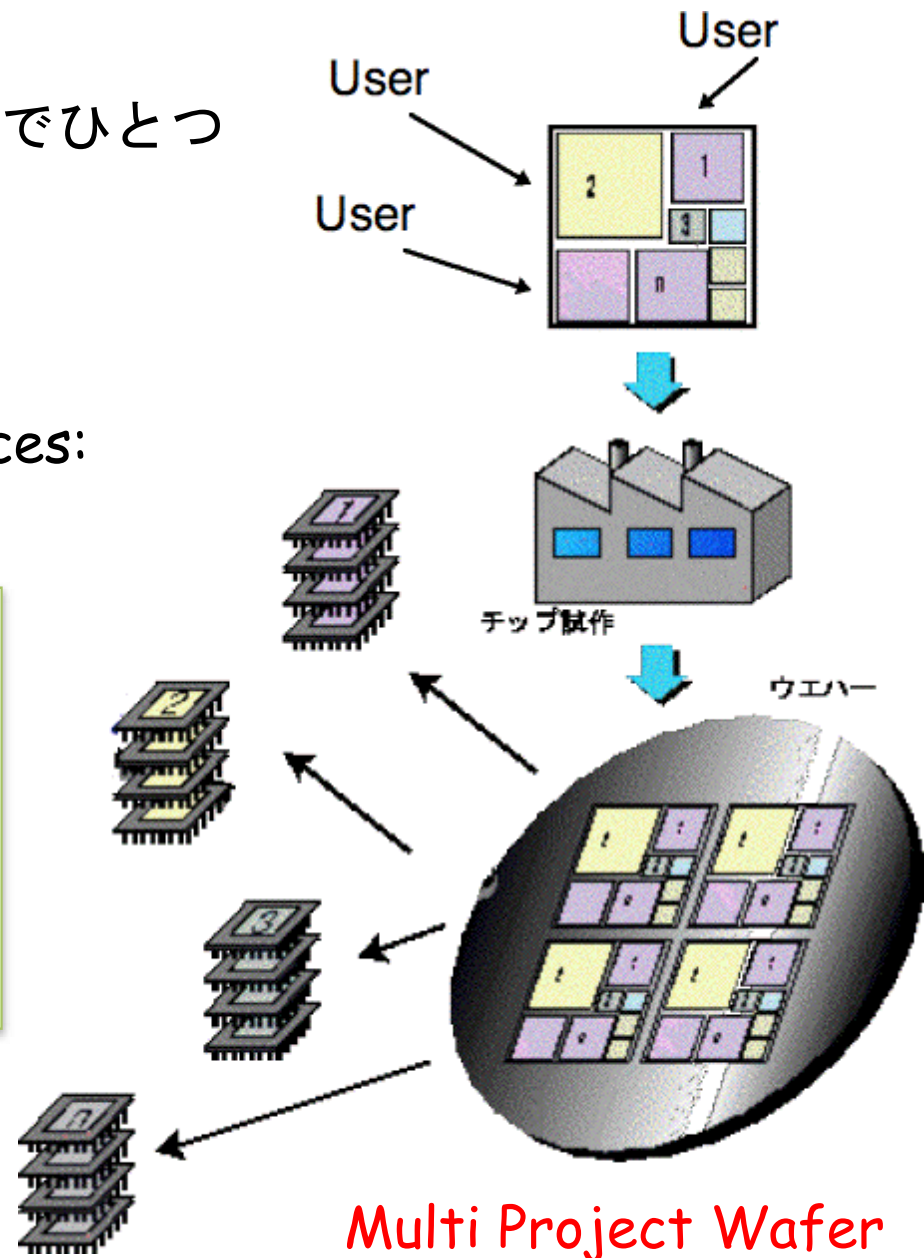


LSI Foundry Services

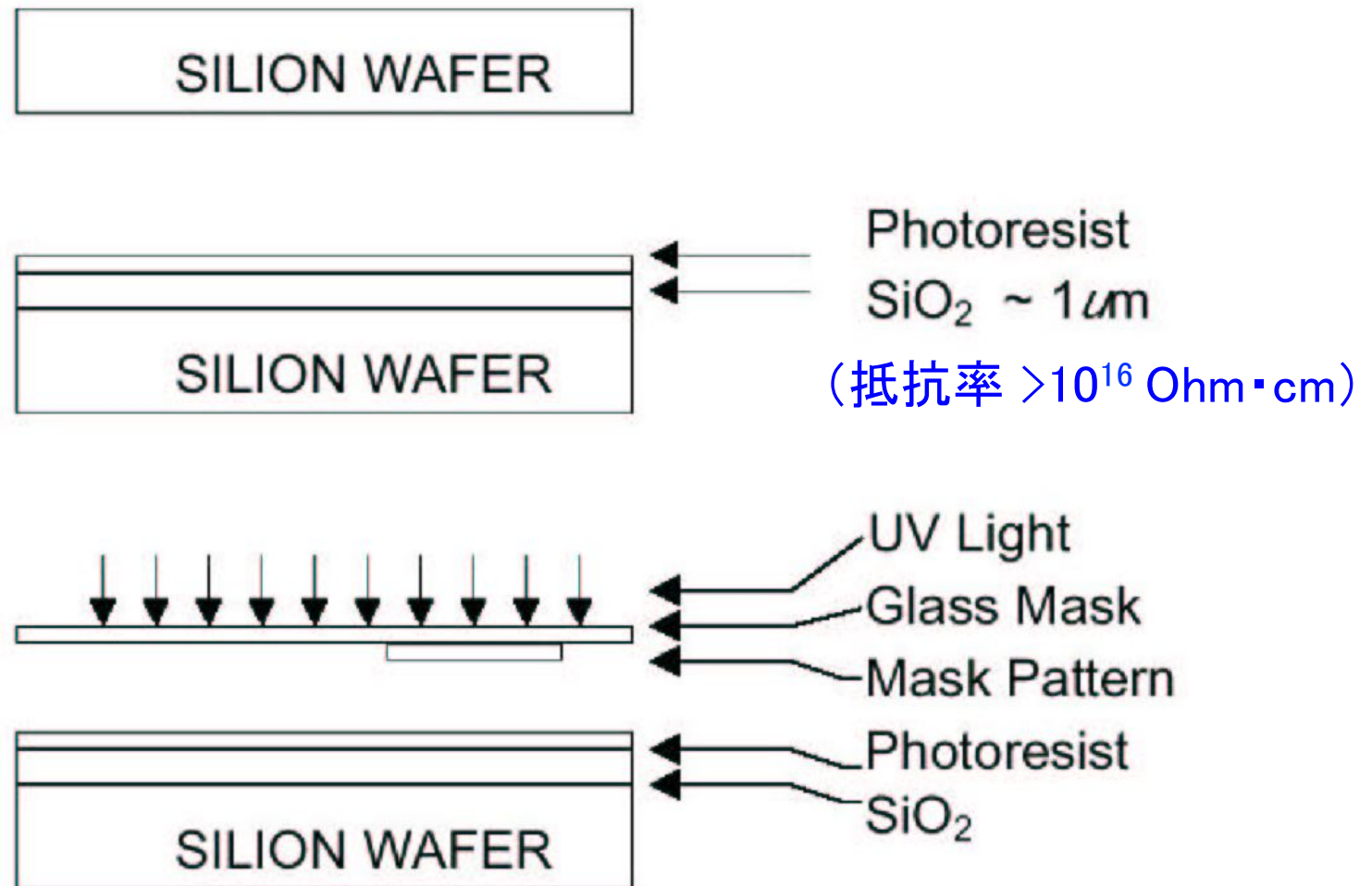
マスク代が高いので、多くのユーザーでひとつのマスクを共用する。

Multi Project Wafer (MPW) Services:

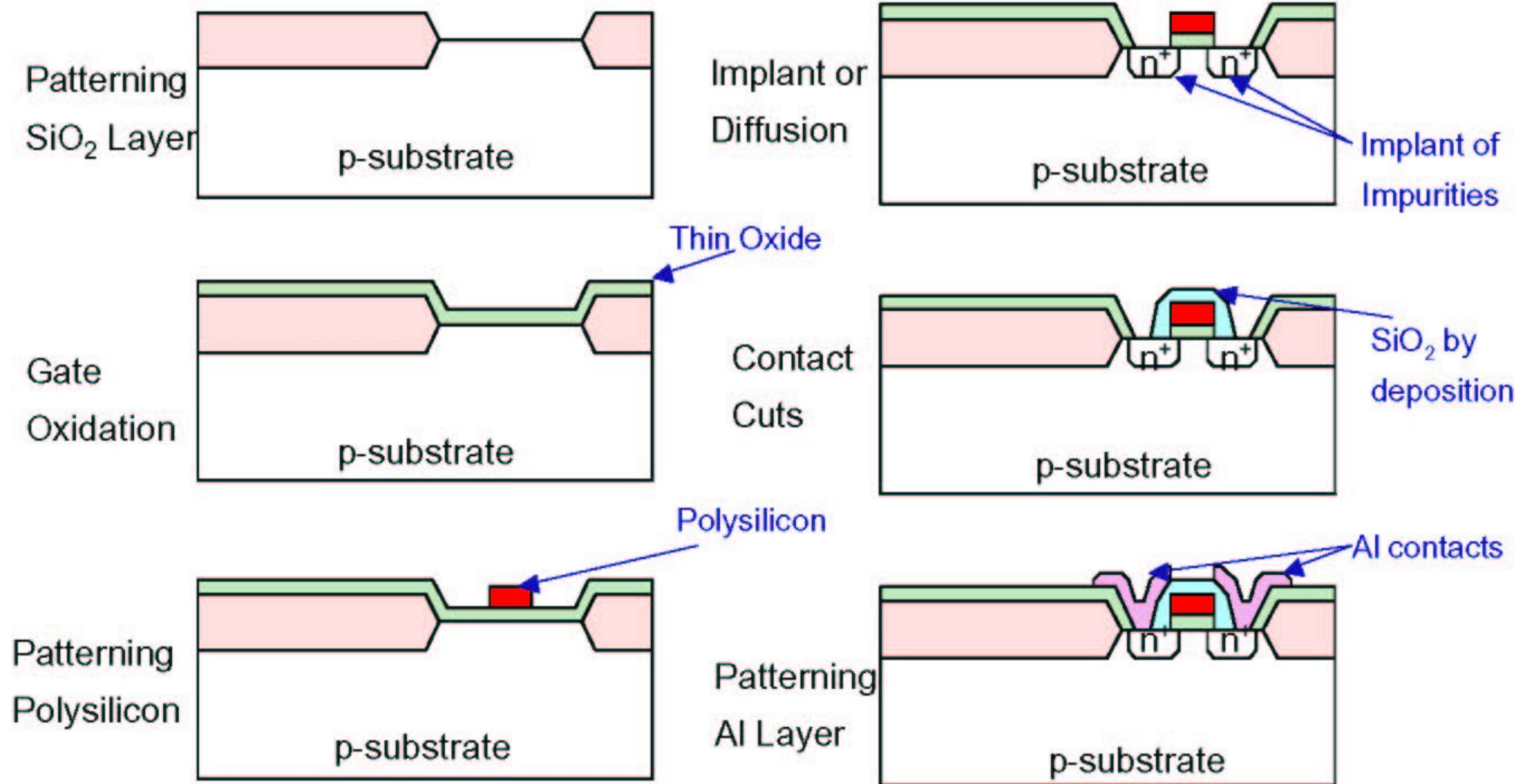
- TSMC (Taiwan Semiconductor Manufacturing Company)
- VDEC: 東京大学大規模集積システム設計教育研究センター
- KEK SOI MPWラン
-



半導体プロセス

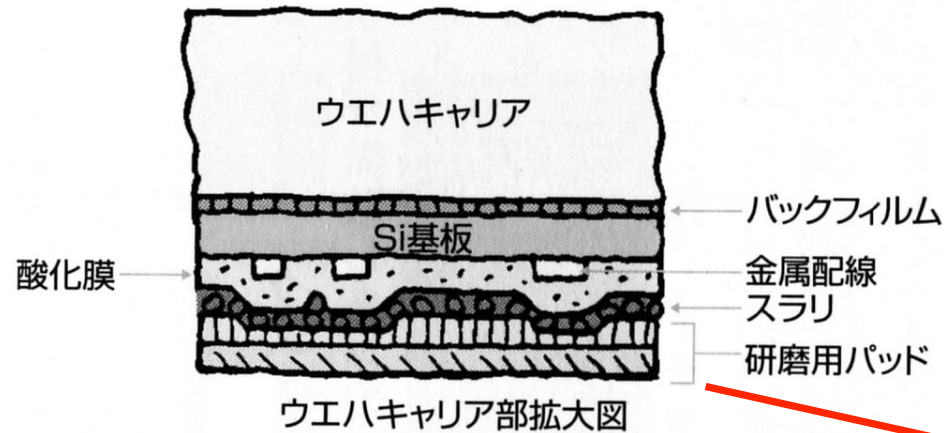


半導体プロセス (続き)

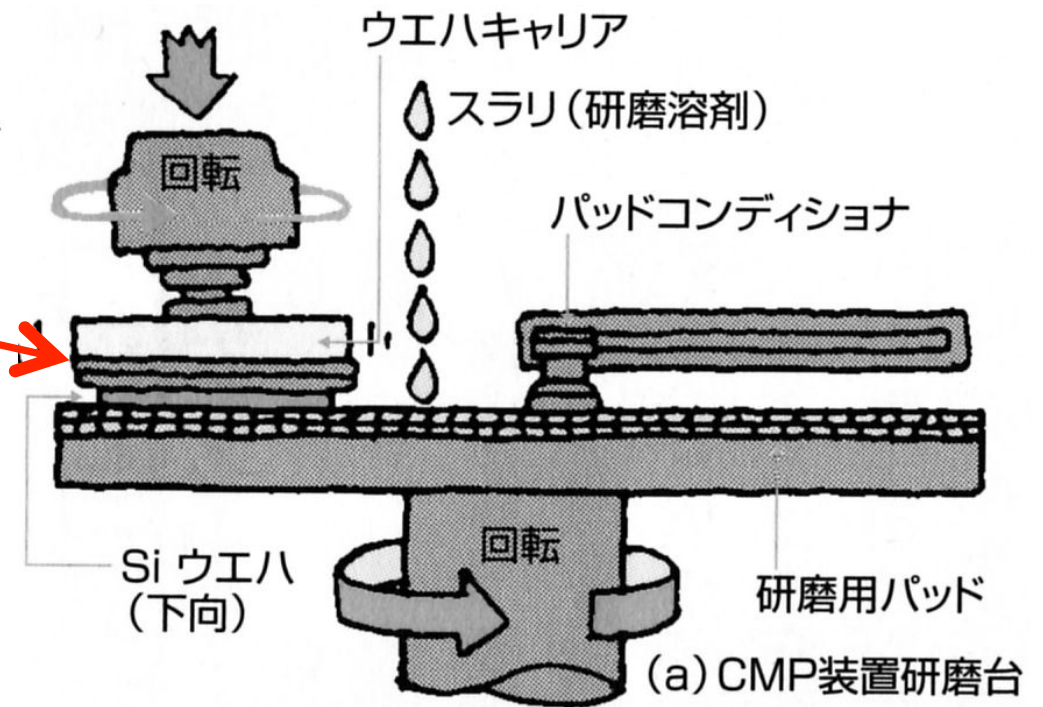


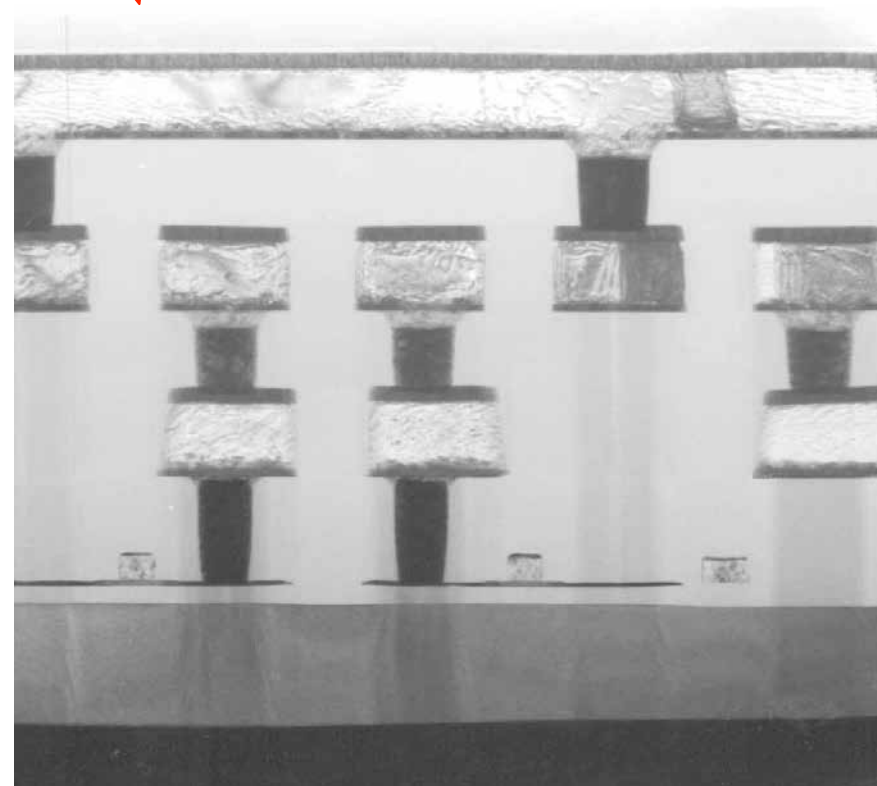
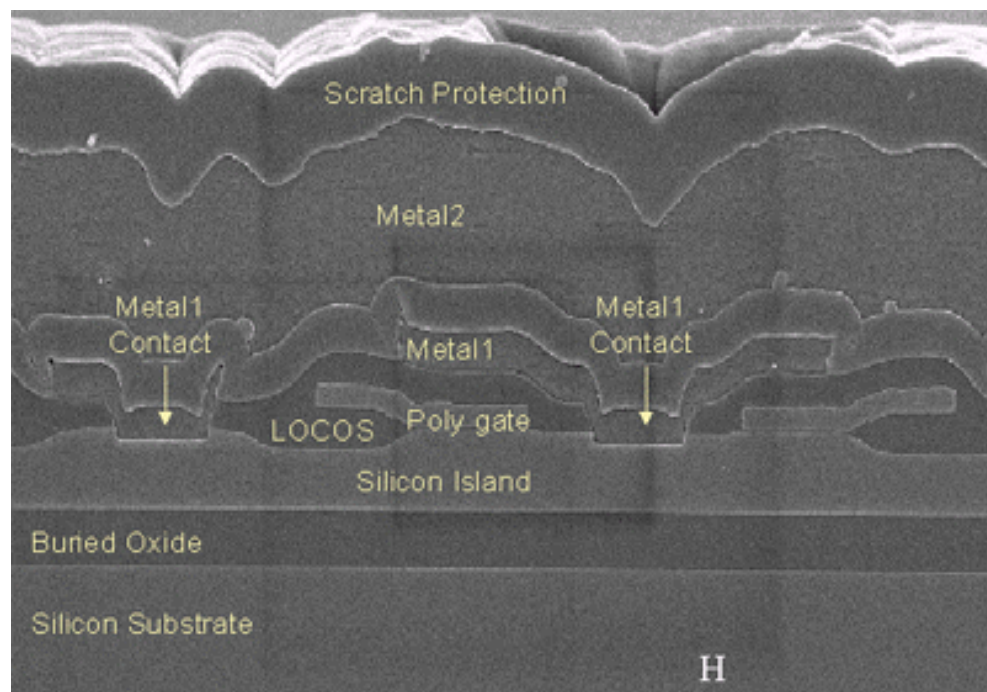
平坦化

CMP: Chemical Mechanical Polishing
(化学的機械的研磨)



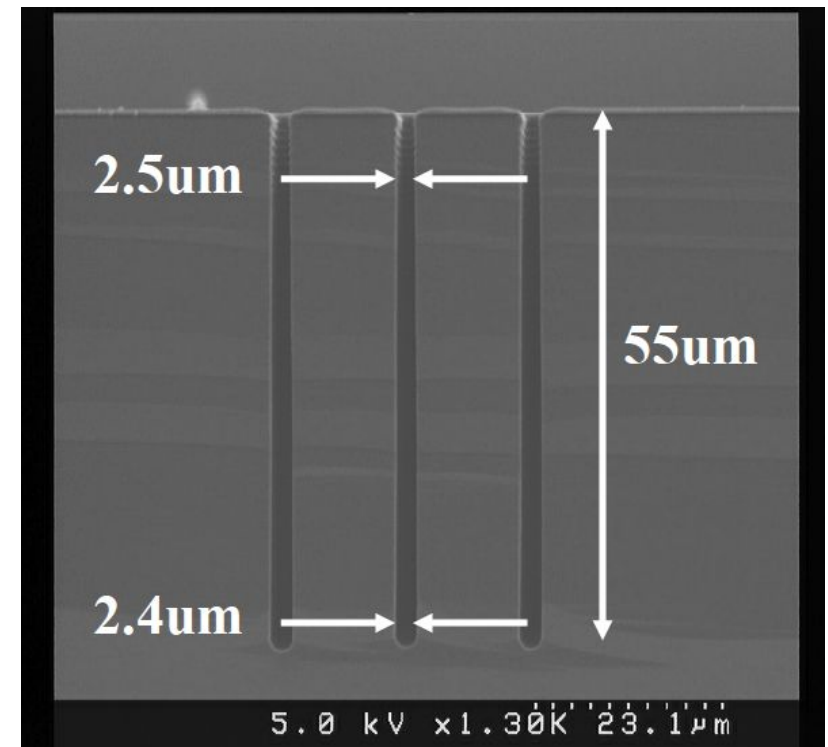
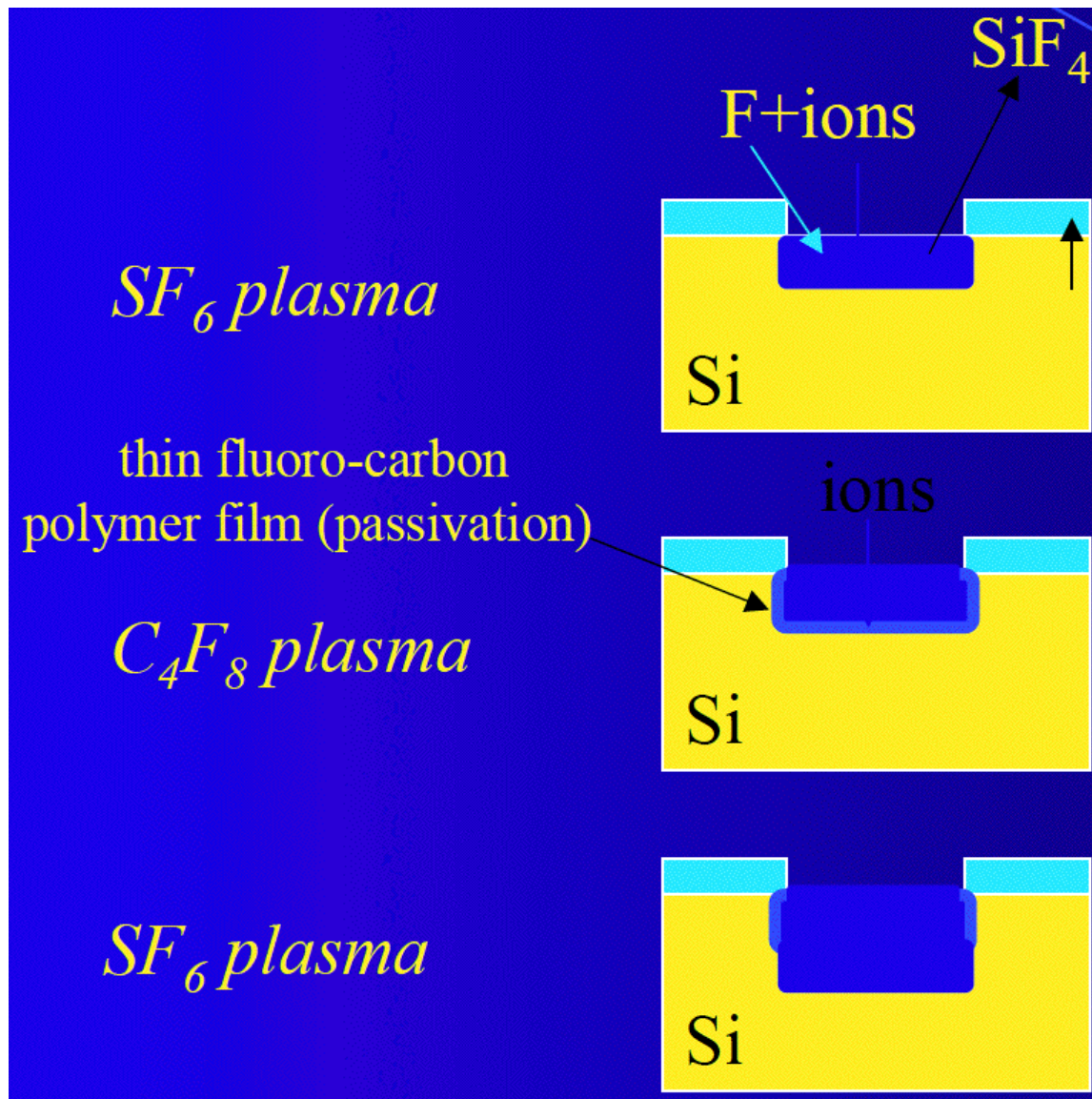
研磨溶剤と研磨パッドによりウエハが平坦化される。

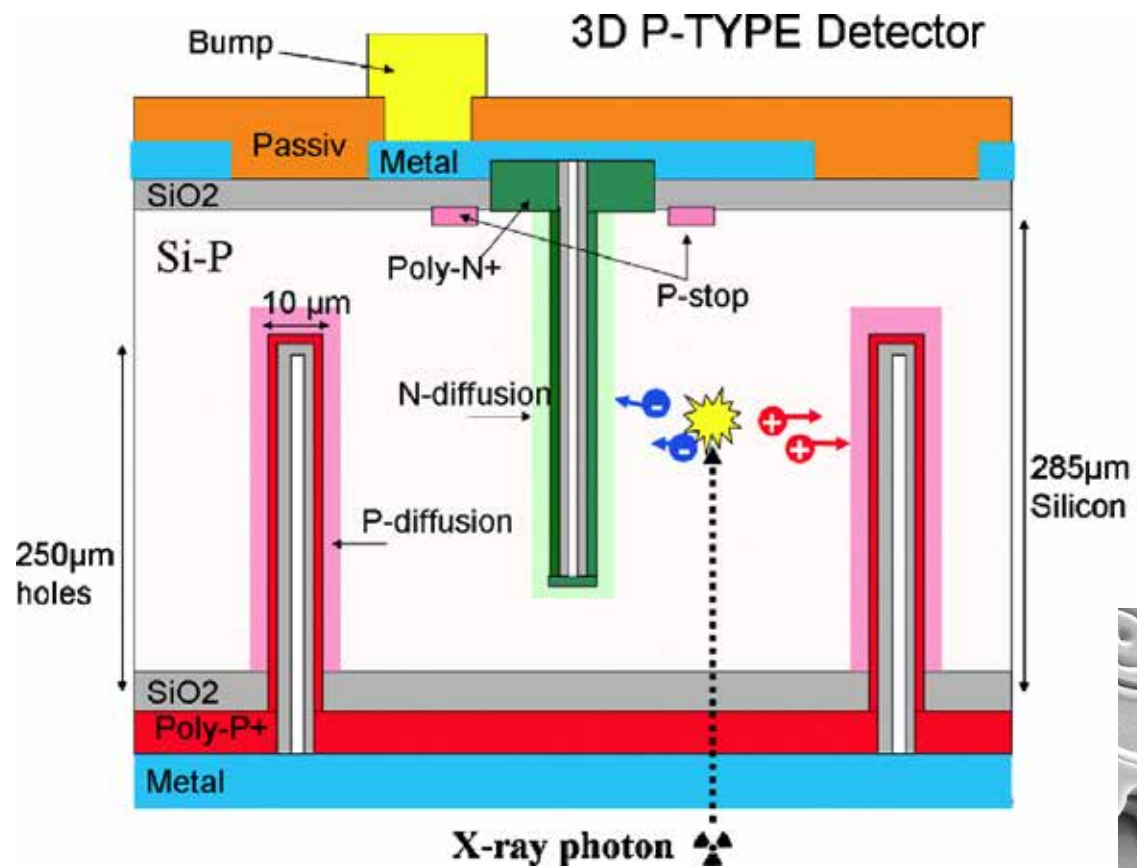




多層配線が可能になった！

DRIE: Deep Reactive Ion Etching (Bosch Process, 1992)



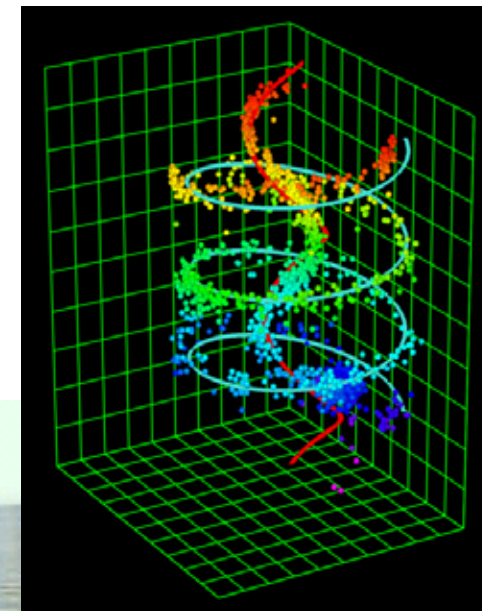
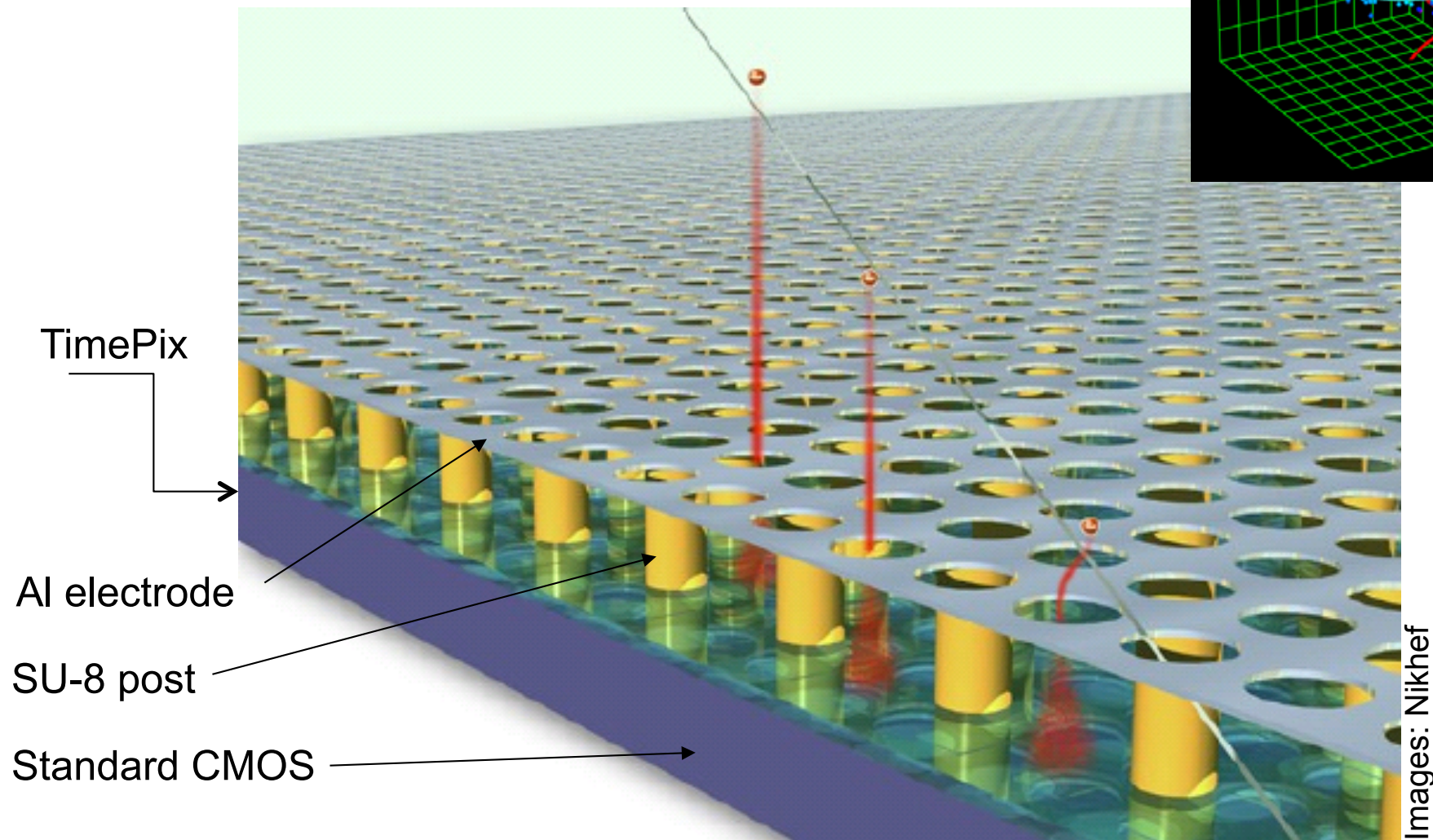


このような構造も可能に。



InGrid: a radiation imaging detector

集積回路上にガス増幅用メッシュをMEMS (*Micro Electro Mechanical Systems*) 技術で作成。



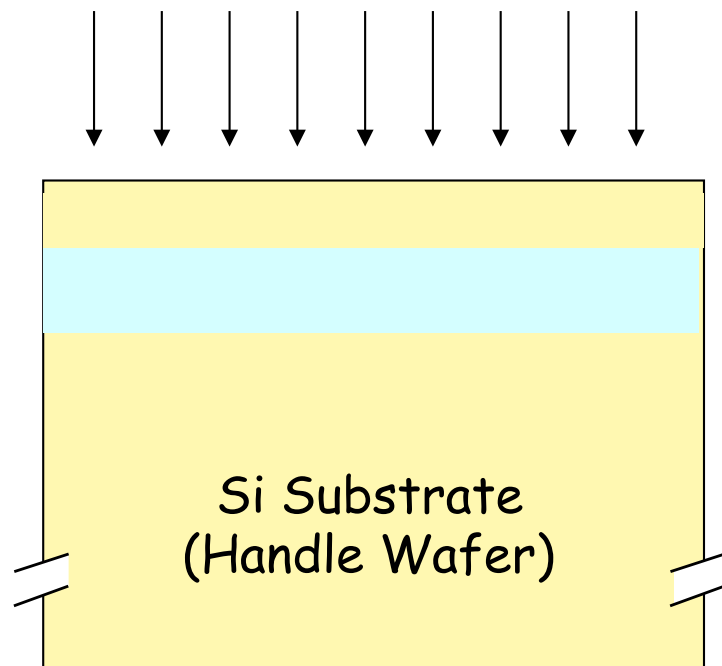
Silicon-On-Insulator (SOI) Wafer



集積回路で使用するのはSiウエハーの表面1μm以下の部分.

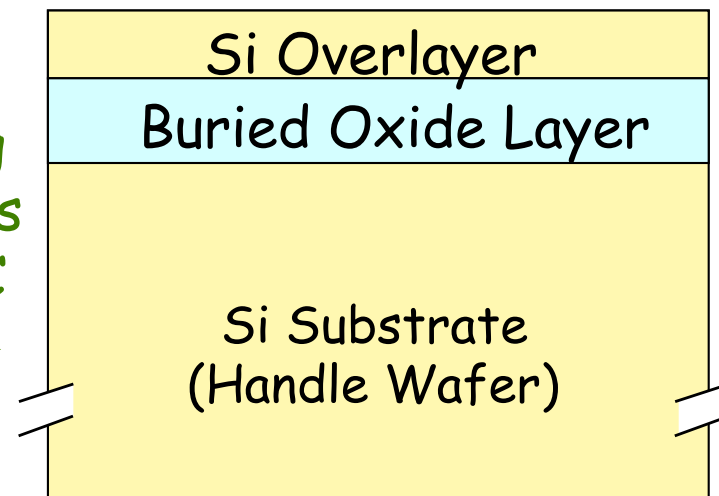
Siの下を絶縁体にする事で、高性能化。

Oxygen Ion Implantation
120-200 keV, $4-20 \times 10^{17} \text{ cm}^{-2}$

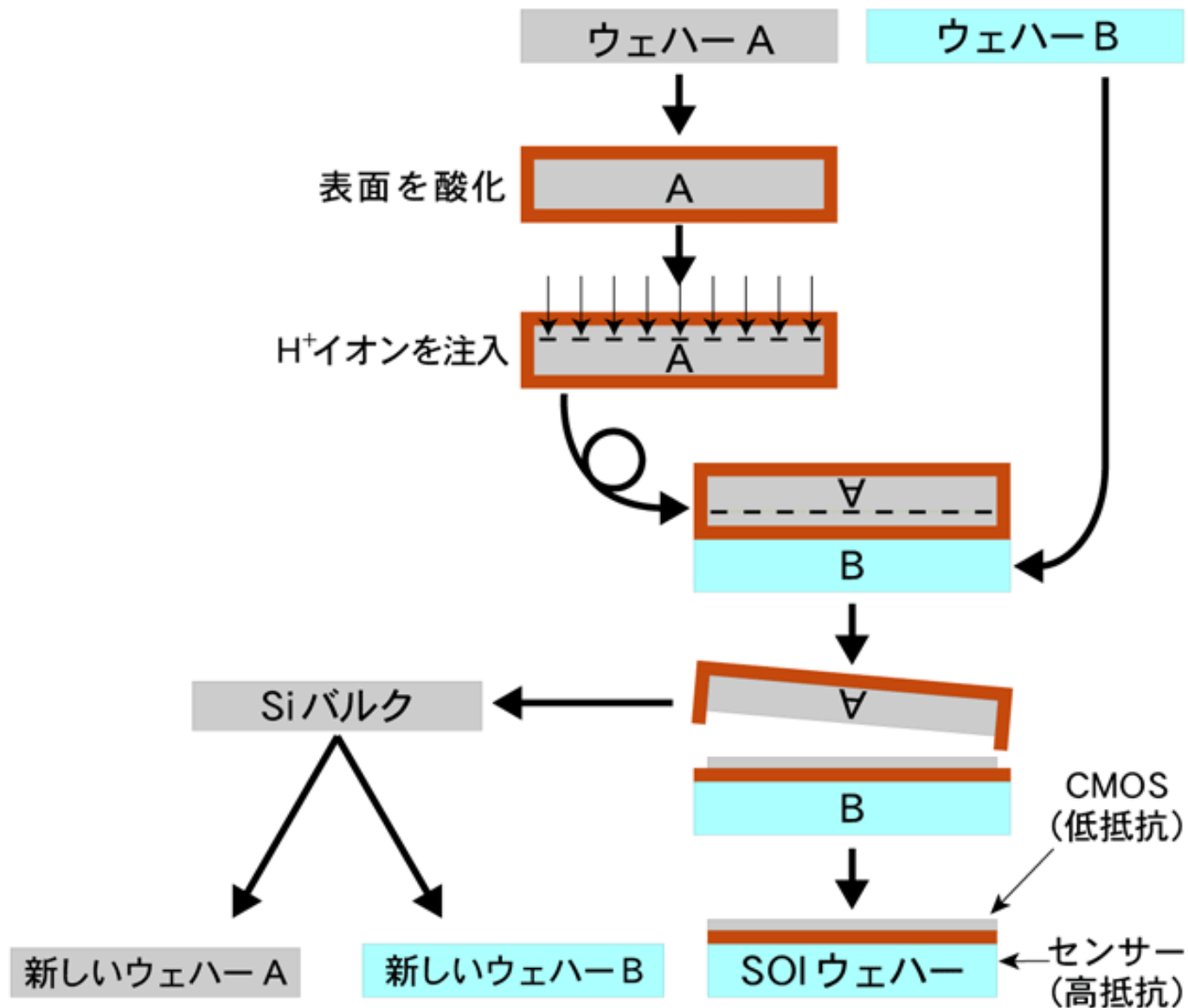


SIMOX
(Separation by Implanted Oxygen)
K. Izumi (NTT Japan, 1978)

annealing
3-6 hours
~1300 °C

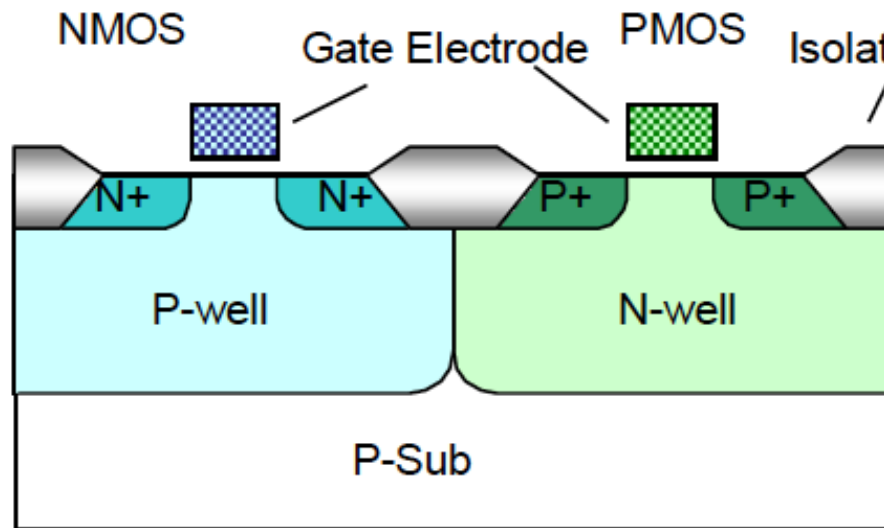


SmartCut (1991 : Michel. Bruel of Leti(14))

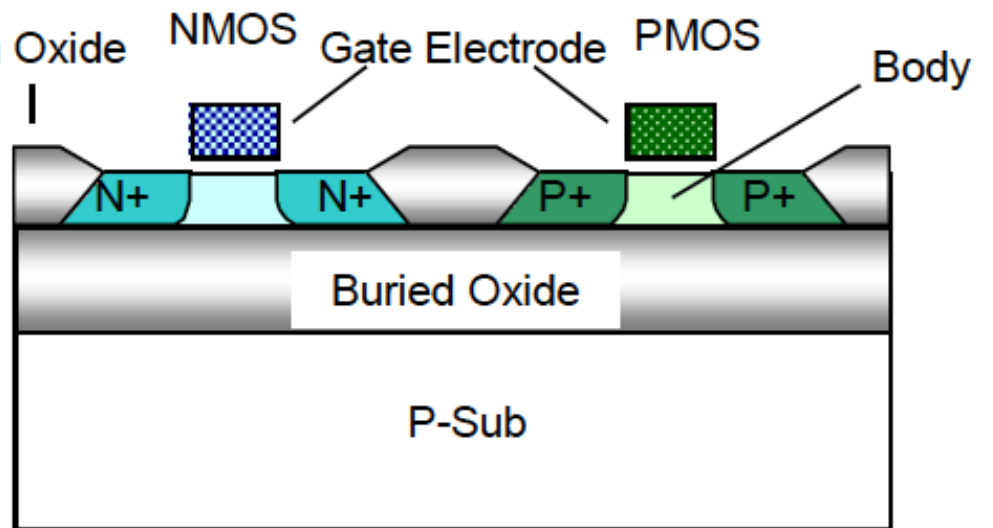


Layer Transfer

Bulk CMOS vs. SOI CMOS

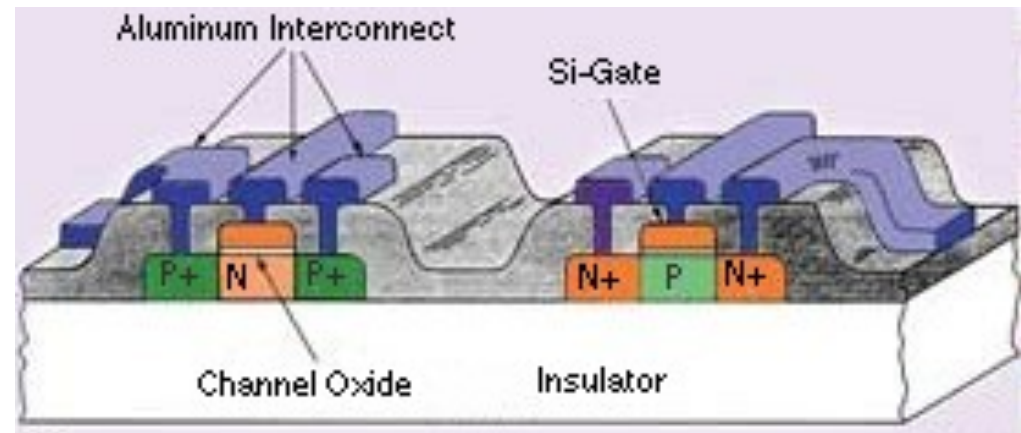


Bulk CMOS



SOI CMOS

In SOI, Each Device is completely isolated by Oxide.

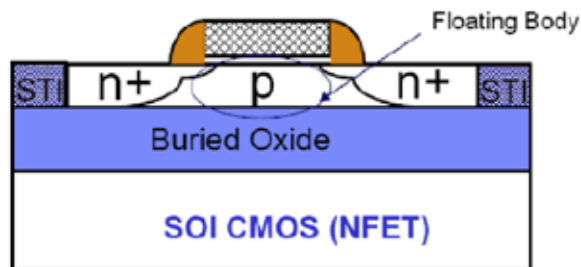


SOI Value Adders



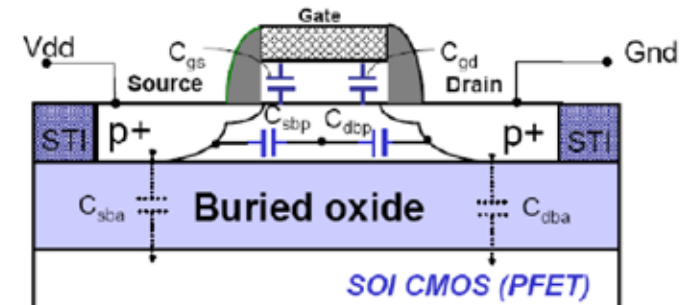
■ Superior Isolation

- No Well Taps required
- Smaller circuit foot-print
- Latch-up free operation



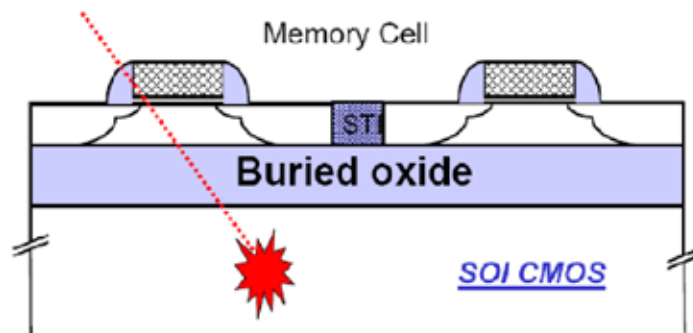
■ High Speed Switching

- 2X lower junction perimeter capacitance
- Improved Short-Channel Effects



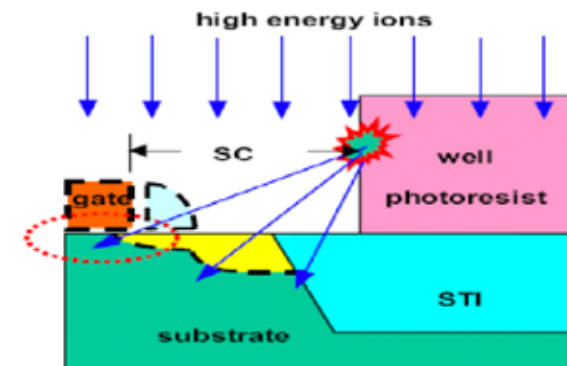
■ Less susceptibility to soft errors

- SER reduced by 5-7X
- Low power high reliability

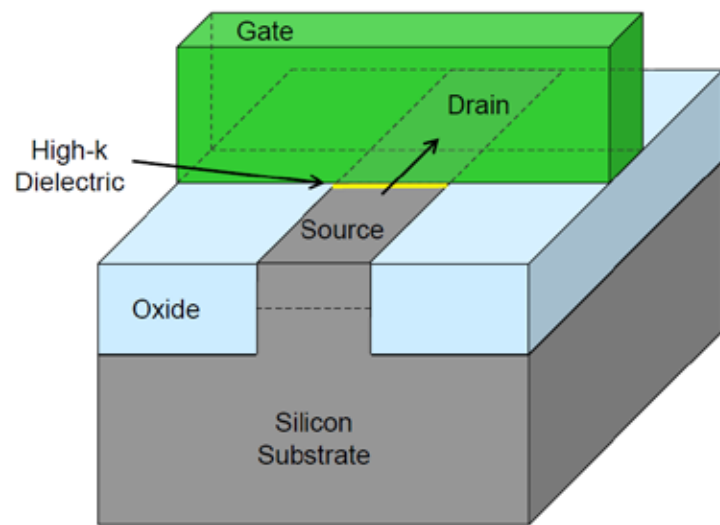


■ Reduced Variation within Die

- Short-channel V_t roll-off suppression
- Less variation in V_t vs L_{gate} .
- No Well-Proximity Effects (no deep wells in SOI)

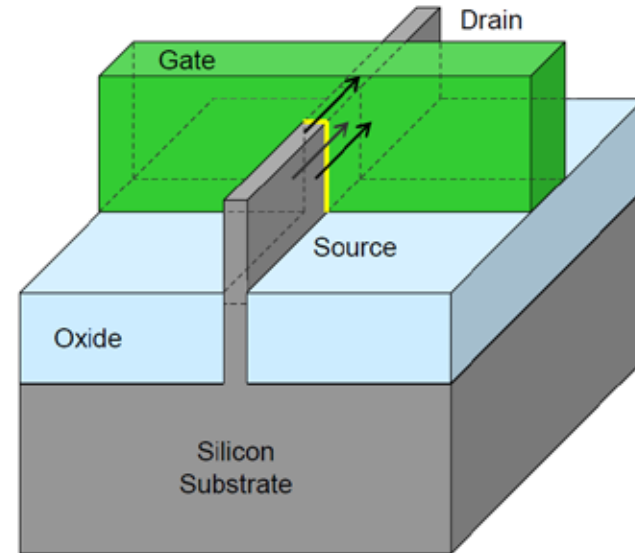


From Planar FET to FinFET (3D FET)

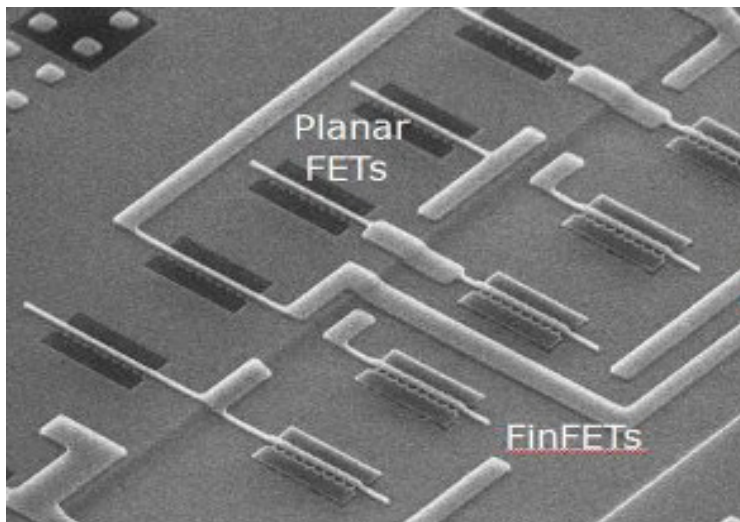


Planar FET

Conducting channels on three sides of a vertical "fin" structure, providing "fully depleted" operation - introduced in late '90s

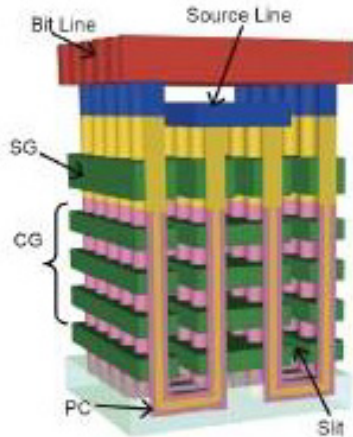
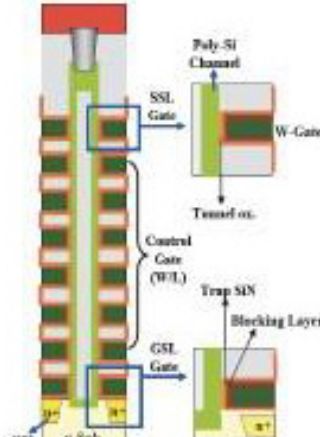
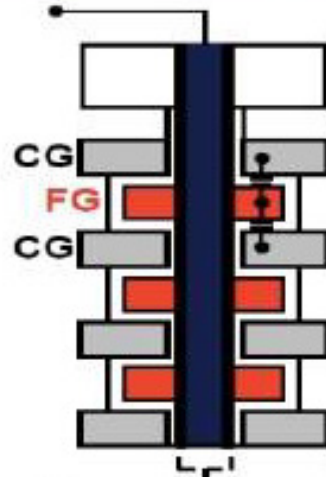
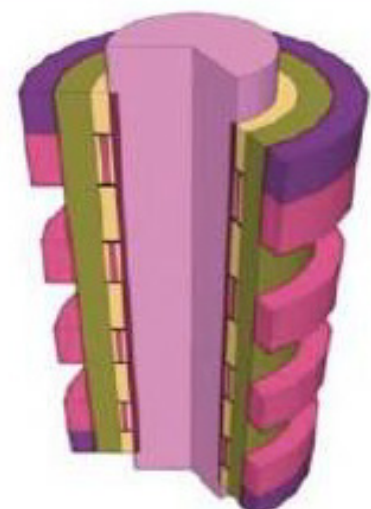


FinFET (3D FET)

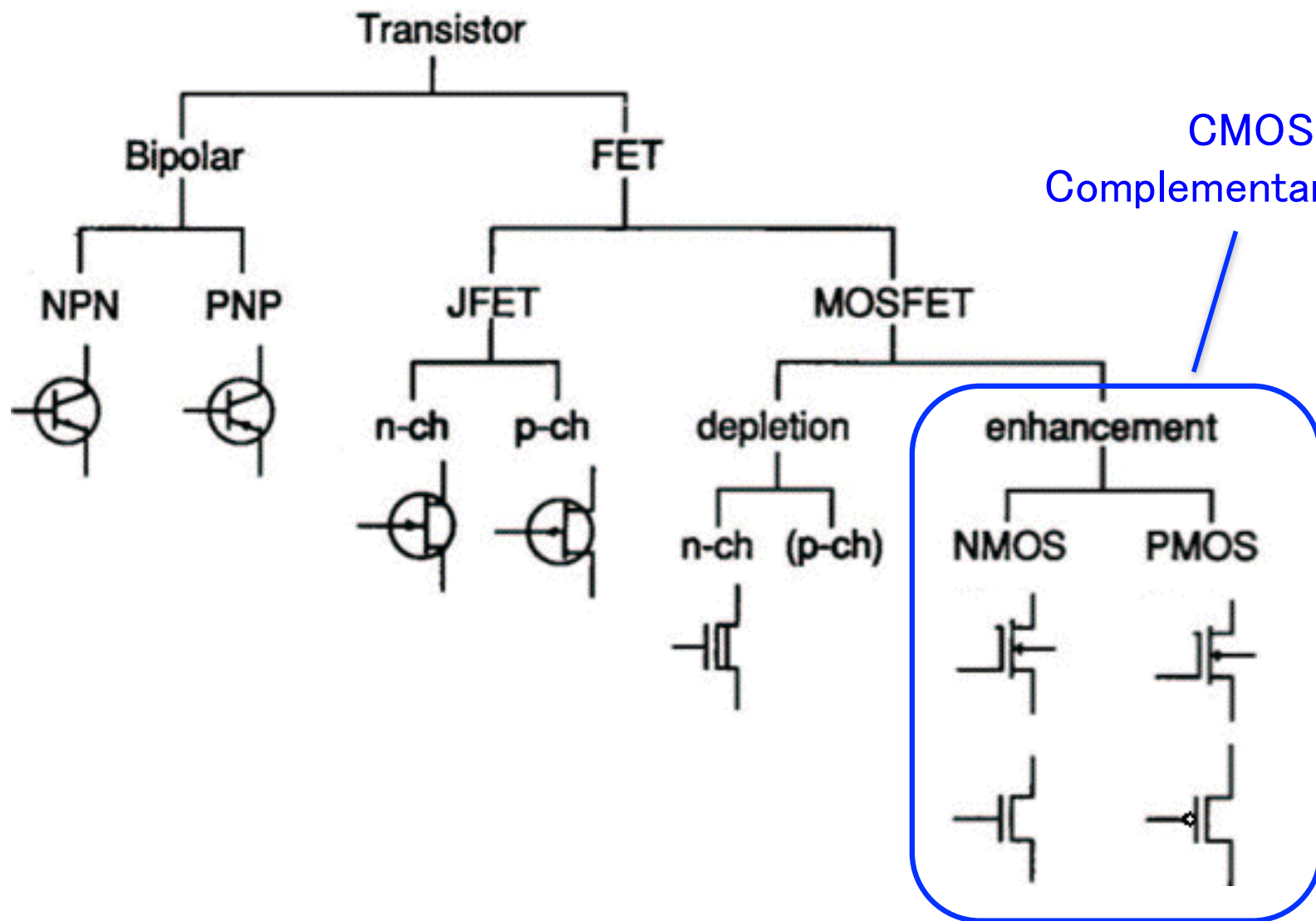


- Combine 20nm-Planar FETs and sub-20nm FinFETs
- 55% drop in power dissipation or 35% boost in speed compared to 28nm-Planar

going 3D

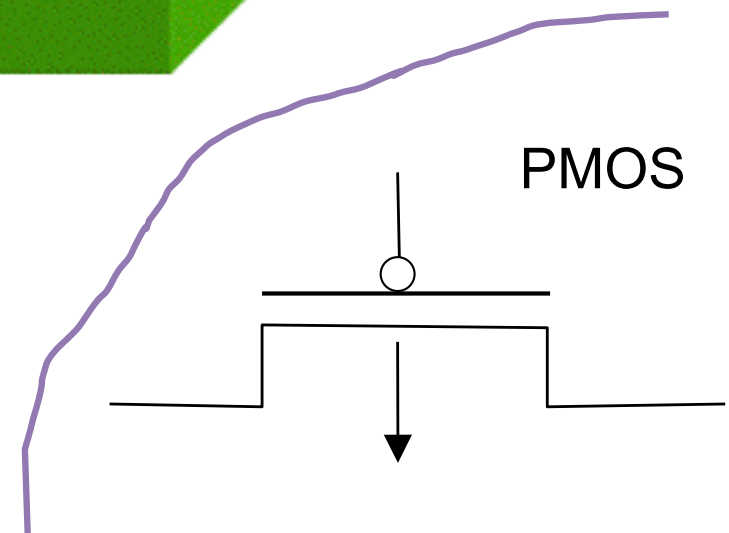
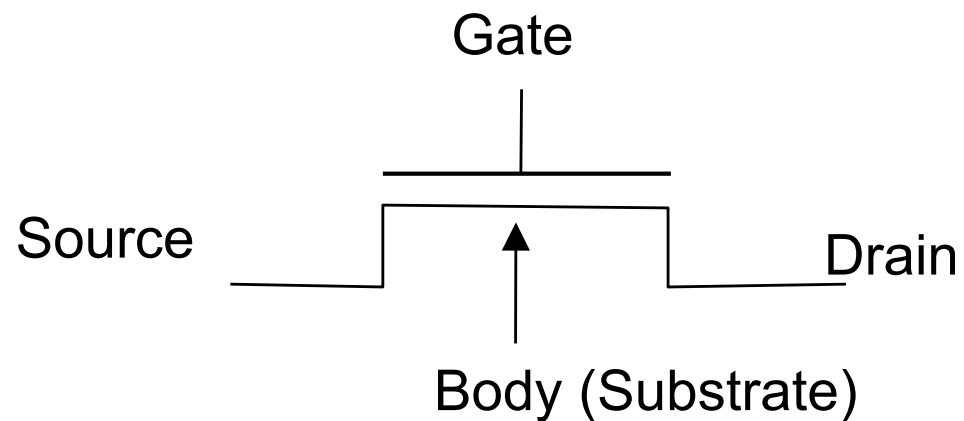
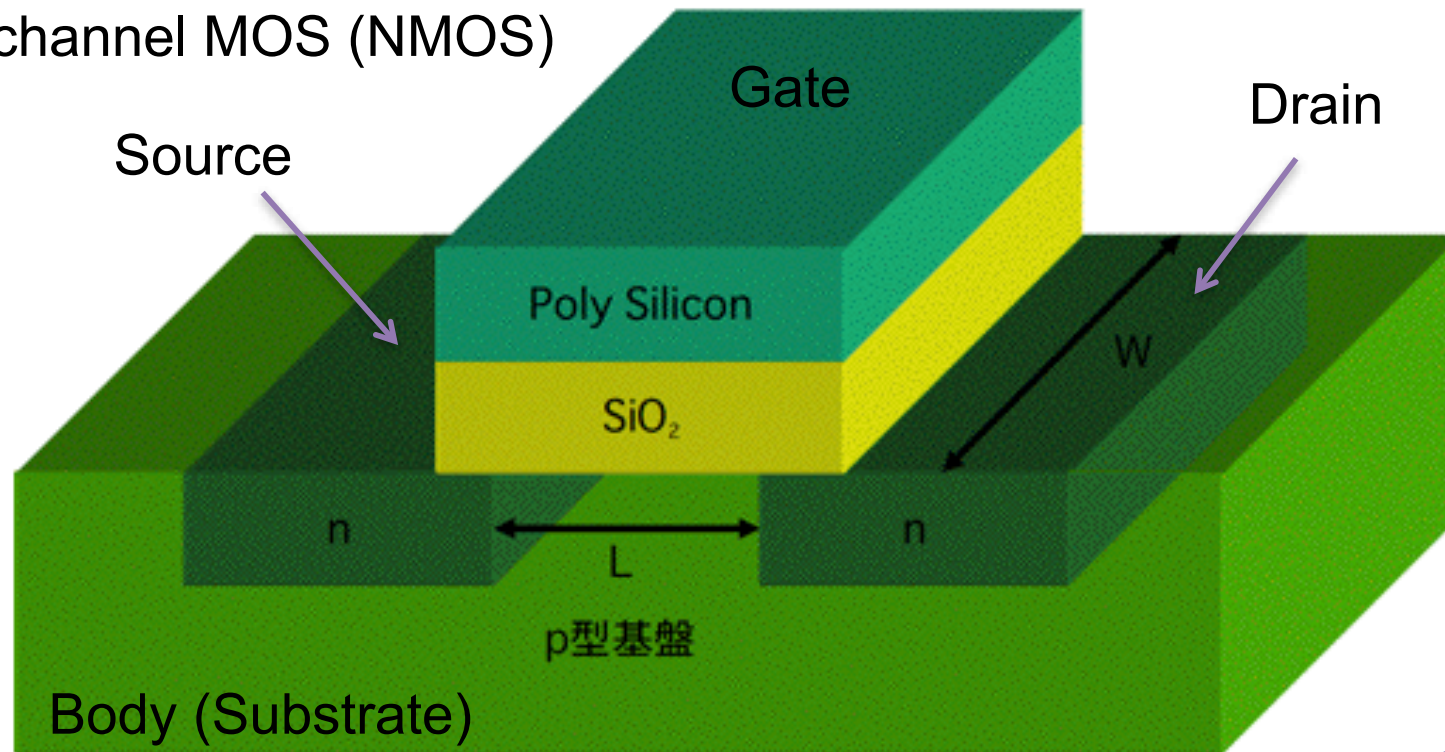
	p-BiCS (Toshiba)	TCAT (Samsung)	3D FG (Hynix)	Micron
Structure	 Tanaka. H, VLSIT 2007	 J. Jang, VLSIT 2009	 S. Whang, IEDM 2010	 G. Hawk, FMS 2011
Key Features	- P+ SONOS Cell	- TANOS Cell	- Floating Gate	?

トランジスタの分類

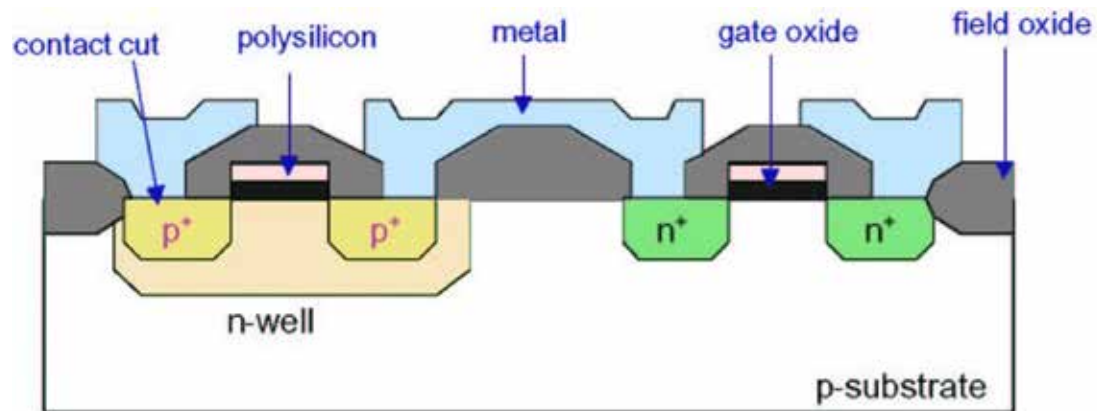


MOS (Metal-Oxide-Si) Transistor Structure

N-channel MOS (NMOS)



CMOS (Complementary Metal-Oxide-Silicon)

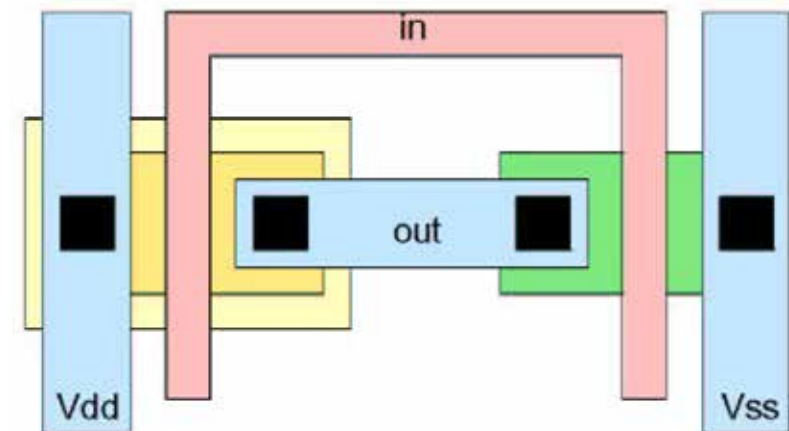
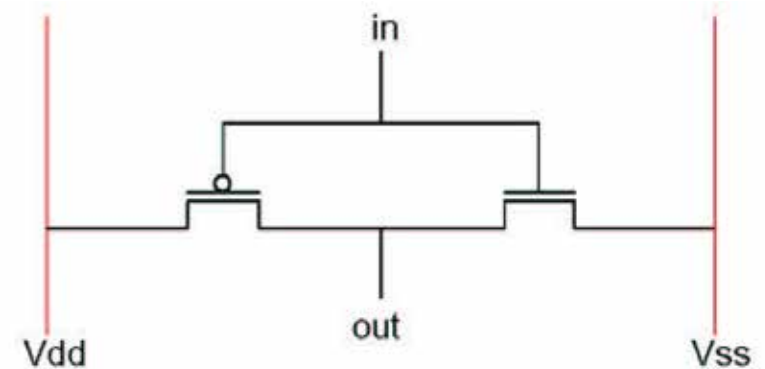


PMOS

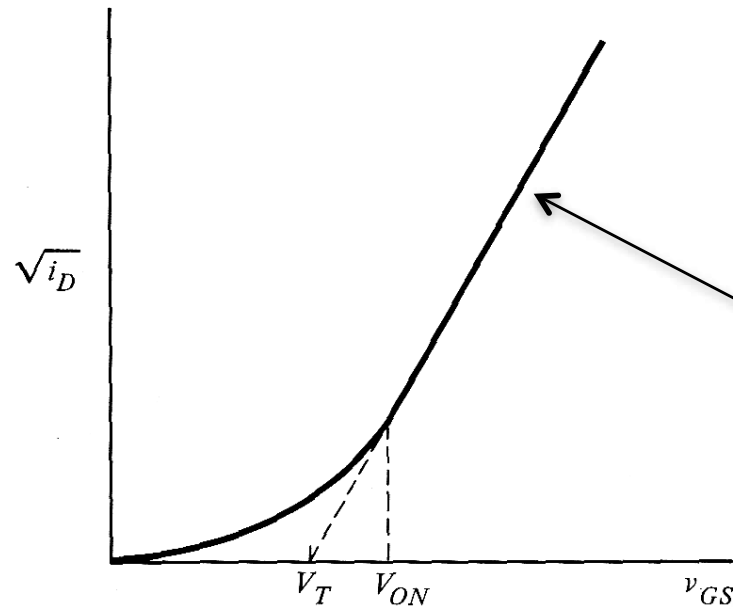
NMOS

In	Out
0	1
1	0

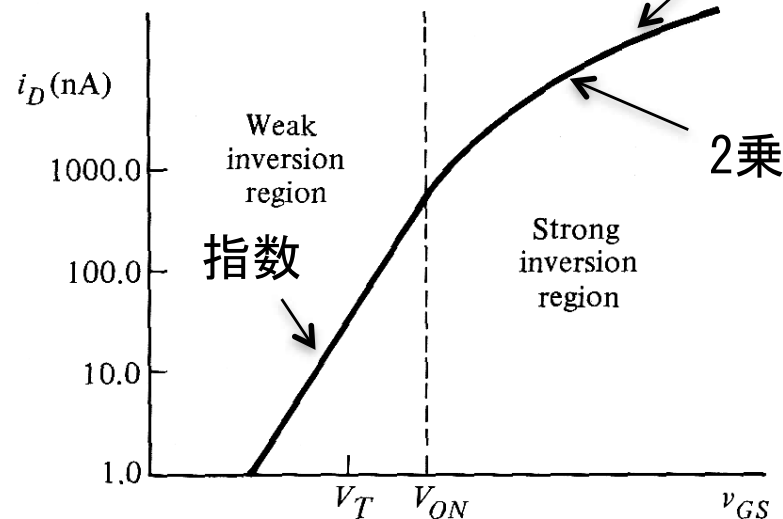
Inverter



MOS Transistor Characteristic



$$I_{ds} = \beta \frac{(V_{gs} - V_{th})^2}{2}$$



$$\beta = \mu \cdot C_{ox} \left(\frac{W}{L} \right) \quad \text{--- Gain Factor}$$

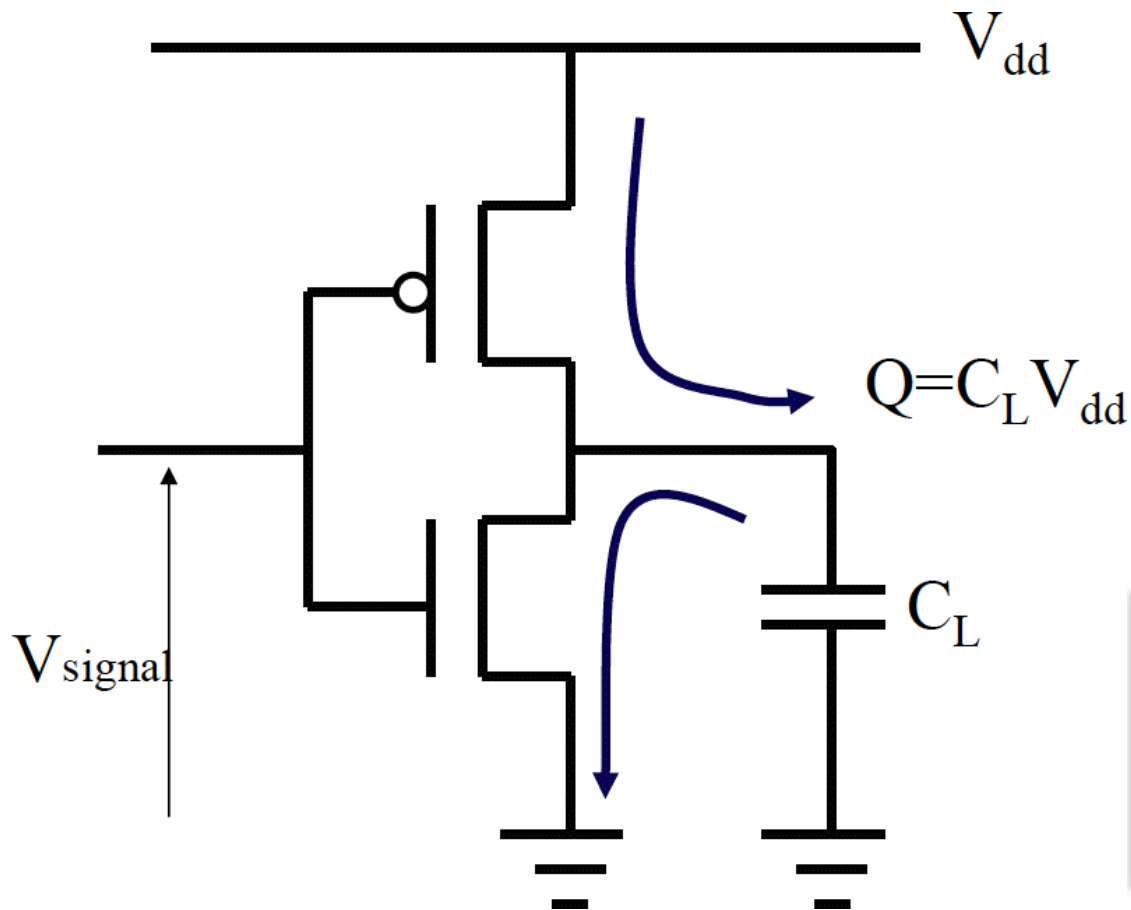
μ --- Carrier mobility

$$\mu_n \approx 3 \times \mu_p$$

Power Consumption

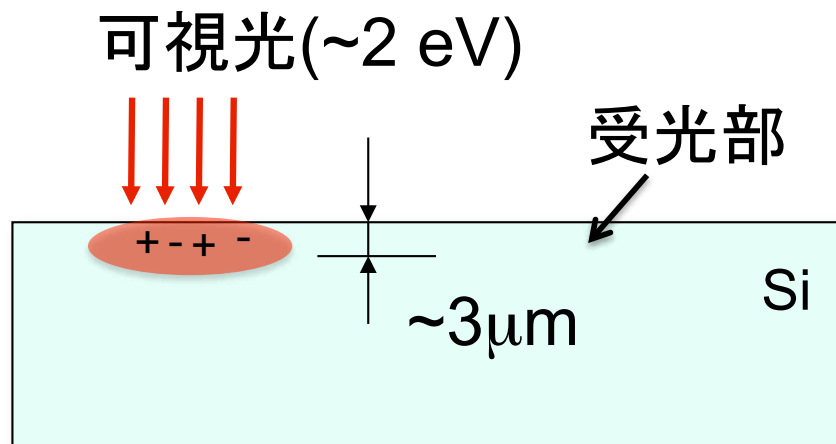
$$P = C \cdot V^2 \cdot F$$

C: Load Capacitance
V: Power Supply Voltage
F : Switching Frequency

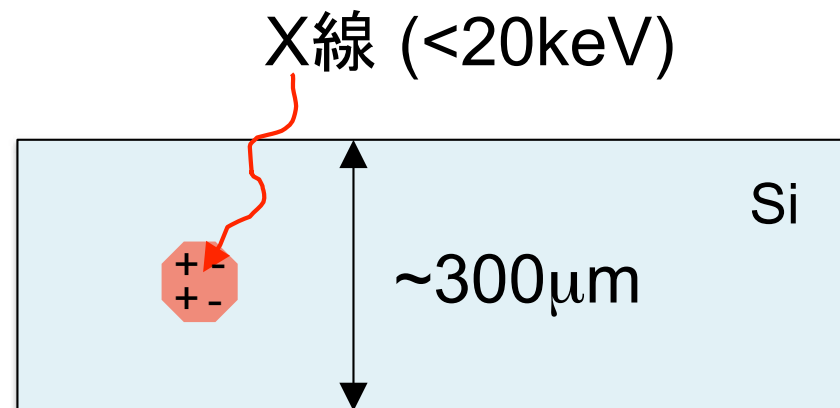


CMOSではスイッチングの際に電流が流れるのみで、定常状態では電流が流れない。

放射線とシリコンセンサー

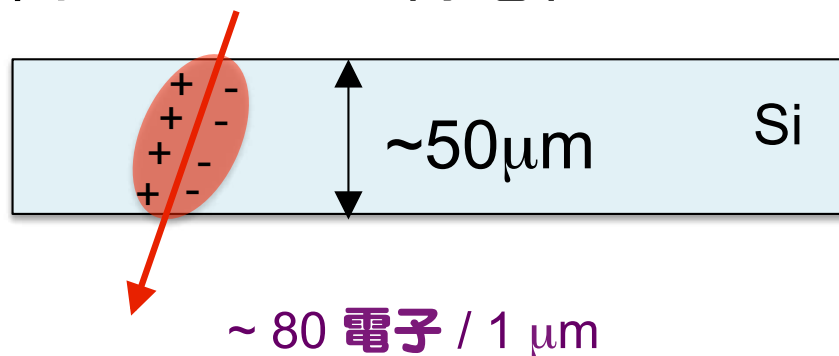


~ 1 電子 / 1 光子

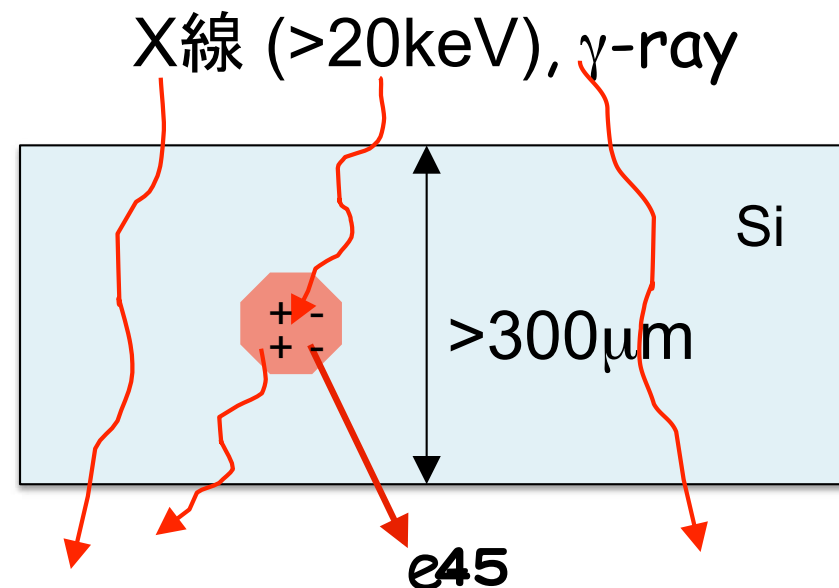


~ 3000 電子 / 10 keV

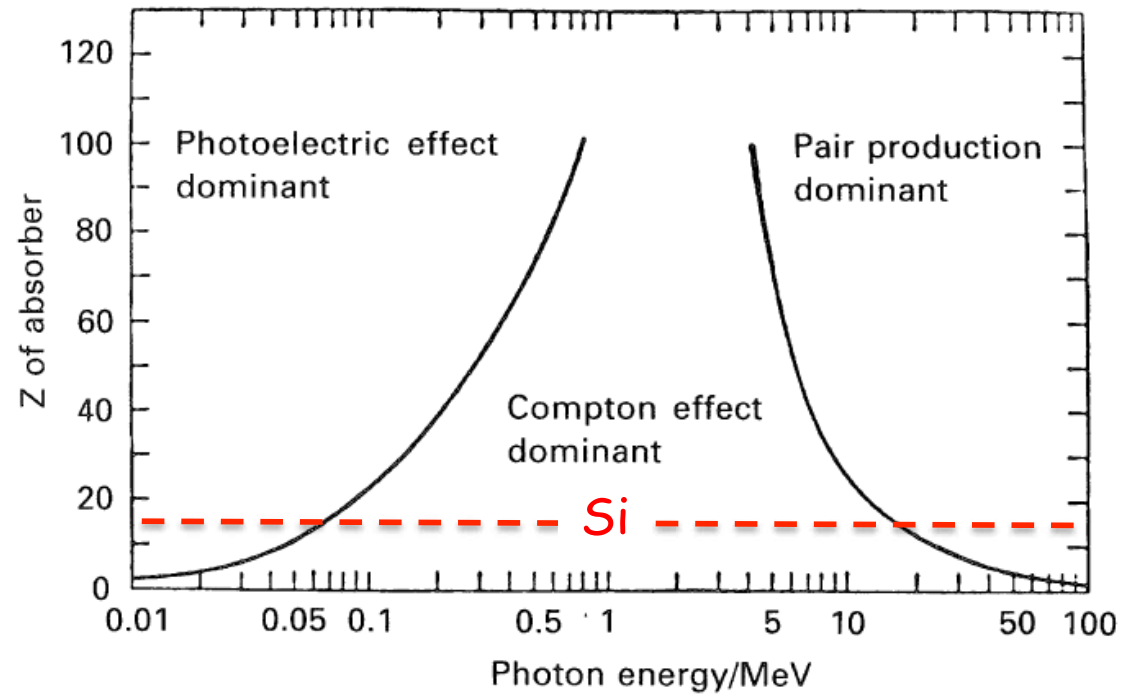
高エネルギー荷電粒子



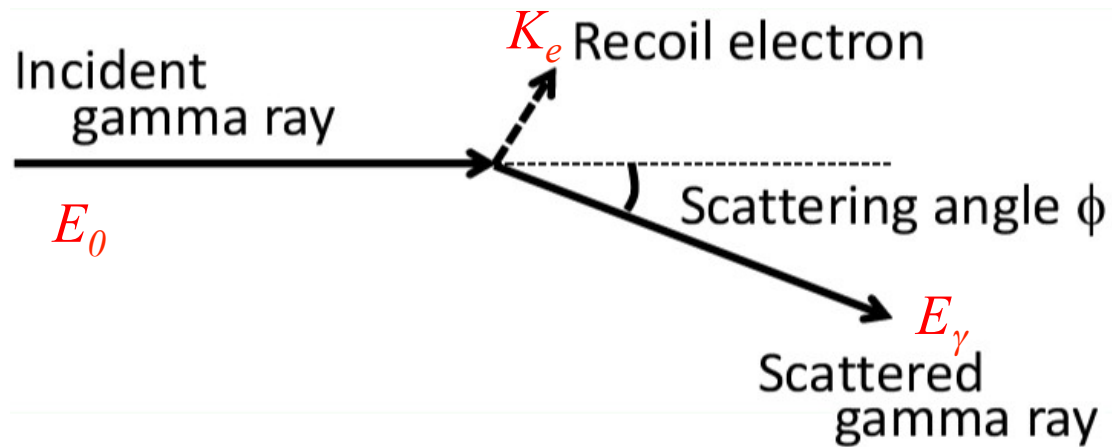
~ 80 電子 / $1\mu\text{m}$



Photon Interaction



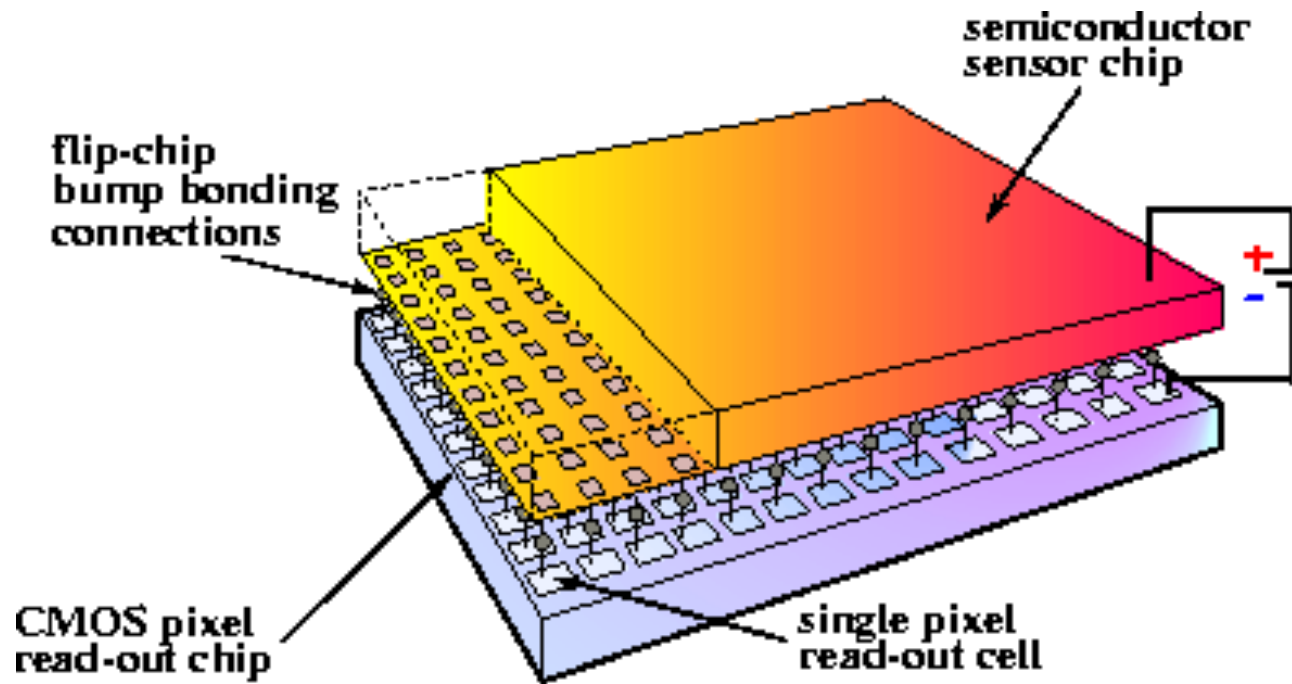
Compton effect is dominant at
E = 60 keV ~ 10MeV in Si.



$$E_0 = K_e + E_\gamma$$

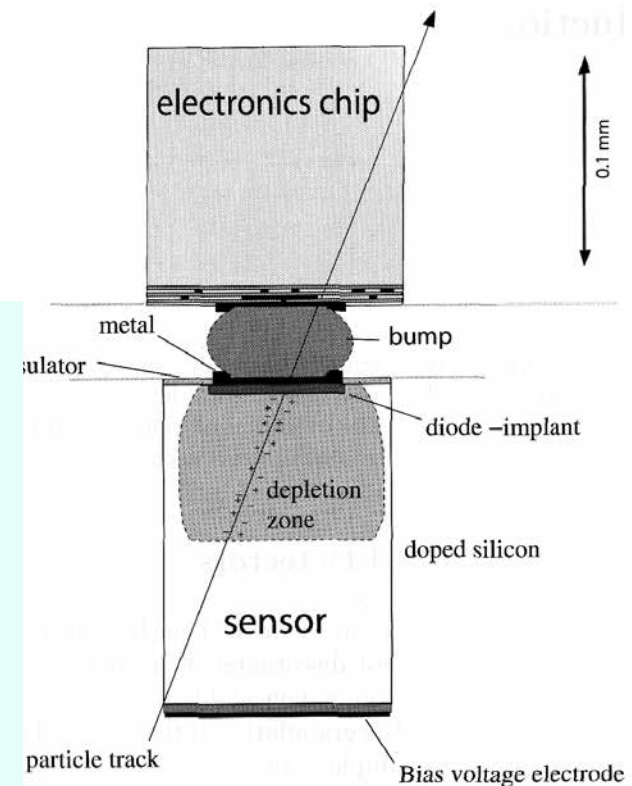
$$\cos \phi = 1 - m_e c^2 \left(\frac{1}{E_\gamma} - \frac{1}{K_e + E_\gamma} \right)$$

現在の最先端Pixel放射線検出器(Hybrid Pixel)

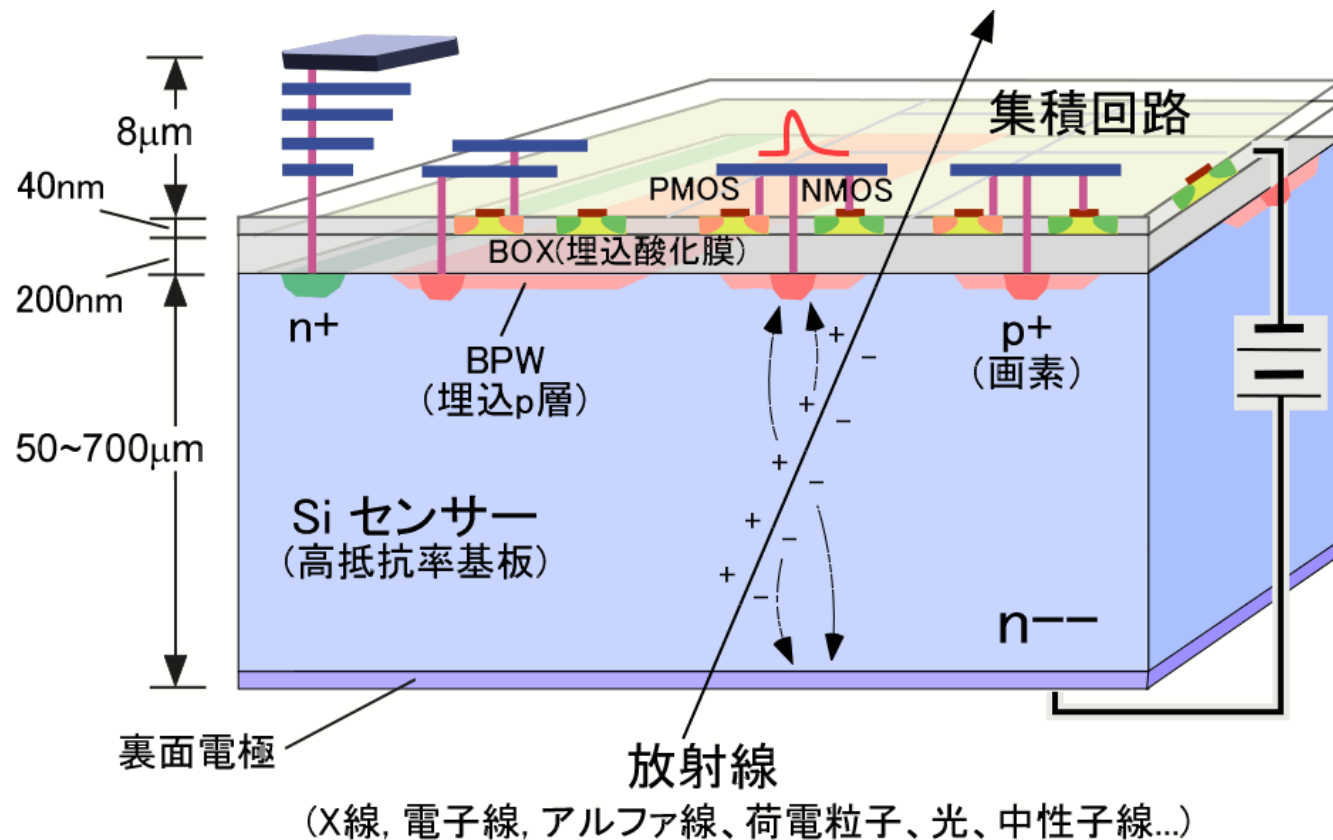


利点：
センサーにSiよりも原子番号の大きいもの(CdTe, CdZnTe) が使用出来る。

- 検出器と読出しエレクトロニクスを別々に作り、金属バンプにより接合する。
- 位置分解能に制限。
- 余分な物質が大量にある。
- 寄生容量によるスピードの低下。
- 高価



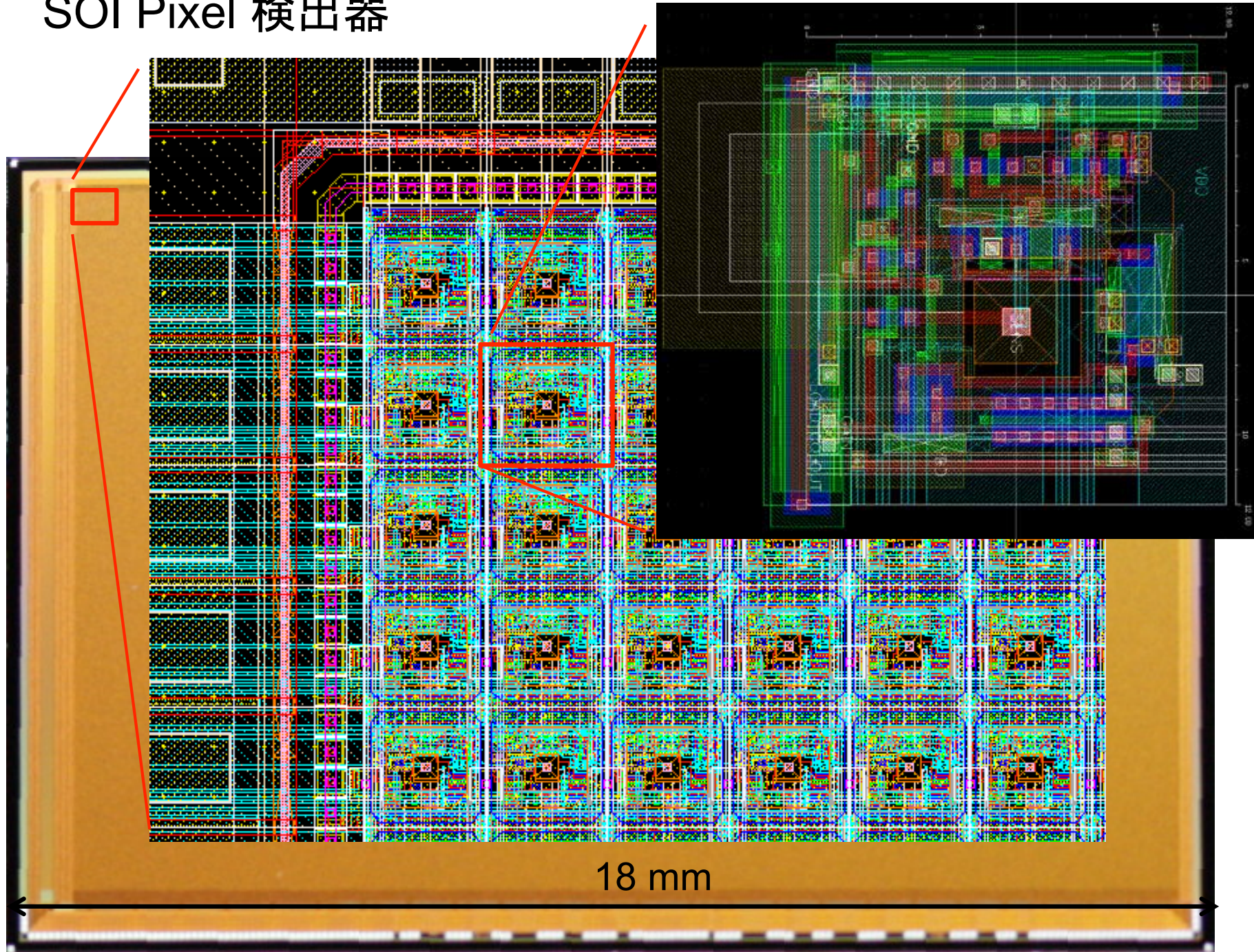
SOI Pixel検出器



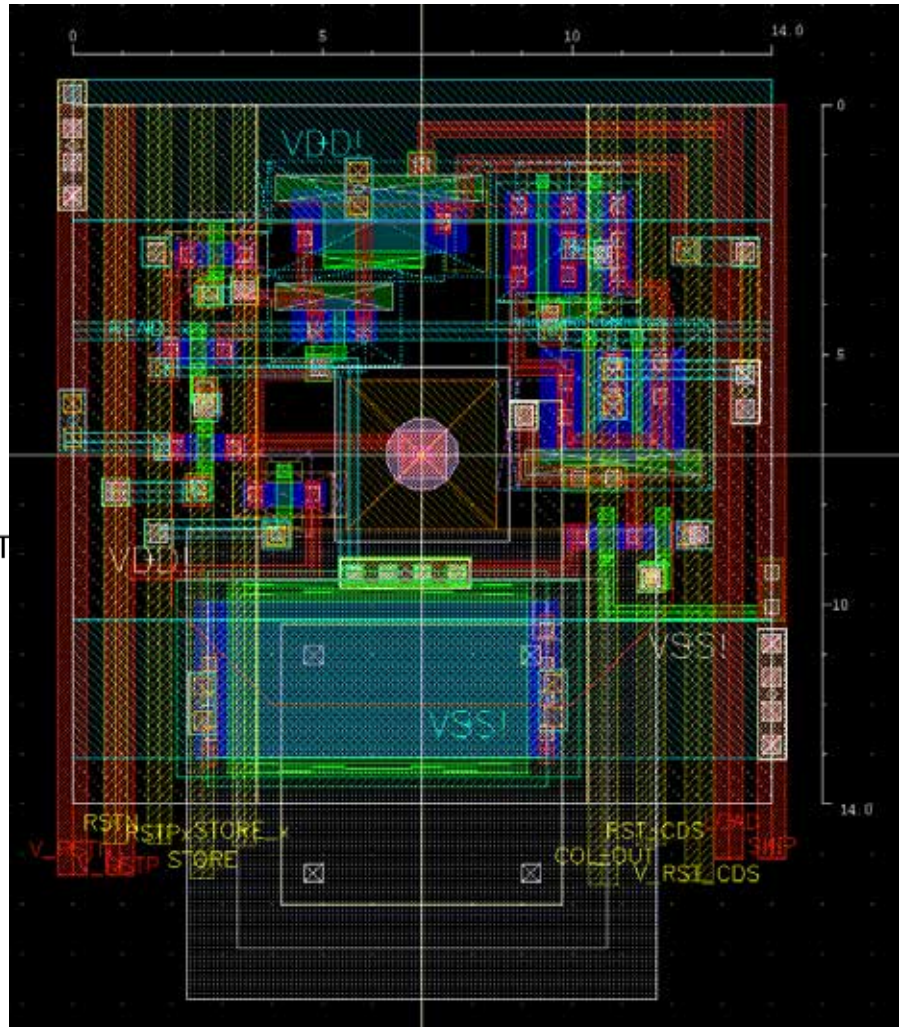
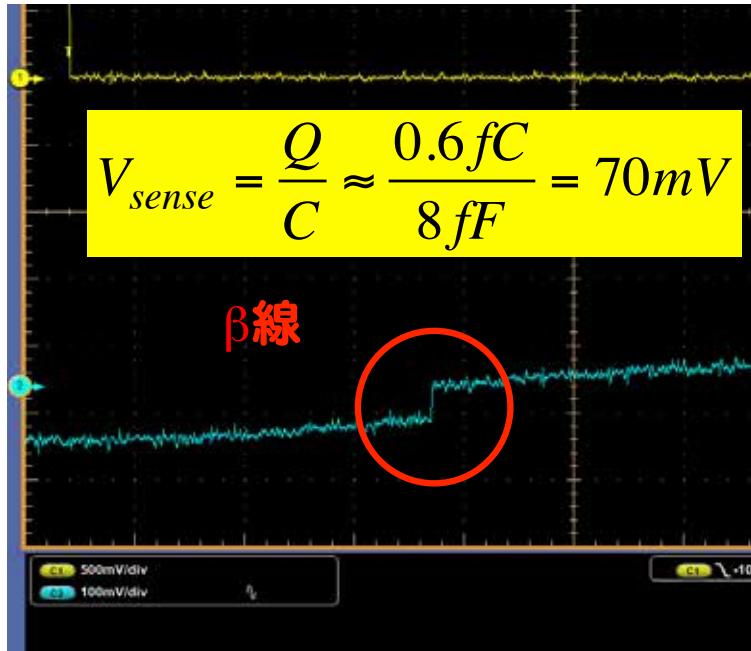
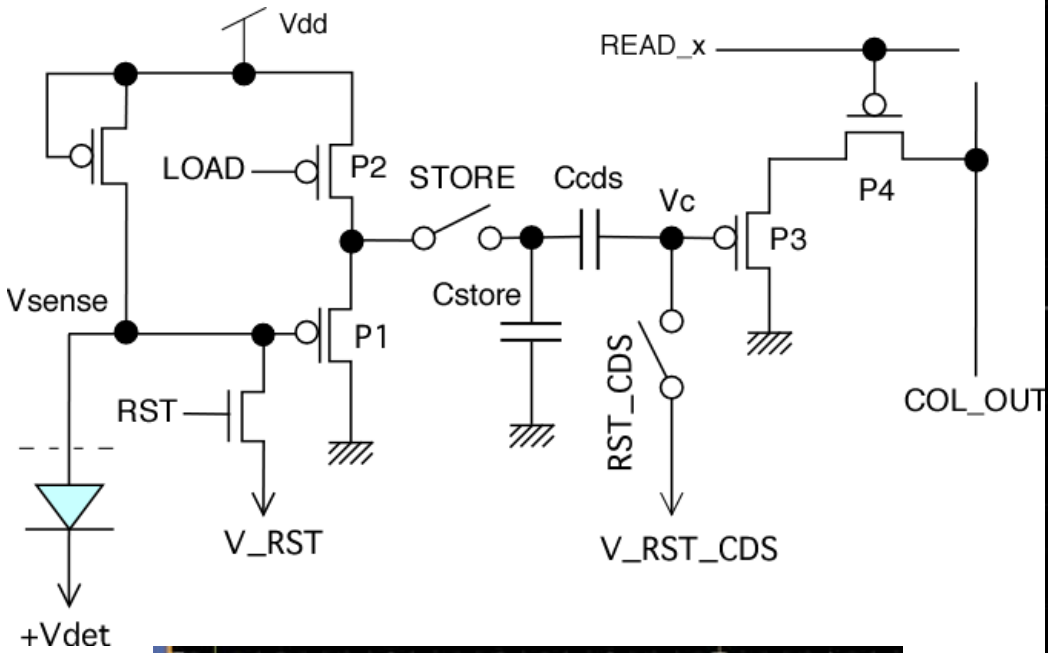
KEK 測定器開発
プロジェクト

- 高比抵抗Si基板と低比抵抗Si基板を絶縁層を介して張合わせ。
- 高比抵抗部にp-n junctionを生成し、センサーとする。
- 絶縁層(BOX: Buried Oxide)に穴を開けセンサーと回路を接続。

SOI Pixel 検出器

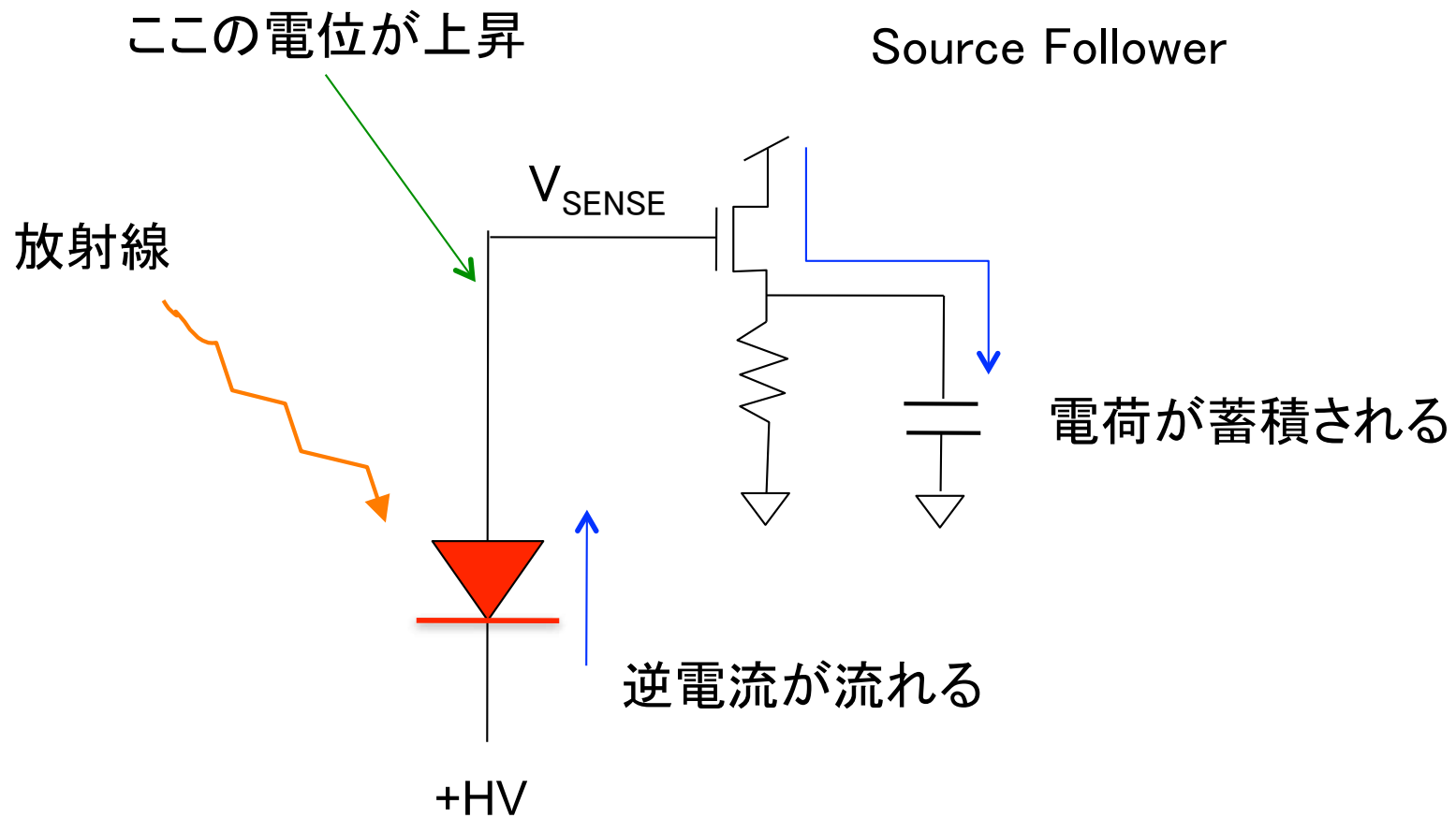


Integration Type Pixel (INTPIX)



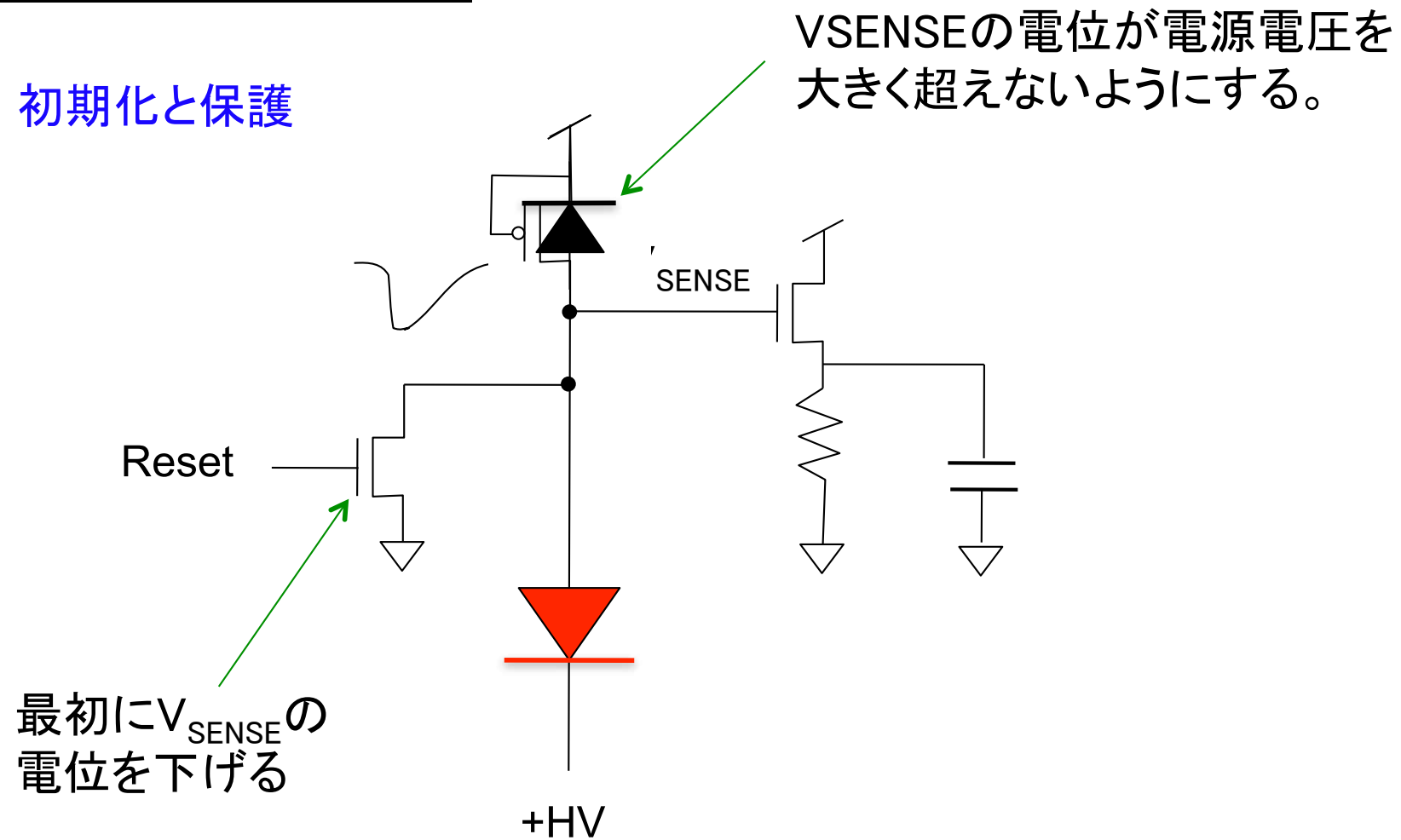
Size : 14 μm x 14 μm
with CDS circuit

積分型Pixel回路例



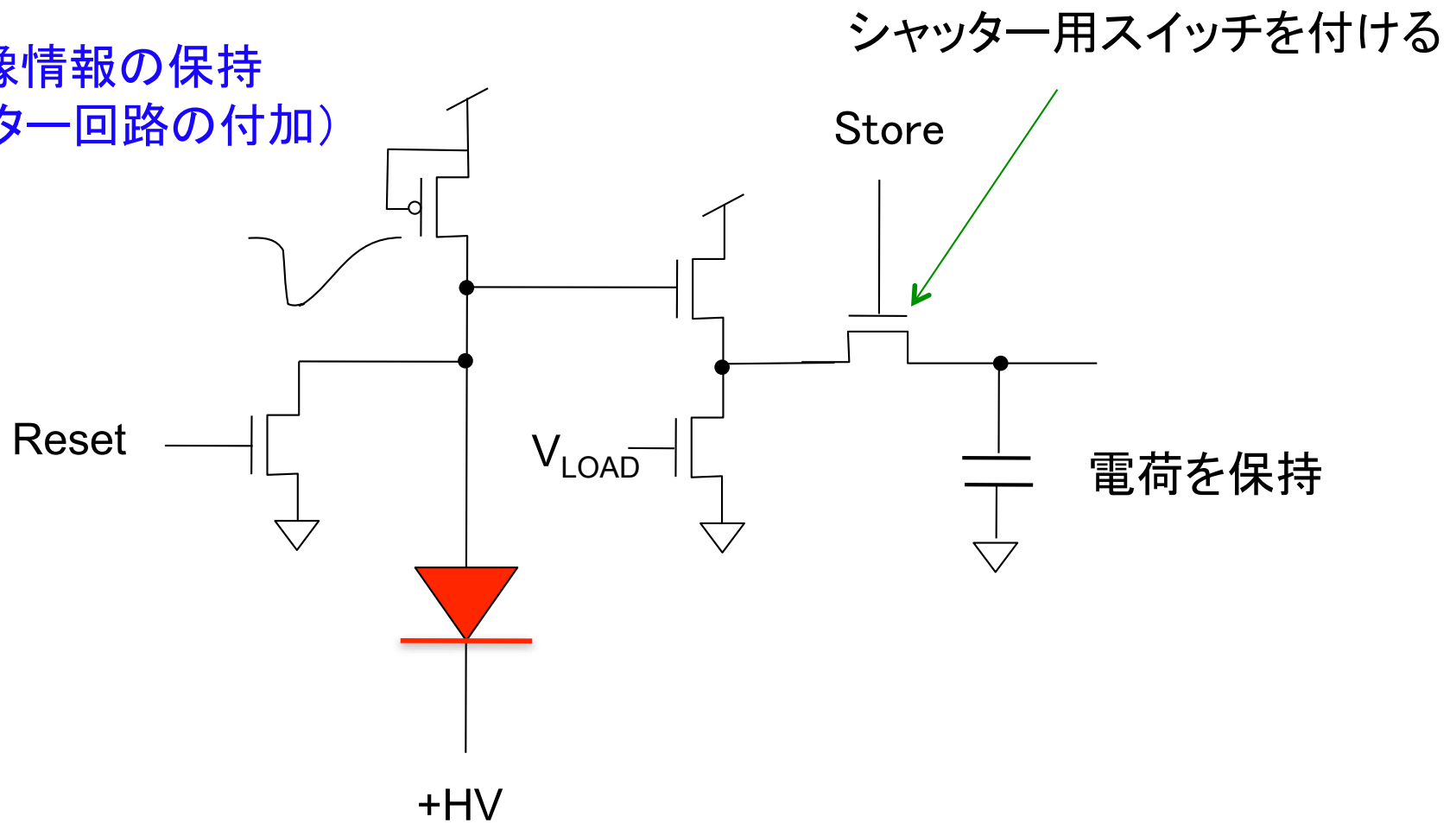
積分型Pixel回路例

初期化と保護



積分型Pixel回路例

画像情報の保持
(シャッター回路の付加)

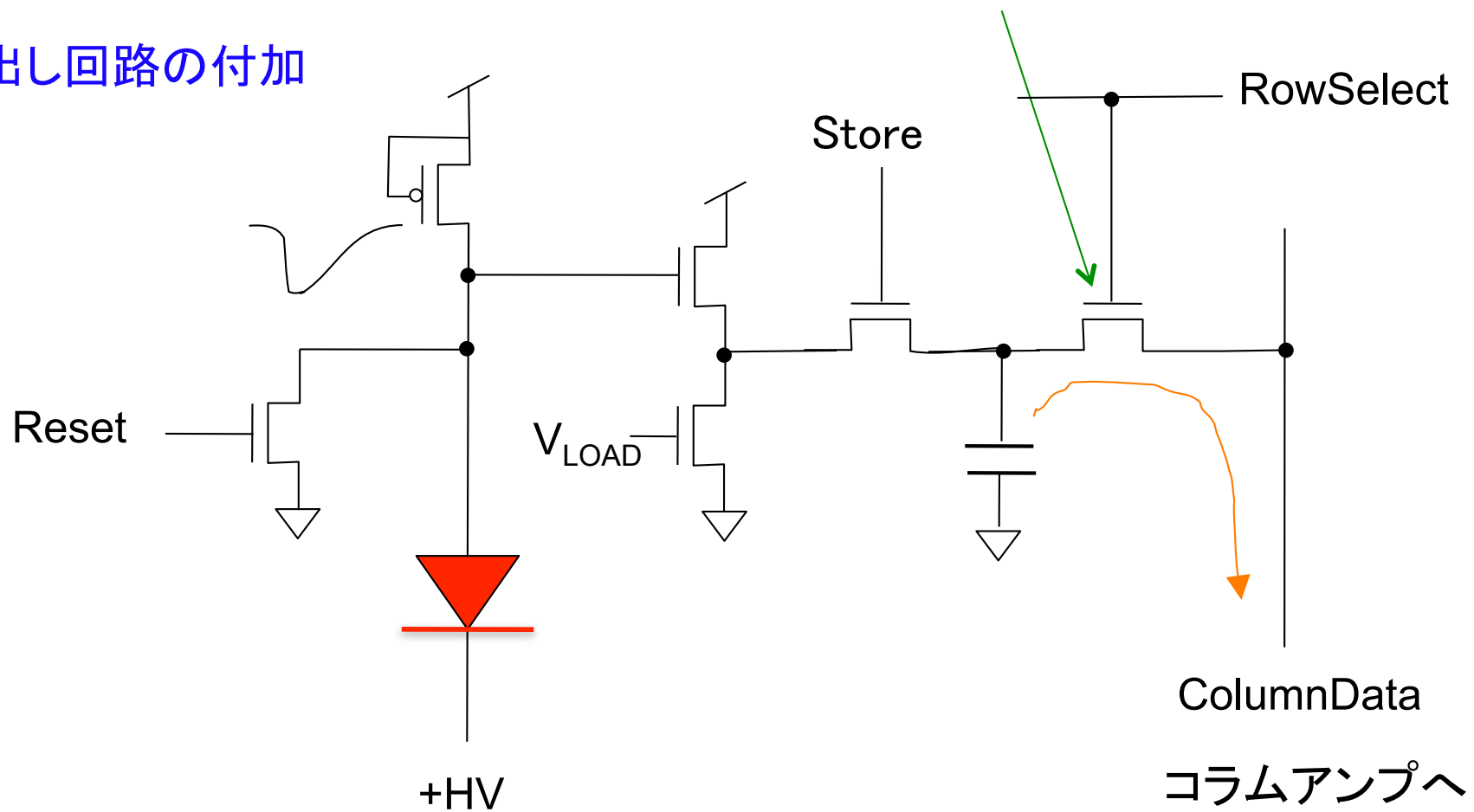


V_{LOAD} は低消費電力モード
にしたい時はGNDに落とす

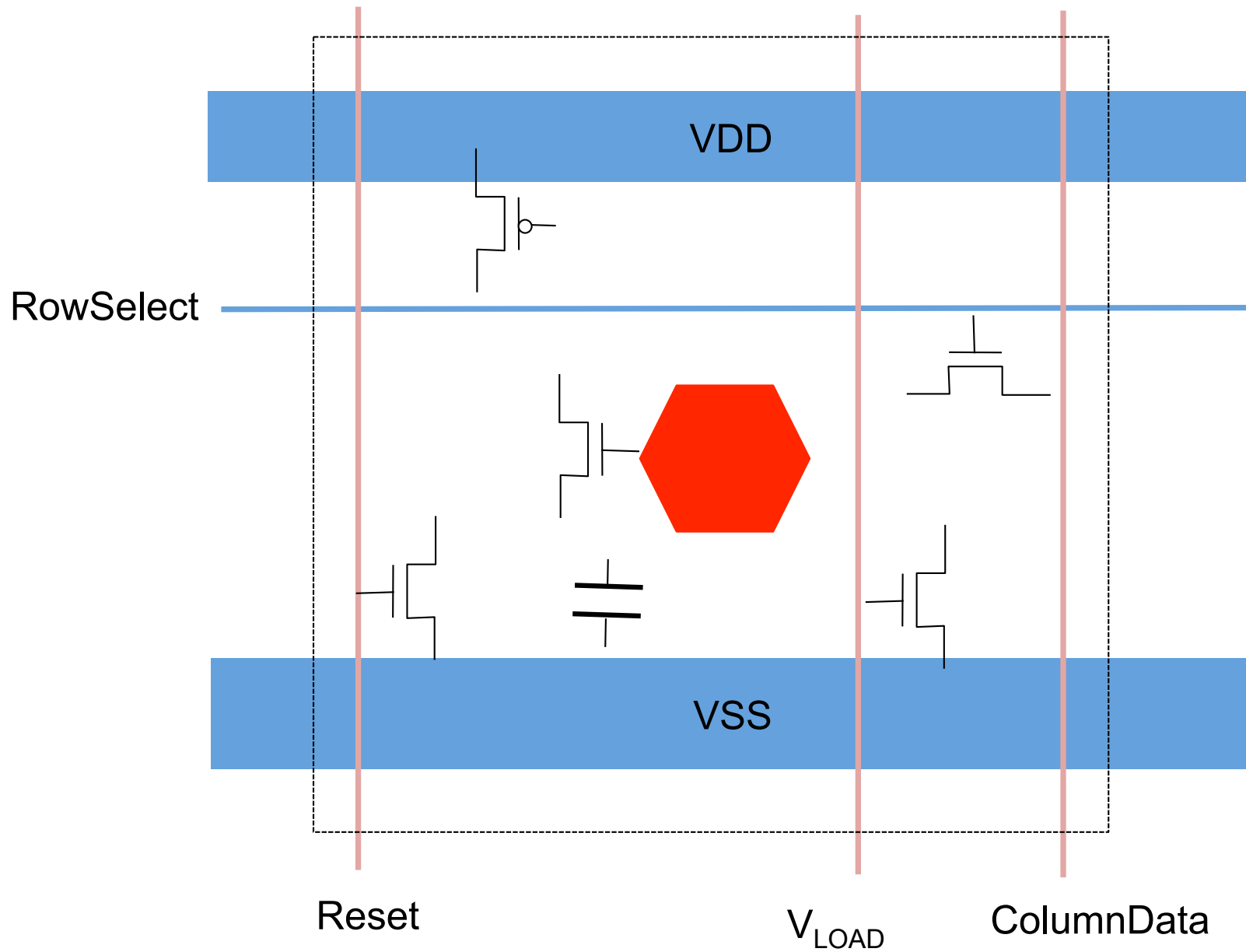
積分型Pixel回路例

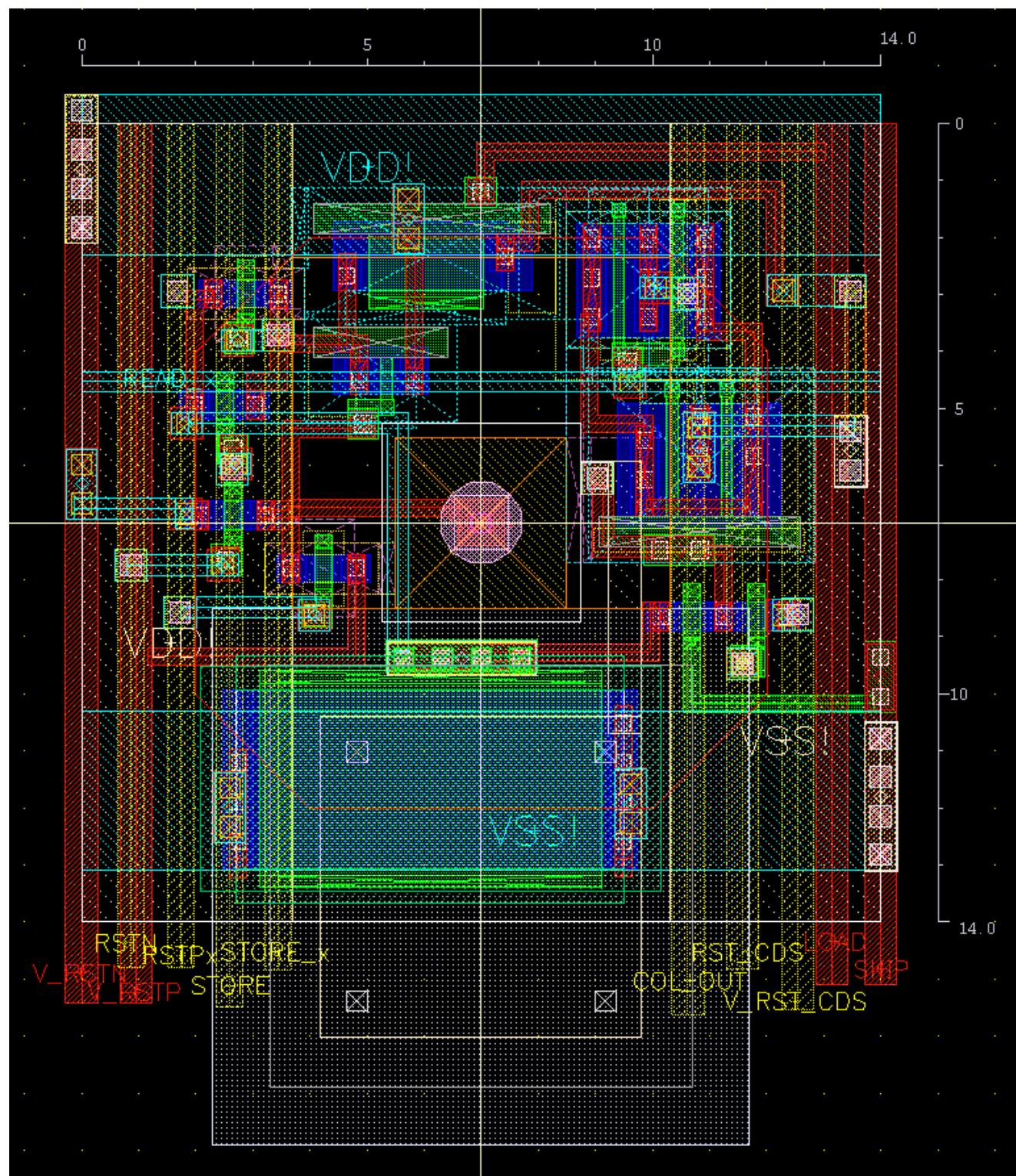
読み出し回路の付加

読み出し用のスイッチ



Pixel Layout例





Pixel Layout例

