

To: KEK 測定器開発室

Monolithic Silicon Pixel 検出器

R&D Proposal

[参加メンバー]

KEK 素粒子原子核研究所：海野義信、寺田進、池上陽一、坪山透、羽澄昌史、田島治、
後田裕、杉本康博、新井康夫(*)

新潟大学：川崎健夫

筑波大学：原和彦

東京工業大学：石野宏和

広島大学：大杉節

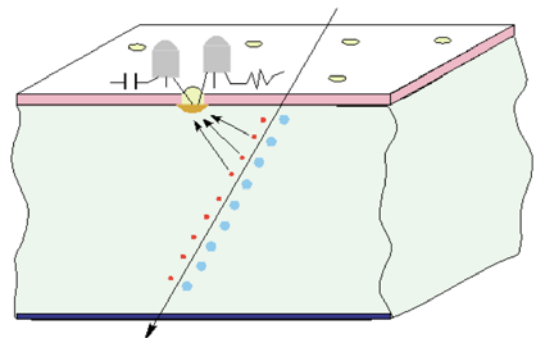
JAXA 宇宙科学研究本部：池田博一

Univ. of Hawaii : Gary Varner, Marlon Barbero, James Kennedy, Larry Ruckman,

Kirika Uchida, Catherine Yang

Stanford Linear Accelerator Center : Hiro Tajima

(* --- Contact Person: yasuo.arai@kek.jp)



目次

1. はじめに	3
2. MONOLITHIC PIXEL 検出器技術	4
3. SOI 技術.....	5
4. SOI PIXEL 検出器の応用.....	6
5. 開発の課題	7
5.1. センサー部.....	7
5.2. エレクトロニクス部.....	7
6. 開発計画	9
6.1. 平成 17 年度	9
6.2. 平成 18 年度	9
6.3. 平成 19 年度	10
7. 予算案	10
8. まとめ	10
参考文献.....	10
APPENDIX : KEK 内半導体開発関連資産	11

1.はじめに

1970年代にチャーム粒子など質量の大きな長寿命粒子が発見されて以来、粒子の崩壊距離を数 10 μm の精度で測定し flavor tagging を行う事が、物理解析の強力な武器となって来た。このため、半導体プロセス技術を用いた Silicon Vertex 検出器が精力的に開発され、今後も高エネルギー、高強度、高精度が求められる加速器実験や原子核、宇宙線実験等において、Silicon 検出器の重要性が増していくと思われる。また、このような Silicon 検出器は粒子線検出のみならず X-線検出器としても利用できるため、放射光を利用した物質構造解析や医学利用などへの応用も急速に広がっている。

当初の Vertex 検出器はシリコンウエハ上に数 10~100 μm ピッチのストリップ構造を形成した「シリコンストリップ検出器」が主流であった。これは基本的に（1次元情報+センサー位置の）2次元情報しか得られないため、3次元情報を得る為には複数層重ねる必要があった。これは出来るだけ少ない Radiation Length が求められる Vertex 検出器にとって不利な点で、特に高精度測定が必要な B-Factory や Linear Collider 実験においては、一層の薄型化が求められている。さらに、トラック密度の増加に伴い、セグメンテーションの不足によるトラック情報の重なりや、放射線耐性が大きな問題となっている。

これらの問題を解決する為、トラック位置を3次的に測定できる Pixel 構造の検出器が開発されるようになった。現在実験に使用されている Pixel 検出器は、主にセンサー部とエレクトロニクス部をインジウムや鉛のバンプで接合させた Hybrid 型 Pixel 検出器(図 1、[1])である。これは、高抵抗のシリコンウエハーが必要となるセンサー部と、低抵抗基板の読みだしエレクトロニクスを同一シリコン上に形成する事が困難であったためである。しかしながら Hybrid Pixel は二つのシリコンを非常に数多くのバンプにより接合しなければならないという困難を伴い、厚さが厚く、高価なものになってしまっている。

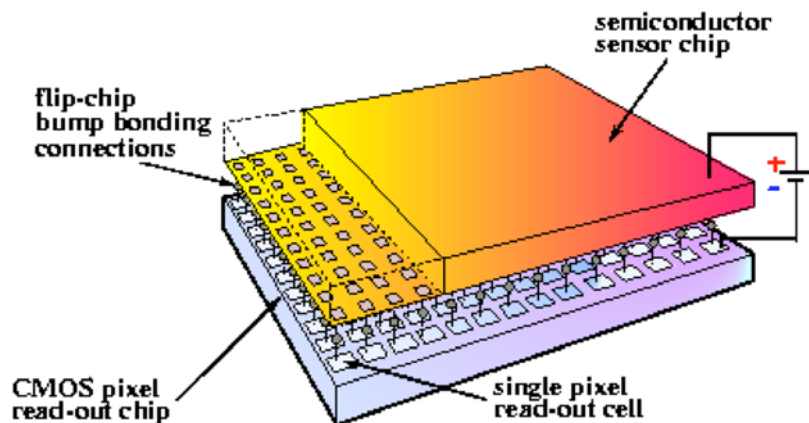


図 1. Hybrid Pixel 検出器。

最近 LSI 基板の製造方法として、2枚のシリコンウエハーを張り合わせ、一方のシリコンを単なる構造体とし、トランジスターを転写された非常に薄いシリコン薄膜に形成する事により、浮遊容量を減らし高性能化を計るということが行われるようになった。この手法の代表的なものである UNIBOND[2]の製造方法を図 2 に示す。

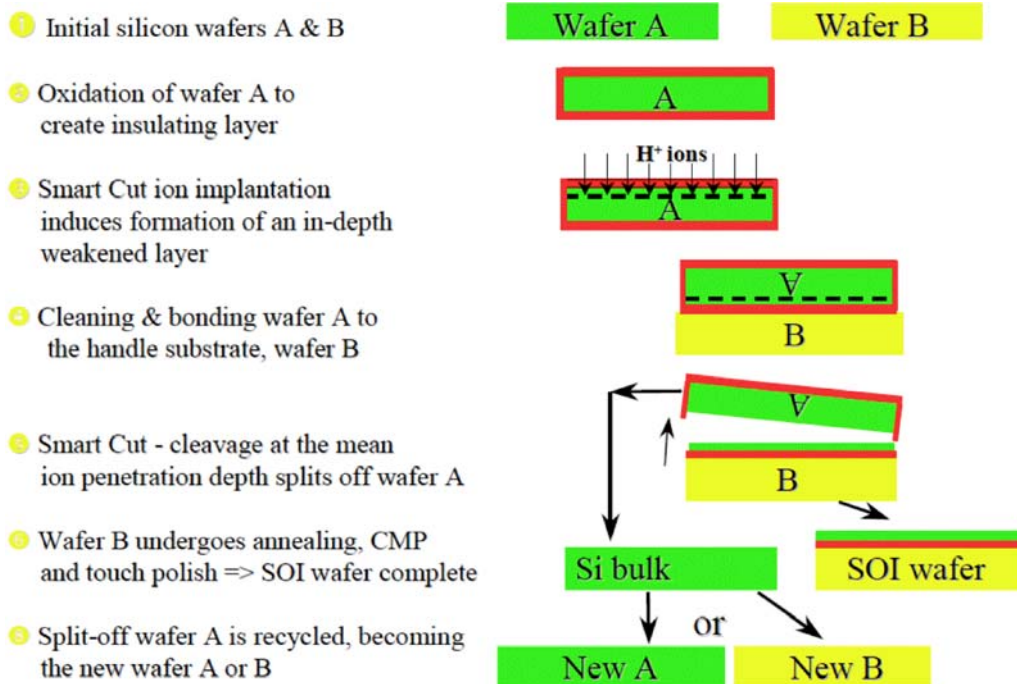


図 2。UNIBOND (SmartCut) による SOI ウエハーの製造方法 (SOITEC 社より)。

ここで図 2 の Wafer B に高抵抗シリコンを用いセンサー部とし、Wafer A をエレクトロニクス部として用い、間の絶縁層に穴をあけ接続する事により、機械的接続によらない理想的な Monolithic Pixel 検出器が実現できる。そこで我々は、このような SOI(Silicon On Insulator)ウエハー製造技術を利用した Monolithic Pixel 検出器の開発を提案する。

2.Monolithic Pixel 検出器技術

現在開発されている主な Monolithic Pixel 検出器の技術の比較を表 1 に示す[3]。

CCD は SLD 実験等で実績があるが[4]、空乏層が薄く、読み出し速度や放射線耐性において十分な性能が得られない場合がある。CMOS APS(Active Pixel Sensor)[5]は、デジタルカメラ等で使用されている CMOS イメージセンサーを応用したもので、通常の CMOS プロセスをそのまま使用するので開発が比較的容易で、近年活発に開発されている。しかしながら、APS は副次的に生成される 10 μ m 程度の厚さのエピタキシャル層をセンサーとして利用し、温度ドリフトにより電荷を集めるので、信号が小さく、電荷収集速度も~100ns とあまり速くない。また、CMOS プロセスの変更に伴い、検出器の特性が変わってしまう点や、読み出し回路に NMOS しか使用できない点などが欠点となっている。

DEPFET[6]は検出器に適した高抵抗シリコンウエハーに直接増幅用 FET を形成し、優れた S/N 特性を示している。しかしながら、プロセスが非常に特殊な事や内部ゲートのクリアーに時間がかかる事、APS と同様にセンサーとエレクトロニクスが同じ基板にあるため、単極の MOS 回路に制約される点などが課題となる。TFA(Thin-Film on ASIC)[7]は発想を逆転し、読み出し回路 ASIC の上に薄膜のセンサー層を形成する物であるが、良好な薄膜を得る事がまだ難しい。

表 1。Monolithic Pixel 検出器技術の比較。

	Resolution	Speed	Radiation Tolerance	Process (Cost)	S/N
CCD	◎	△	△	やや特殊	○
CMOS APS	◎	○	○	汎用	△
SOI (Silicon On Insulator)	◎	◎	◎	一部特殊	◎
DEPFET	◎	○	○	非常に特殊	◎
TFA (Thin-Film on ASIC)	○	△	○	非常に特殊	△

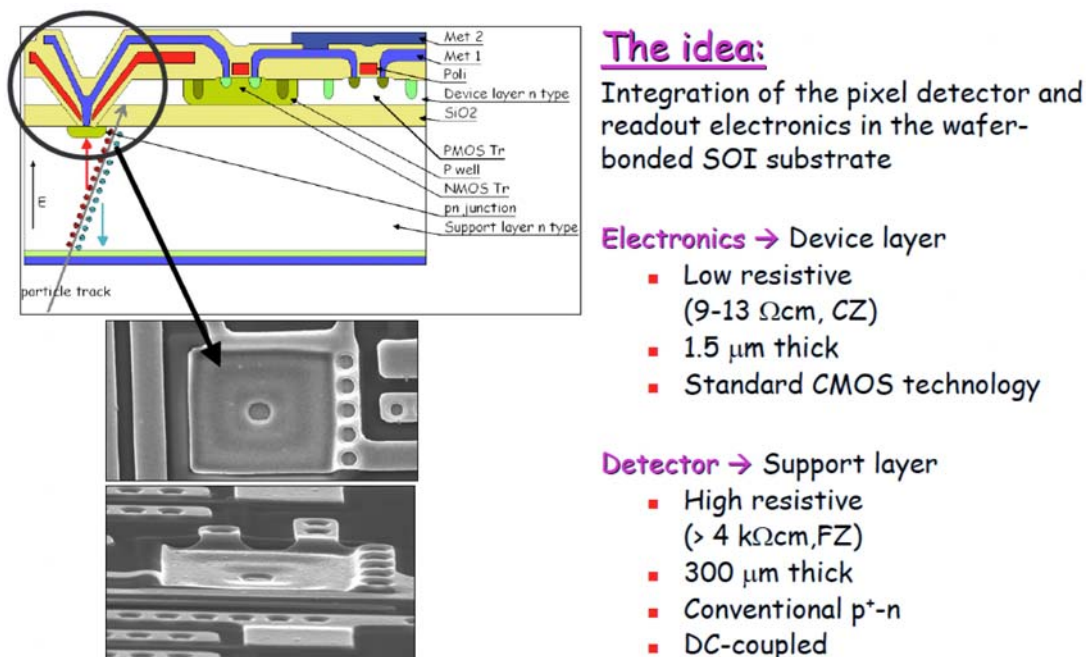


図 3。SUCIMA プロジェクトでの SOI Pixel 検出器構造。

SOI 技術を用いた Pixel 検出器は、最近ポーランド、イタリア等の研究者グループが SUCIMA (Silicon Ultra Fast Cameras for Electron and Gamma Sources in Medical Applications) プロジェクト[8]のひとつとして開発を始めている。しかしながら、彼らが用いているプロセスは研究所内で開発している事から 3 μm 技術と古く、まだ基本的動作を確認した段階である。彼らの開発した SOI Pixel 検出器[9, 10]の構造を図 3 に示す。

3.SOI 技術

我々は検討の結果、最近技術的進展が大きく、実用化された SOI Wafer Bonding 技術を基に、最先端のプロセス技術を用いて Monolithic Pixel 検出器を開発する事が、最も将来性があり、また魅力的なプロジェクトであると判断した。SOI 技術[11]では素子が完全に分離されており、放射線に強く、高温 (>300°C)でも動作する事から、従来から人工衛星や軍事等特殊な分野で使用されてきた。最近その高

速性に目が向けられ、IBM が Power PC 等で実用化して以来、多くの高速処理回路に使用されるようになり、今後の LSI プロセスの主流になると考えられている。

また UNIBOND による SOI wafer では水素イオンの打ち込みにより薄膜のシリコンを基板側に残している。この手法を使うと、Polishing や Etching 等の他の薄型化の方法に比べて安価に薄い検出器を製造出来る可能性もある。

SOI Pixel 検出器の特徴をまとめると、以下のようになる。

- ・センサー部とエレクトロニクス部で抵抗値の違う Si ウエハーを選択できるので Full depletion による高い電荷収集効率と複雑な CMOS 回路が同時に実現出来、高密度、高感度、多機能検出器を実現できる。
- ・回路が高速、低消費電力であり、ラッチアップ耐性も高く、漏れ電流が少ない。
- ・センサーとの接続部の浮遊容量が少なく S/N が良い。
- ・放射線に強く、高温でも動作する。
- ・将来的には、センサー部ウエハーに Ge, GaAs, CdTe 等の異種ウエハーを選択できる可能性がある。また、プロセス後のウエハーの張り合わせや、多層構造を持った検出器等への発展も考えられる。
- ・今後 LSI のデバイス構造の主流は SOI になると考えられており、技術的発展の可能性が大きい。

また、SOI Pixel 検出器の開発を行っているグループはまだ少なく、特に最先端のプロセスを利用した開発は行われていない。さらに、SOI プロセスの開発は、日本で多くの実績があり、SOI ウエハーの主な製造方法 3 種類の内 2 種類 (SIMOX, ELTRAN) は日本の研究者の発明であり、関係した研究者の数も多い。前述の UNIBOND はフランスの研究者の発明であるが、信越半導体 (株) が仏 SOITEC 社からライセンスを受けて、日本で生産を行っている。

4.SOI Pixel 検出器の応用

SOI 技術により Monolithic Pixel 検出器が実現された場合の応用は広い。例えば、スーパー-B ファクトリーでは、現在の KEKB デザインルミノシティの 50 倍の超高ルミノシティを目指すため、イベントレートと共にバックグラウンドも増加する。薄くセグメンテーションが細かい SOI pixel は、このような環境に最適で、CP 破れ測定に不可欠なものとなる。

また 2012 年以降に予定されている $10^{35} \text{ cm}^{-2}\text{s}^{-1}$ のルミノシティを目指す LHC 加速器のアップグレード(Super LHC)においても、強い放射線耐性、高速性は、最内層の検出器としても使える有望な技術となる。

ピクセルサイズを 10um 程度、ウェファアの厚さを 50um 以下にできれば、究極の分解能が要求される ILC のバーテックス検出器の第一候補となりうる。また、SiO₂ の層をエッチストップとして利用することによって、CCD 等のセンサー厚さをコントロールするのに SOI 技術を応用できる可能性もある。

この他、宇宙物理、物質構造解析、医療用に高精度で簡便な X 線 imaging device として幅広く応用出来る可能性がある。また、光検出器としても有効面積を増やせる等、発展の可能性はある。

5.開発の課題

SOI Pixel において、SOI ウエハーは商業的に購入でき、また読みだしエレクトロニクスも通常の LSI 開発と同じ手法で行う事が出来る。しかしながら、検出器として動作させる為には、センサー部とエレクトロニクスを SiO₂ の酸化膜を通して接続しなければならないので、この為のプロセス開発が必要となる。これには開発に協力してくれる企業の存在が重要となる。通常、プロセス開発には巨額の費用と人員が必要な事から、開発企業の研究開発方針と我々の目標をすりあわせる必要がある。例えば SOI 構造を基にした 3次元デバイス開発等と結びつけられれば企業に興味を持ってもらえる可能性は有る。あるいは絶縁層の穴空け、センサー構造の作成と LSI 回路焼き付けを別企業で行うという案もあり得る。現在、精力的に検出器やエレクトロニクスメーカーと交渉を行っている。

また万が一、開発企業がすぐに選定出来ない場合は、大学、研究所等でプロセスの研究を行っている所が興味を示すと思われるので、このレベルからスタートし、実績を積んだ上で再度企業との交渉を行う可能性もある。

5.1. センサー部

センサー部は p-n junction 構造を形成する事が必要となる。このための最適な電場分布を計算する為に、業界標準である Silvaco 社の TCAD シミュレータを使用する予定である。TCAD にはプロセスシミュレーションの為に ATHENA、デバイスシミュレーションの為に ATLAS、回路シミュレーションの為に SmartSPICE 等のプログラムが用意されている。

これらはすでに一部 KEK 技術開発室で所有しており（メンテナンス契約は切れている）、また東京大学大規模集積システム設計教育センター(VDEC)を通して安価に利用する事も可能である。但し、本格的な利用には、新たにメンテナンス契約を行う必要があると考えられる。

一方、これらのシミュレーションを正確に行うには、プロセスに関する詳細な情報が必要で、開発企業の協力が不可欠となる。

5.2. エレクトロニクス部

現在 Pixel 検出器の読み出し回路には 2種類の方式が見られる。ひとつは CMOS Image Sensor と同様の方式で、典型的な例を図 4 に示す。Clear により一定電圧に充電された Photo Diode は光や放射線で生成された電荷により放電され、一定時間後にその電圧を読み出す事により信号が得られる。この方式は、積分方式で時間情報のいらぬ応用に対しては回路が簡単であり、~10 μ m 角程度の小 Pixel も可能になるという利点がある。ただし、この回路では Clear の際にいわゆる kTC ノイズという熱雑音に起因するノイズが生じ、また各セルのゲインやオフセットのばらつきを押さえる為に CDS (Correlated Double Sampling)回路が必要となる。

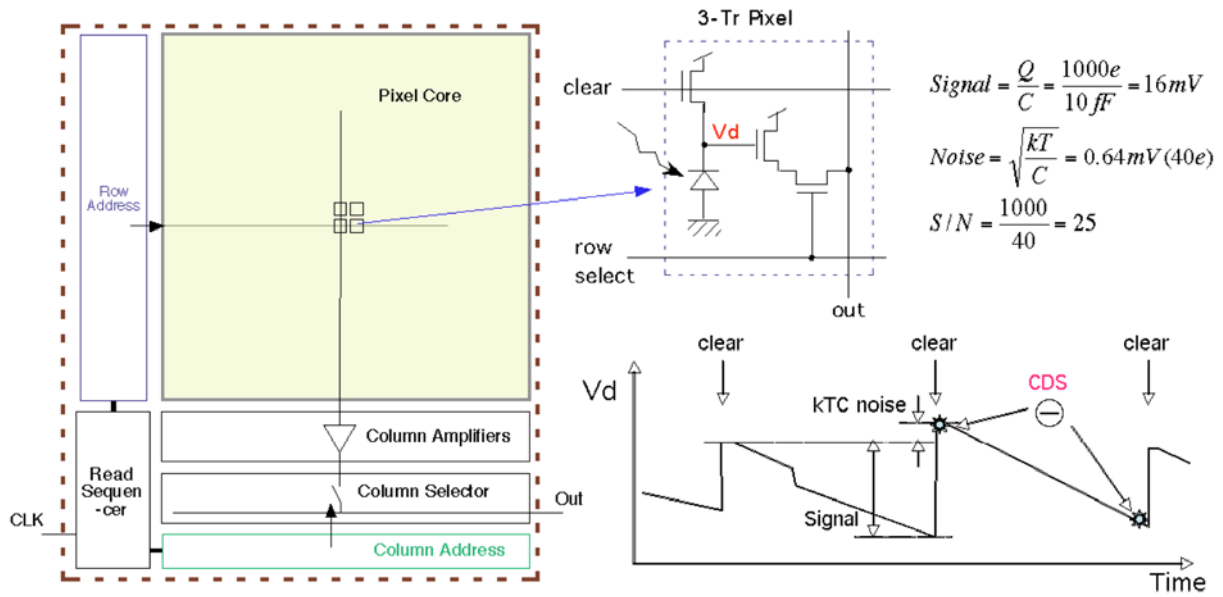


図 4. CMOS Image Sensor 読み出し回路。

もうひとつの方式は、従来から Silicon Strip 検出器で使われてきた回路の延長で、信号電圧を各セル毎に増幅し、コンパレータ、マルチプレクサー等を通して外部に出力する方法である。一例として ATLAS Pixel 検出器の読み出し回路を図 5 に示す。この場合、Photon Counting 等の高感度測定も可能で、正確な時間情報を得る事も出来るが、回路が複雑になるため、対応する Pixel サイズも~200 μ m 程度と大きくならざるを得ない。

これら二つの方式のうちどちらを採用すべきかは、アプリケーションに依存する。読み出し方法もアナログ読み出し、Hit 情報読み出し、内蔵 ADC 方式、あるいはピクセル毎にローカルメモリーを備えた方式等各種考えられる。これらのアーキテクチャーの選択は基礎開発が終了後、アプリケーションを見据えて行う必要がある。

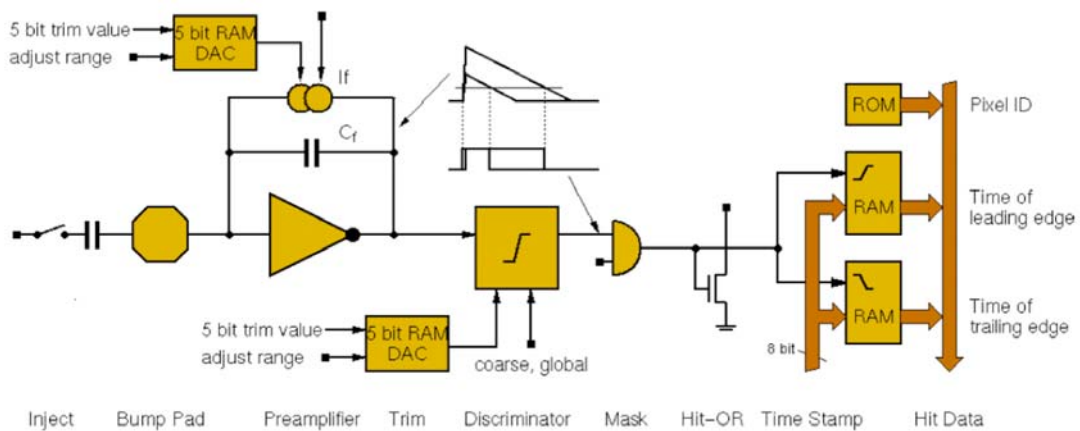


図 5. ATLAS Pixel 検出器読み出し回路。

6.開発計画

開発を3年計画とし、各年度の目標を以下のように定める。

平成17年度：基礎開発

平成18年度：プロトタイプ開発

平成19年度：実証モデル開発

最終的に（マスクサイズで制限される）20 mm x 20mm 程度の大きさの Pixel 検出器実証モデルの製作を行い、その動作検証を目標とする。全体計画の流れを図6に示す。各年度の計画の詳細を以下に述べる。

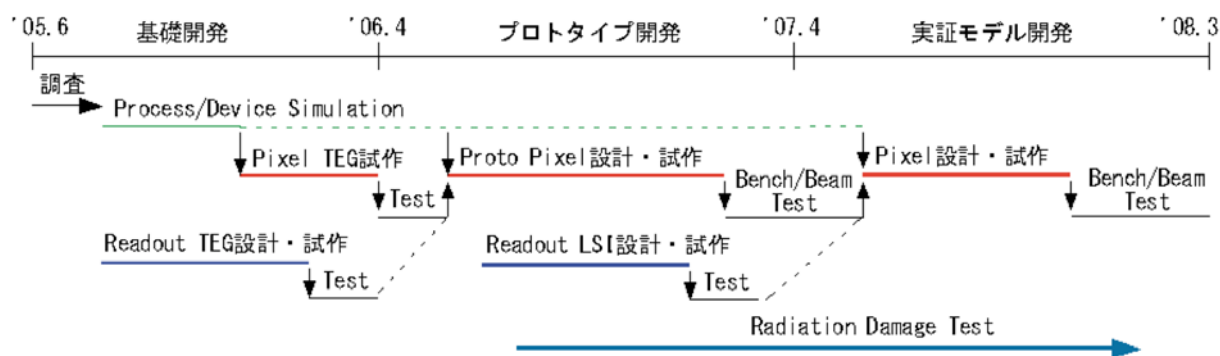


図6。全体計画。

6.1. 平成17年度

まずSOIプロセスを行ってくれる協力企業の調査・選定を行い、SOI Pixelの為のプロセス開発、基本構造を持ったTEG(Test Element Group)の試作等を行い、プロセス技術、センサーの基本特性試験等の基礎技術を固めて行く。また、これらの試作に先立ち、プロセス/デバイスのシミュレータ TCADを用いプロセス方法及び構造の最適化を行う。

同時に通常のCMOSプロセスを用いて、読みだし回路TEGの試作を行い、低ノイズのPixel読み出し回路の検証、読みだしアーキテクチャー等の検討を行う。

国内においては勉強会、グループミーティング、研究会等を積極的に開き、情報交換を通して知識の向上を計る。またPixel検出器関連の国際集会等にも数人を派遣し国外からの情報収集にも努める

6.2. 平成18年度

前年度TEGチップのセンサー部評価、回路特性チェック等を行い、同時にガンマー線や陽子ビームによる放射線耐性試験も行う。この成果に基づき、8x8又は16x16 pixel程度のPrototype Pixel検出器を試作する。Prototype Pixelはレーザ又はX線を用いたBench Test、及び加速器ビームを用いたBeam Testにより性能評価を行う。

さらに、前年度に引き続き、読み出しエレクトロニクスの試作を行い、実証モデルの設計に活かす。

6.3. 平成 19 年度

これまでの試作結果に基づき、20mm 角程度の Pixel 検出器の実証モデルの製作を行う。最後に Bench Test、及び Beam Test を行い結果をまとめる。

7. 予算案

最近の LSI プロセスは開発費が高騰しており、特にプロセスの変更を伴うような開発の場合数億円を超えるような開発経費が必要とされる場合がある。このためどの程度のプロセス開発コストを見込めば良いかは、開発企業との交渉によることから現時点での見積もりは難しい。ここではとりあえず、ウエハー、マスク代等の実費+ α 程度を支払うとして予算案を立てた。さらに平成 18、19 年度はまだ不確定要素が大きいので、概算である。

[平成 17 年度]

SOI Pixel 試作	万円
ソフトウェアライセンス	万円
読みだしエレクトロニクス試作	万円
測定器整備	万円
国内旅費	万円
国外旅費	万円
合計	万円

[平成 18 年度] 万円

[平成 19 年度] 万円

総額 万円

8. まとめ

我々は最近実用化された Wafer Bonding 型 SOI 技術を使用し、2 種類のウエハー張り合わせによる Monolithic Pixel 検出器の開発を行う事を提案する。このような検出器は、高速・高分解能で薄く放射線にも強く、粒子線位置検出器として理想的なものとなりうる。さらに SOI pixel は X 線検出器としても魅力的で、宇宙物理、物質構造解析、医療等多くの他の分野に影響を及ぼす物となりうる。

開発にはプロセス開発に協力してくれる企業選びが重要となるが、プロセス変更は全体の工数から見ればわずかであり、他の部分は標準的な技術を応用することが出来る。このプロポーザルでは、一応 3 年を目処に、実用化に向けた 20mm 角程度の Pixel 検出器実証モデルを開発する事を目指す。このため、検出器、エレクトロニクス双方のエキスパートを集め、計画を推進する体制を組む。

参考文献

- [1] C. Gemme, "The ATLAS pixel detector", NIM A501(2003)87-92.
- [2] SOITEC web page, <http://www.soitec.com/>.
- [3] N. Wermes, "Trends in Pixel Detectors: Tracking and Imaging, arXiv:physics/0401030, v1, 2004.
- [4] K. Abe, et al, "Design and performance of the SLD vertex detector: a 307 Mpixel tracking system", NIM A400(1997)287-343.
- [5] Grzegorz Deptuch, "Monolithic active pixel sensors with on-pixel amplification and double sampling operation", NIM A512(2003)299-309.

- [6] N. Wermes, et al., "New Results on DEPFET Pixel Detectors for Radiation Imaging and High Energy Particle Detection", IEEE Trans. on Nucl. Sci, Vol. 51, No. 3(2004)1121-1128.
- [7] TFA project web page, <http://asi-hdet-project.web.cern.ch/asi-hdet-project/>.
- [8] SUCIMA project web page, <http://sucima.dipsicfm.uninsubria.it/index.php>.
- [9] W. Kucewicz, et al., "Development of monolithic active pixel detector in SOI technology", NIM A541(2005)172-177.
- [10] N. Wermes, "Pixel detectors for particle physics and imaging applications", NIM A512(2003)277-288.
- [11] G. K. Celler and S. Cristoloveanu, "Frontiers of silicon-on-insulator", J. of Applied Physics, Vol. 93, No. 9(2003)4955-4978.

Appendix : KEK 内半導体開発関連資産

KEK では Belle, ATLAS, LC 等のグループにおいて Silicon 検出器の開発を行ってきており、すでに多くの資産を持っている。これらを有効利用して今開発に役立てる事が出来る。そこで、これらのグループの持っている主な資産を以下にまとめる。(但し、オシロスコープ等汎用機器は除いた。)

[CAD ソフト]

- ・ TCAD - Athena (プロセスシミュレータ) , ATLAS (デバイスシミュレータ)
- ・ Cadence, Synopsys, Mentor ツール (LSI 設計、 VDEC よりライセンス供与)
- ・ HSPICE, SmartSpice (回路シミュレータ、VDEC よりライセンス供与)
- ・ ANSYS, FEMLAB (有限要素法計算ソフト)
- (これらのライセンスは毎年更新が必要)

[測定器等]

- ・ 恒温槽 (20x20x20cm³ 程度を-50 度まで冷却可能)
- ・ 液体窒素使用のクライオスタット (-100°Cまで冷却可能)
- ・ ビデオ顕微鏡 (24um 角の CCD のゲート構造を観察するには十分)
- ・ IR カメラ (Hamamatsu C4880)
- ・ ソース電圧電流計 (Keithley 2400、Advantest 4164 他)
- ・ LCR メータ (Agilent 4284A)
- ・ 半導体パラメータアナライザ (HP4145B)

[レーザ装置等]

- ・ 赤外線レーザ (985 nm 最大 1MIP 相当)、(1064 nm 1-1000MIP 相当)
- ・ 赤外線レーザー照射システム (ステージ 3cm x 20cm の範囲を 1 um ステップで移動可能)
- ・ レーザーテストシステム (Astro)
- ・ 実体顕微鏡 (オリンパス)
- ・ 2m x 2m 程度の暗テント

[ワイヤボンディングマシン等]

- ・ ワイヤボンディングマシン (@技術開発室コンテナ)、(@オンラインエレキグループ、4523AD)、(@つくば実験室、4523AD)、(@富士実験室、Kulicke & Soffs Model 4526)
- ・ ワイヤプルテスター (Dage BT14)
- ・ 3D 計測器 (Mitsutoyo quick vision 250-pro)
- ・ 自動プローバ (Astro)
- ・ マニュアルプローバ (DSSD のストリップ間の抵抗・容量などの測定) 2台