



# SOI技術を用いた時間・空間X線 イメージセンサの開発

高エネルギー加速器研究機構 素粒子原子核研究所  
教授 新井 康夫 (研究代表者)

(yasuo.arai@kek.jp)

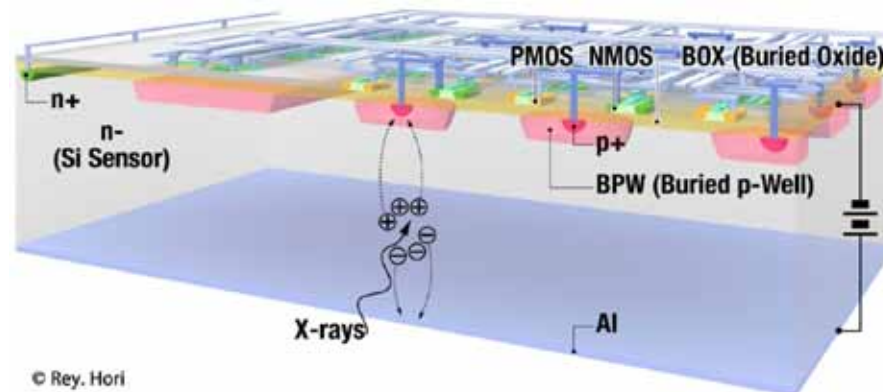
高エネルギー加速器研究機構 素粒子原子核研究所  
研究員 一宮 亮 (本日の説明者)

(ryo@post.kek.jp)

プロジェクトwebページ <http://rd.kek.jp/project/soi/>

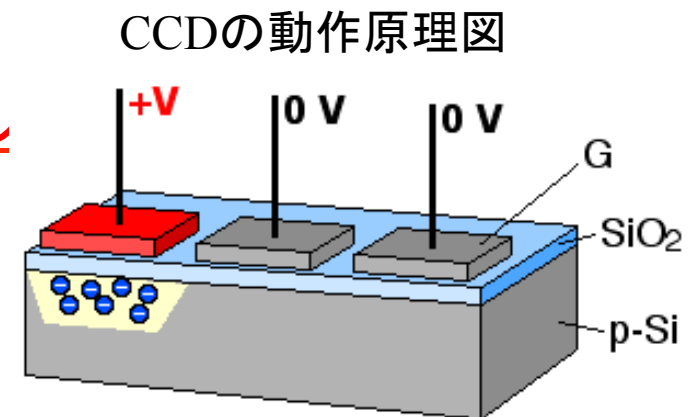
# 研究背景

- SOI (Silicon-On-Insulator) 技術は、2枚の異なるSiウエハを貼合せる技術で、放射線センサと集積回路をひとつのウエハ上で実現出来る。
- SOI Pixel検出器は位置分解能が良く、高レート、高機能、薄型化が可能なことから、高エネルギー実験の荷電粒子飛跡検出器として有望であり、我々は世界に先駆けて開発を行なっている。
- SOI Pixel検出器は、X線にも良好な感度を持ち、このような一体型X線検出器は今までにないことから、医療、材料分析、物質構造解析、科学機器等多くの分野で役立つものとして開発を提案する。



# 従来技術とその問題点(1/2 CCD)

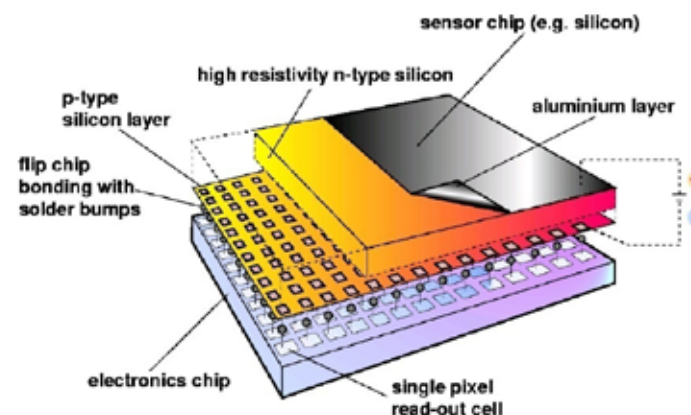
- CCDは、冷却して使用する事により、高S/N・低ノイズであり、X線イメージセンサとして広く普及している。
- しかしながら、電荷転送方式のために、蓄積出来る電荷量(Full Well Capacity)に制約がある。→S/Nに上限。
- また、シリアルに電荷転送を行うため、アクティブ・ピクセルセンサに比べて、読み出し速度が低速である。



Wikipediaより図を借用

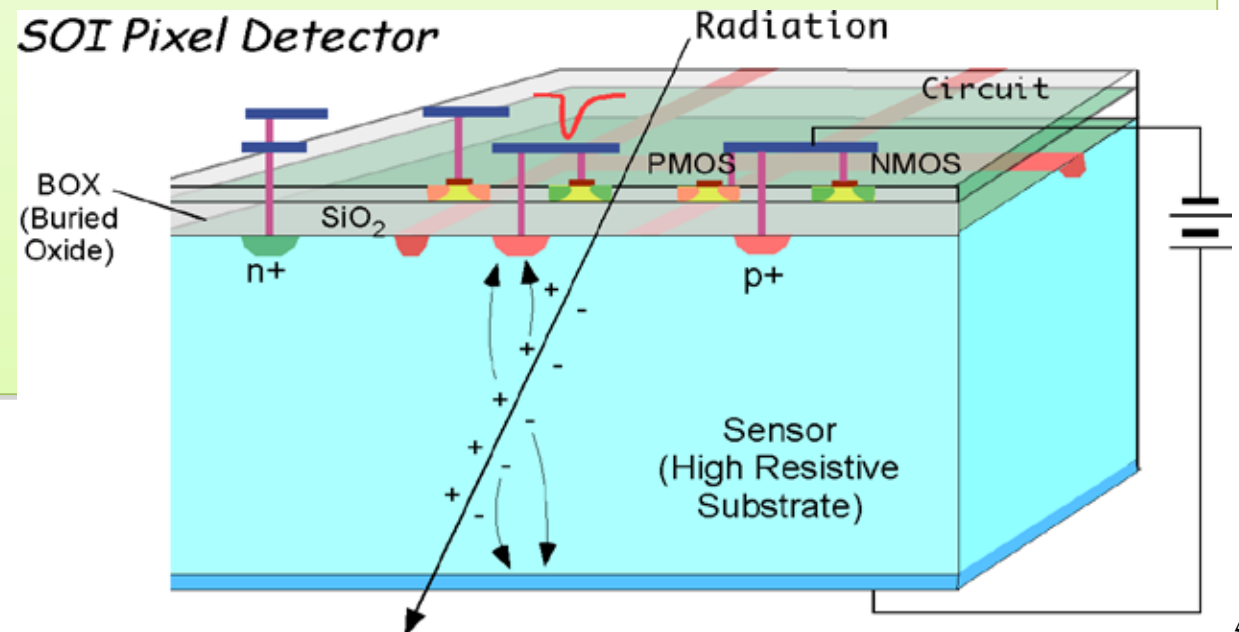
# 従来技術とその問題点(2/2 Hybrid Pixel)

- センサチップと読み出しチップを別に製造し、 bumps ボンディングで接合する方式。
- 素粒子・原子核実験など、高速読み出し(例: LHC実験では、40MHzでのパイプライン読み出し)が要求されるピクセル型検出器で標準的に採用されている方式。
- 機械的な bumps (半田ボール)を用いることから、
  - ピクセルピッチが制限される(>50um)
  - 歩留まりやコスト、物質量(多重散乱)の問題がある。

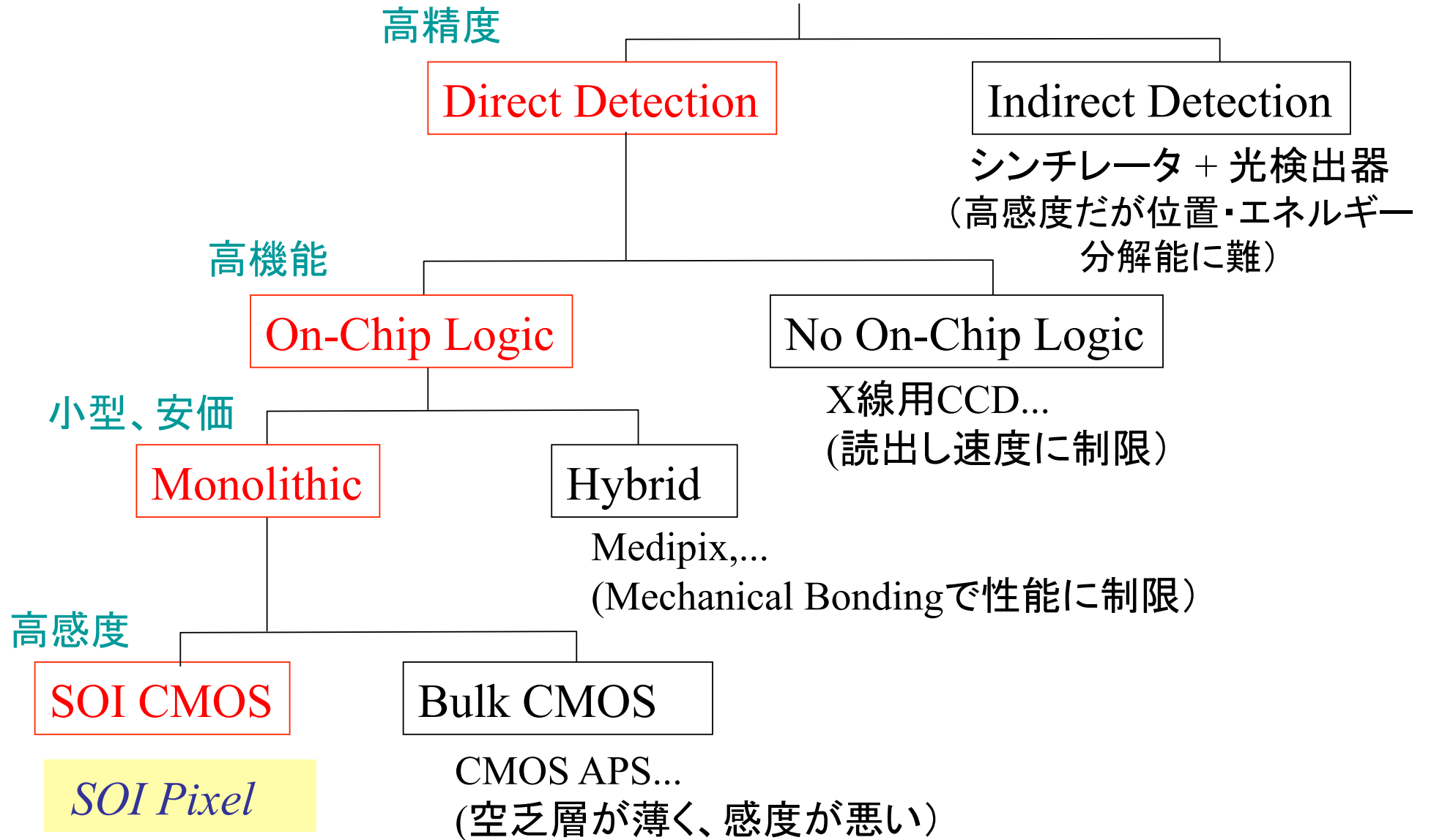


# SOI (Silicon-On-Insulator) Pixel検出器

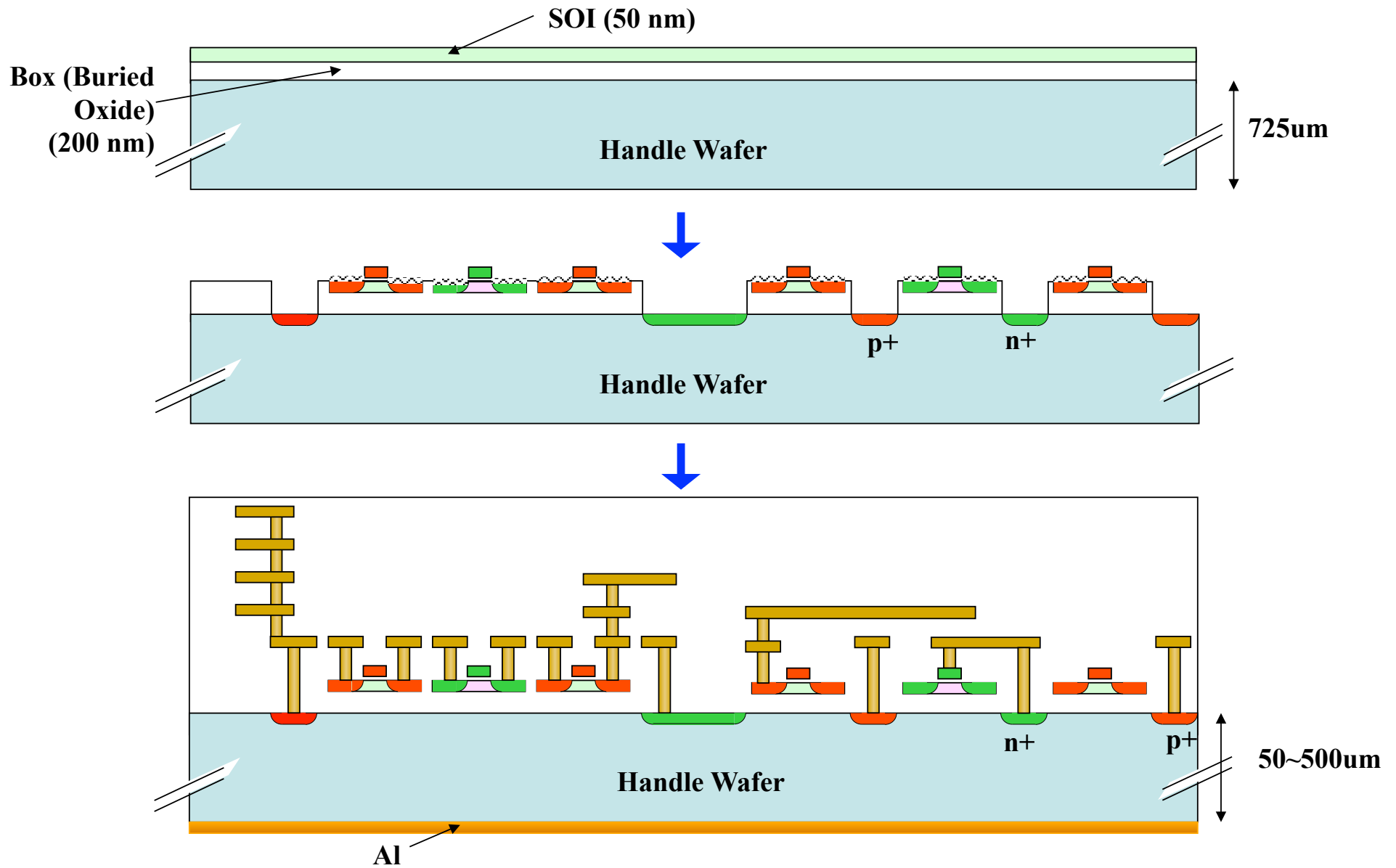
- 高抵抗Si基板と低抵抗Si基板を絶縁層を介して張り合わせた構造。
- 高抵抗部にp-n junctionを形成し、センサとする。
- 絶縁層 (BOX: Buried Oxide) に穴を開けセンサと回路を接続。
- 余分な物質が少なく、多重散乱をおさえられる。
- 電極容量が小さく、少ない電荷 (薄いセンサ) で大きなS/Nが得られる。
- 複雑な信号処理回路を各ピクセルに持たせられる。
- 高レート、高速読み出しが可能。
- 機械的接合がなく、  
高分解能化、  
低価格化が望める。
- 産業界の標準プロセス  
を基本に開発。今後の  
発展が望める。



# X線Pixel検出器

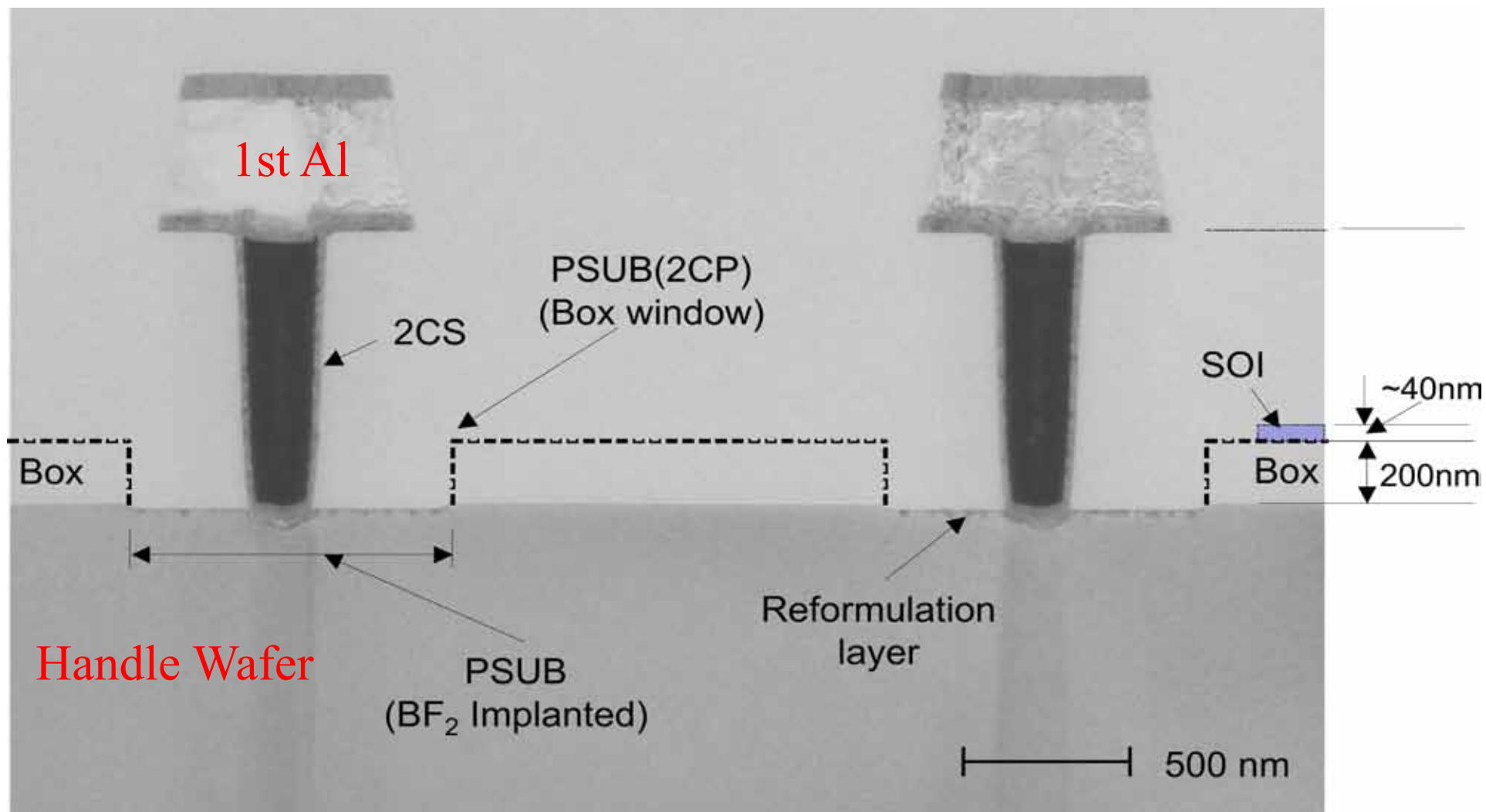


# SOI Pixel のプロセスフロー



通常の量産SOIプロセスにわずかな工程を追加するだけでOK

# センサシリコンへのコンタクト断面写真

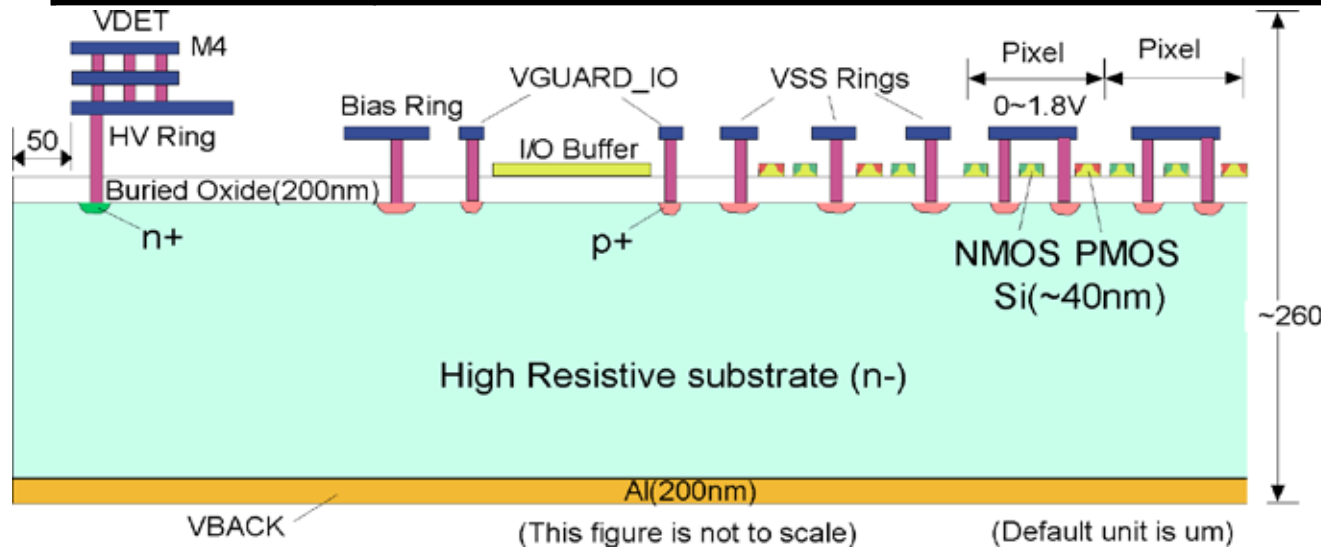


良好なp-n junctionを形成出来ている



# 0.2 $\mu\text{m}$ FD-SOIピクセルプロセス

プロセス	0.2 $\mu\text{m}$ 完全空乏型(Fully-Depleted) SOI CMOS 1ポリ, 4 (5) メタル レイヤ, MIM キャパシタ, DMOS コア (I/O) 電圧 = 1.8 (3.3) V
SOI ウエハ	直径: 200 mm $\phi$ (8インチ) SOIシリコン(トップシリコン): Cz, $\sim 18 \Omega\text{-cm/p-type}/\sim 40 \text{ nm}$ 厚 埋め込み酸化膜(BOX): 200 nm 厚 ハンドルウエハ: Cz $\sim 700 \Omega\text{-cm}$ (n-type), FZ: $\sim 10\text{k}\Omega\text{-cm}$ (n-type, p-type) ウエア厚さ: 725 $\mu\text{m}$
裏面処理	現在、260 $\mu\text{m}/500 \mu\text{m}$ に裏面研削後、Al (200 nm)蒸着



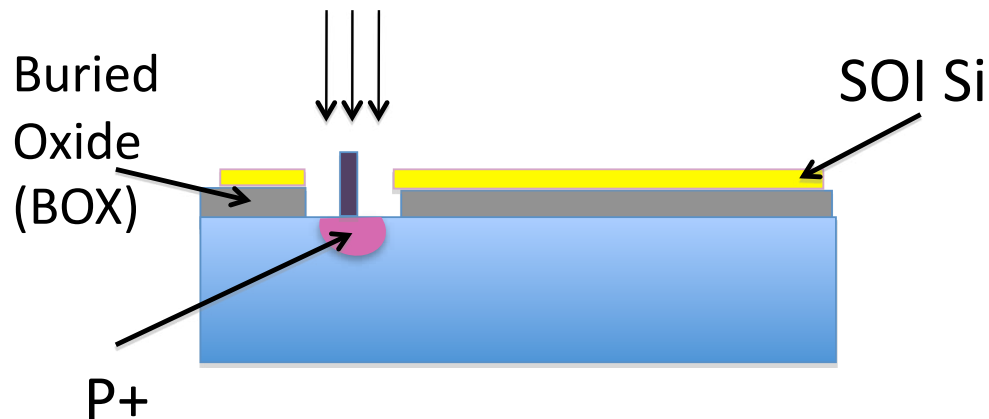
SOIピクセルセンサ  
の断面図

センサと回路が極めて  
近接(200nm)

# 高電圧動作の為のバックゲート効果対策

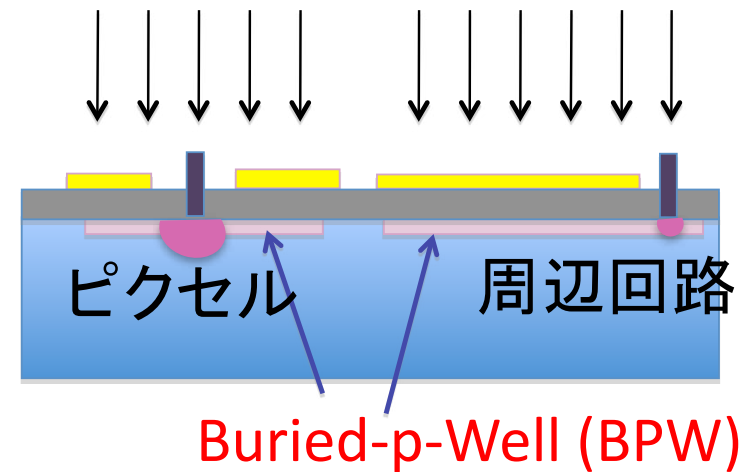
回路を正常動作させるためにセンサ部の印加電圧による電場の遮蔽が不可欠

通常の不純物打込み



- SOI Si層とBOXを開口してインプラ
- 高ドーズ量

BPW 打込み



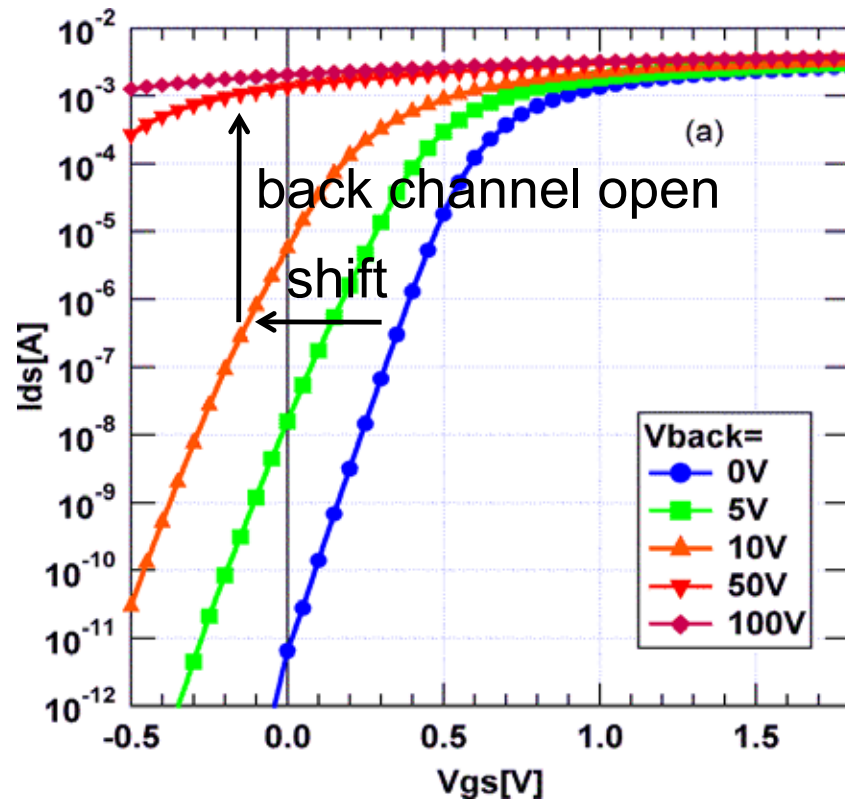
- トランジスタ形成後のインプラ
- 低ドーズ量

- Buried P-Well (BPW)構造を設ける事で、センサ側電圧によるトランジスタへのバックゲート効果が抑制出来るようになった。
- センサーに高電圧をかけられるようになり、ブレークダウン電圧も向上。
- SOI Si層(トップシリコン)を削らなくて済むので、ピクセルサイズを縮小出来る。
- BOX(埋め込み酸化膜)にかかる電場を軽減出来、放射線耐性が向上。

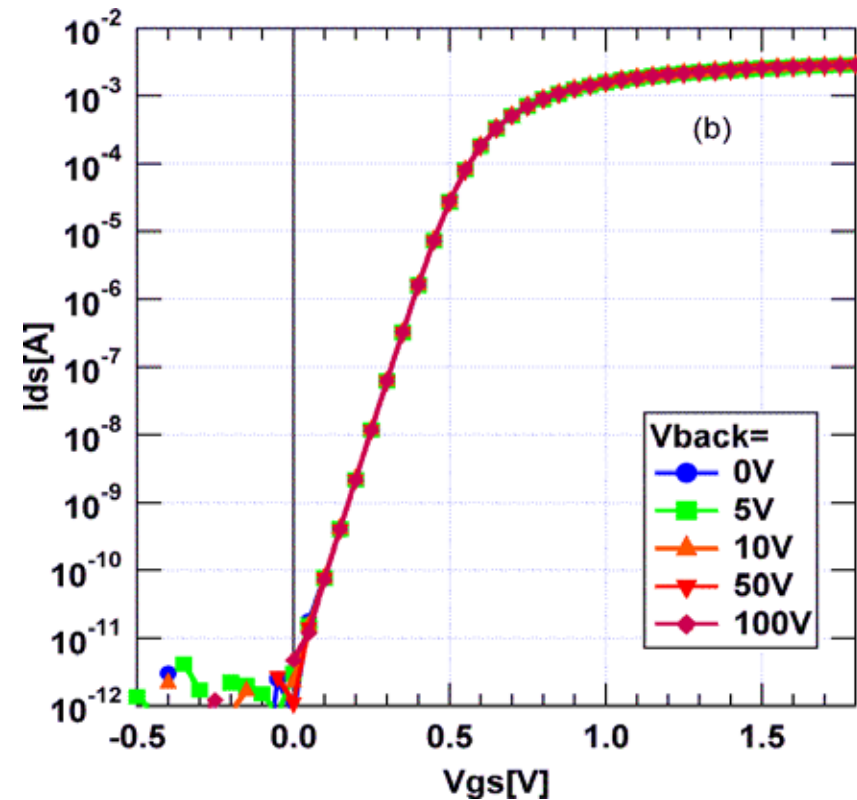
# $I_d$ - $V_g$ 特性とBPW

w/o BPW

NMOS



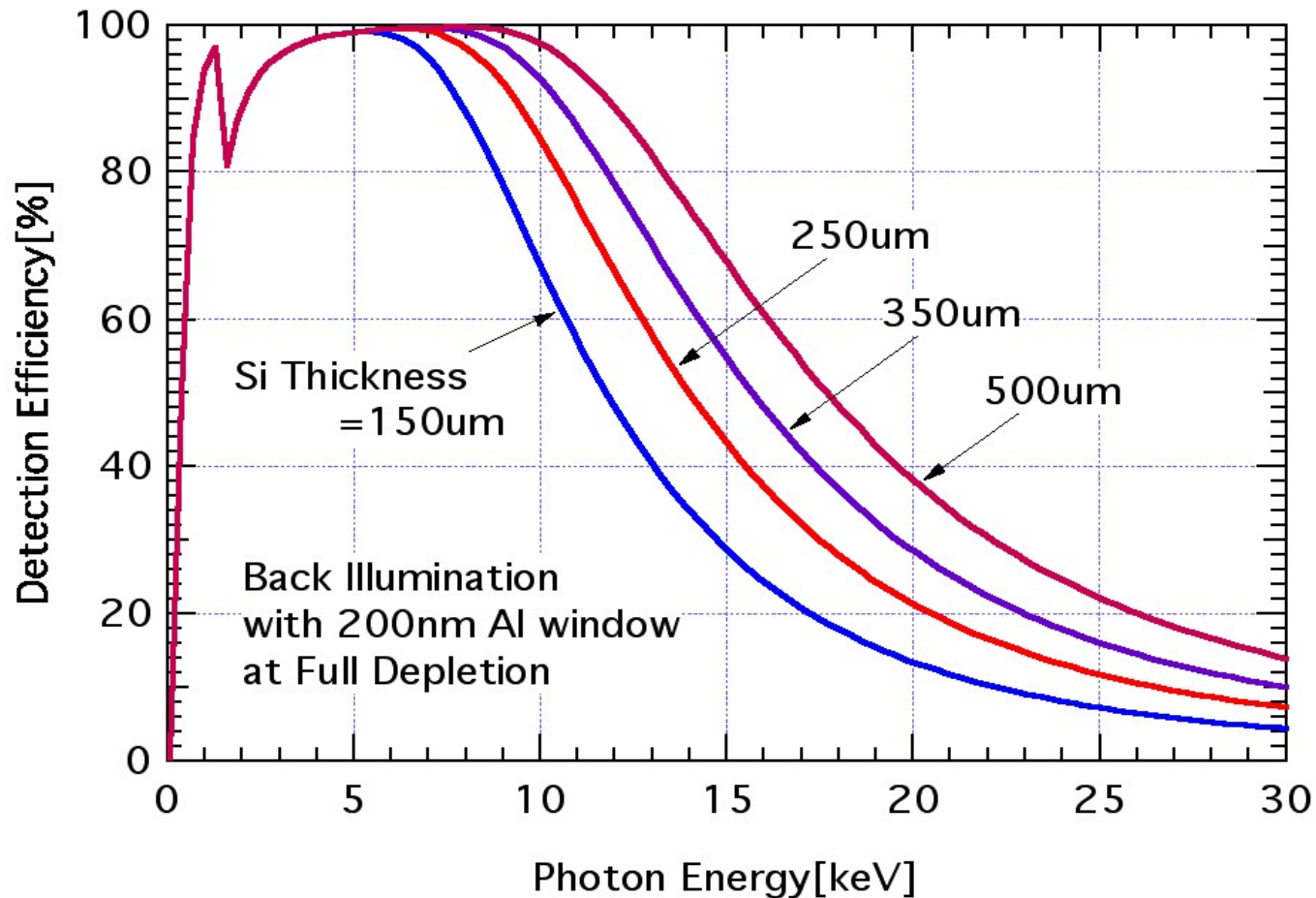
with BPW=0V



BPWによりBack gate 効果が抑制出来て、センサを全空乏化可能なバイアス電圧印加が出来るようになった。

# SiによるX線の検出効率

SOI Pixel X-ray Detection Efficiency (Calculation)



~10keVのX線ではセンサ厚を厚くすることで100%近くの検出効率が達成可能。

# Multi Project Wafer (MPW) run

- KEK では2005年よりMPW(複数プロジェクト相乗り型の製造)を主催しています。(SOI回路部分だけの設計もあります。)
- **2009年より年2回のペースで行っています。**

MPW FY08(Feb.2009) MPW FY09-1 (Aug. 2009)MPW FY09-2 (Jan. 2010)



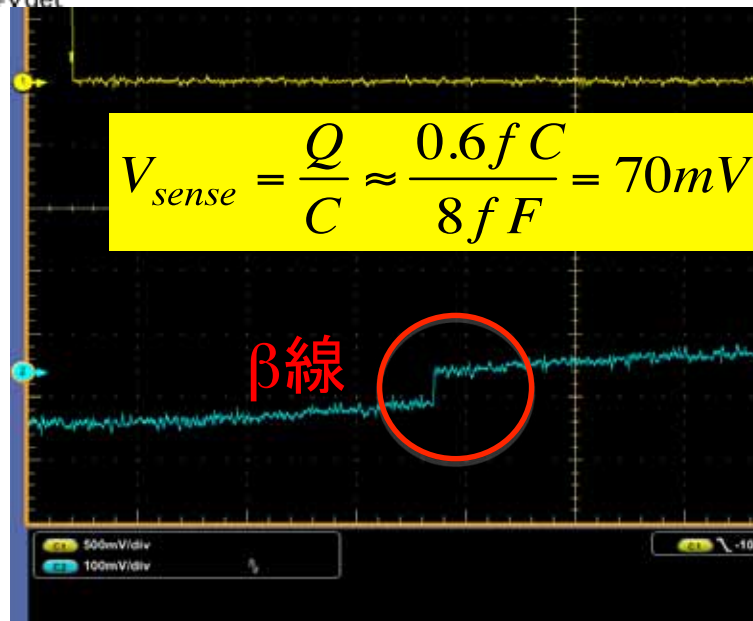
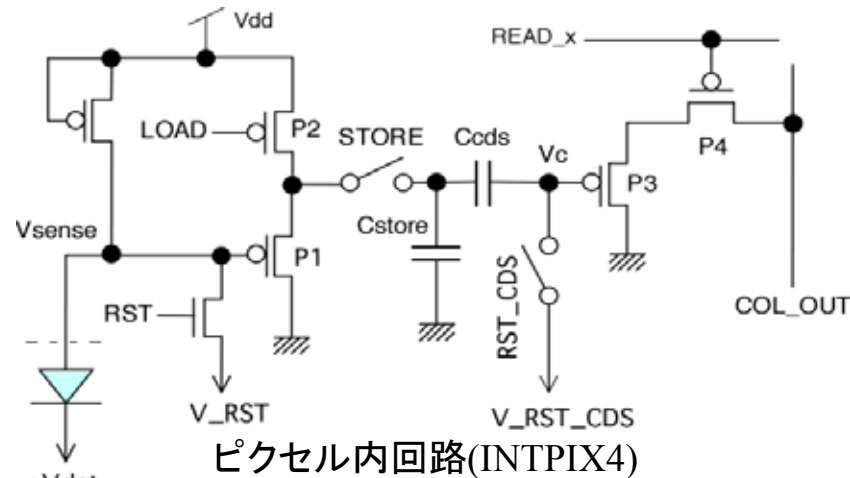
KEK, LBNL, Hawaii,  
Cracow, Tohoku, JAXA,  
Riken/SPring-8

KEK, Riken, Cracow, FNAL,  
Kyoto, Hawaii

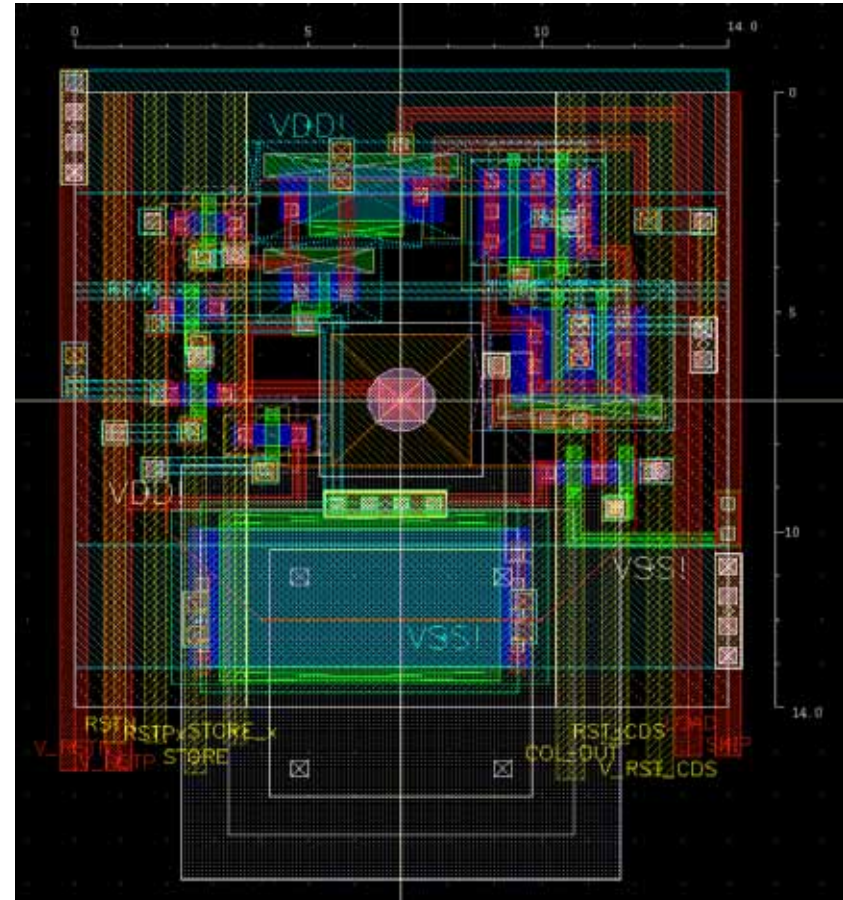
KEK, Riken, FNAL, LBNL,  
JAXA, KEK-MPI



# これまでに開発したSOI検出器: (積分型ピクセル検出器)



放射線応答

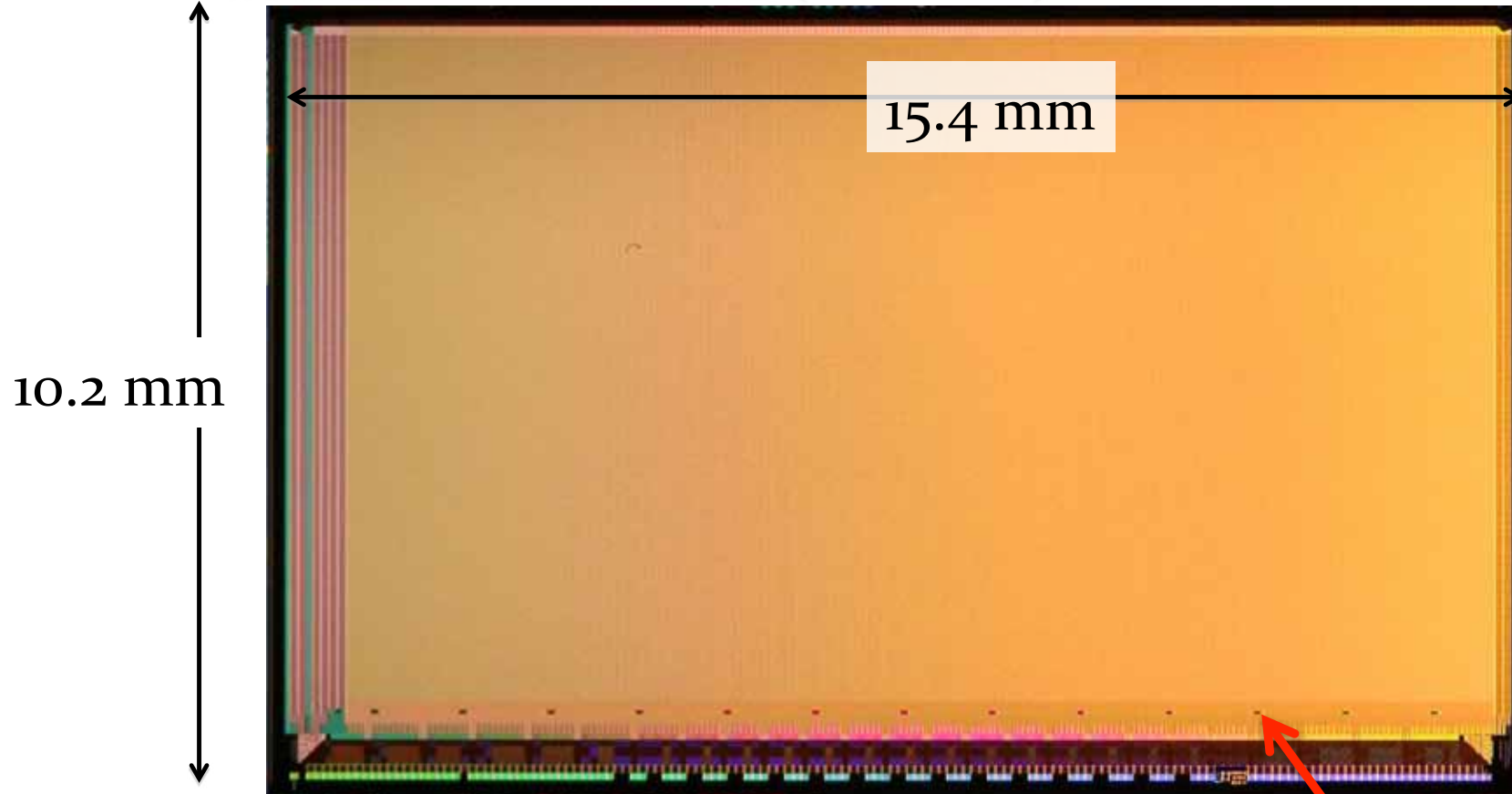


ピクセル内回路のレイアウト(DIPIX)

CDS回路付、外部ADC読み出し

# 積分型ピクセル検出器(INTPIX4)

これまでで最大サイズ

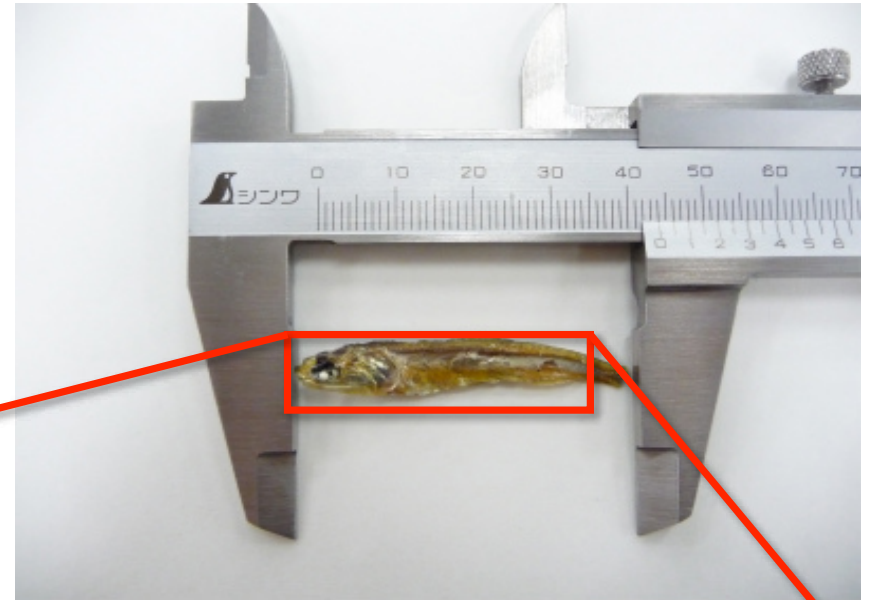


17x17  $\mu\text{m}$ , 512x832 (~430k) pixels, 13 Analog Out, ノイズ低減のため、CDS 回路を各ピクセルに実装



# X線照射試験(積分型)

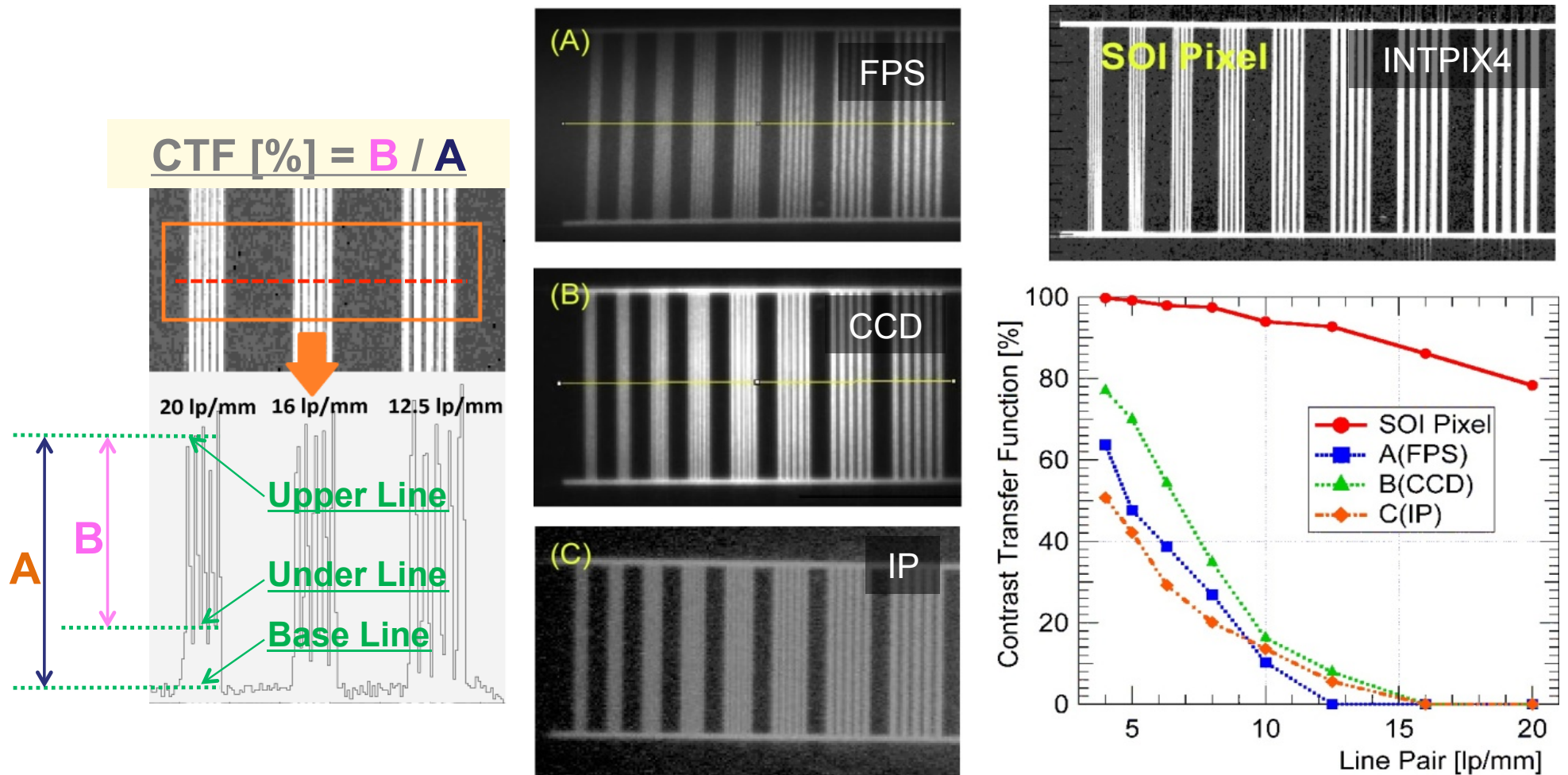
- 煮干しのX線写真(INTPIX4)
  - バイアス電圧: 200V ( $V_{back}$ )
  - 500 フレームを取得
  - 積分時間: 250 $\mu$ s
  - X線管(Mo): 20kV, 5mA





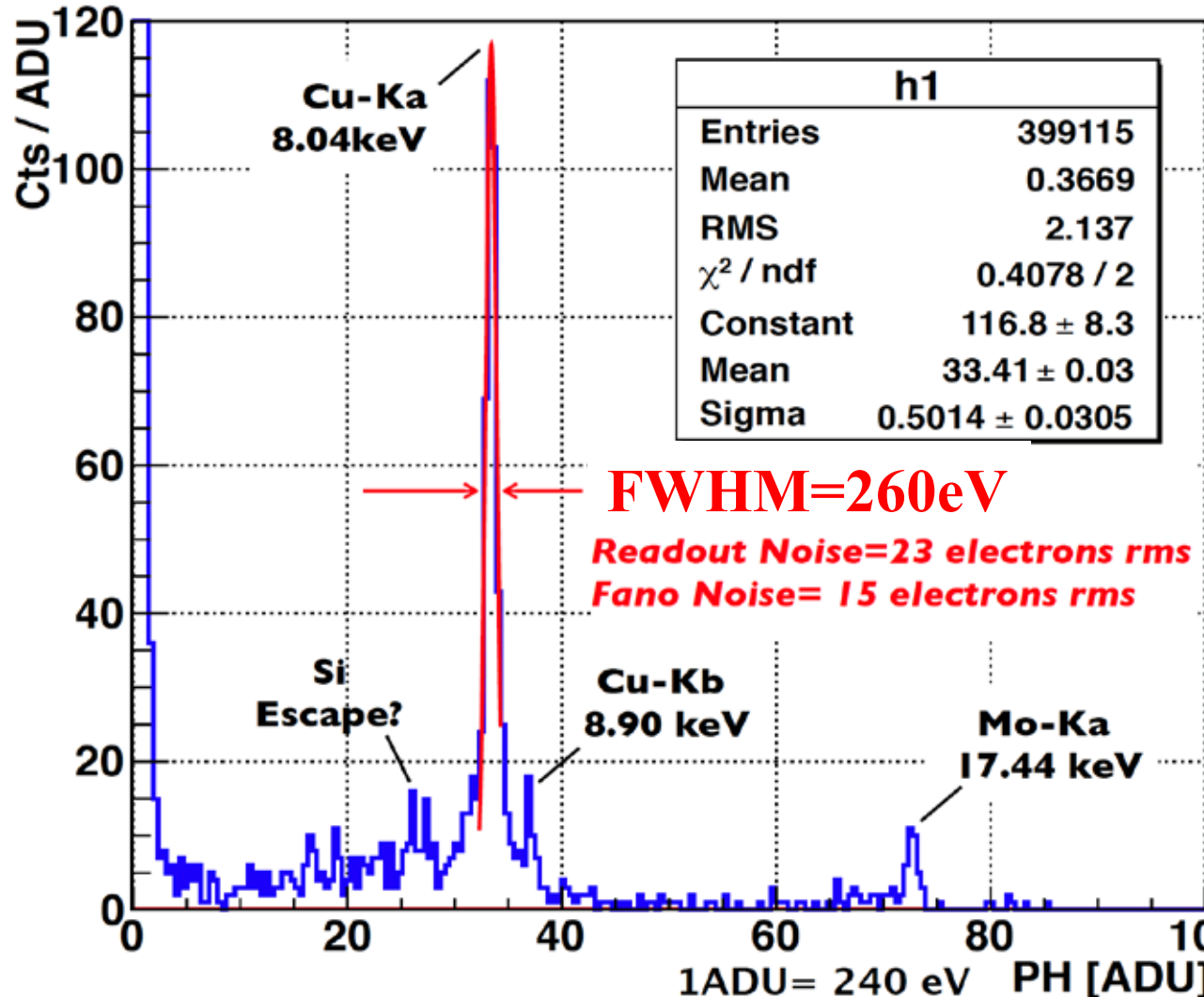
# 空間分解能比較 (Contrast Transfer Function)

- 他のX線イメージセンサとのコントラスト分解能比較。
  - SOI Pixel : INTPIX4, Flat Panel Sensor (FPS), CCD, and Imaging Plate (IP)



# エネルギー分解能(積分型)

- ◎ XRPIXI - CZ Correlated Multi Sampling 試験 2011/02/10@-50°C,100Vb
- ◎ 39D (ST&BT Type) Single Pixel (25,25) Spectrum (Target: Cu + Mo)



ノイズレベルは目標値に大分近づいたが、まだ読み出し回路のノイズが大きいので改善の余地大。

Cu K $\alpha$  と K $\beta$  が分離して見えている。  
ノイズ: ~ 23e<sup>-</sup>  
@-50°C

(京大、鶴による協力)

# 時間・空間分解能を持った検出器の開発(計数型)

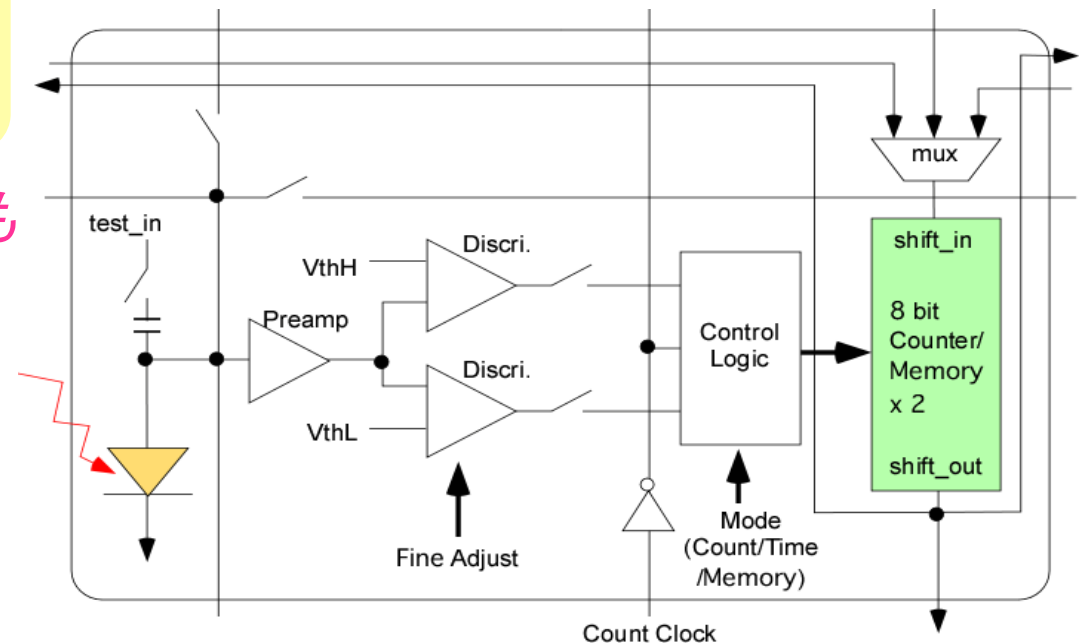
- SOI Pixelはさまざまな特徴を持つが、一番の特徴は**高速性と高機能性**。
- 従来のCCD等による測定では最大1000 fps程度しか撮れない。
  - Pixel内にカウンタ --> 数10MHzでの高計数率測定が可。
  - Pixel内にタイマ --> 10ns分解能の時間測定が可。
  - Pixel内にメモリ --> 数MHzでの時分割測定が可。

*New Domain!*

ピクセルにカウンタを内蔵させた物は存在するが、カウンタ/タイマ/メモリの3つの機能を内蔵させた物はない。

カウンタ/タイマ/メモリはいずれも *Flip Flop* で構成出来る。

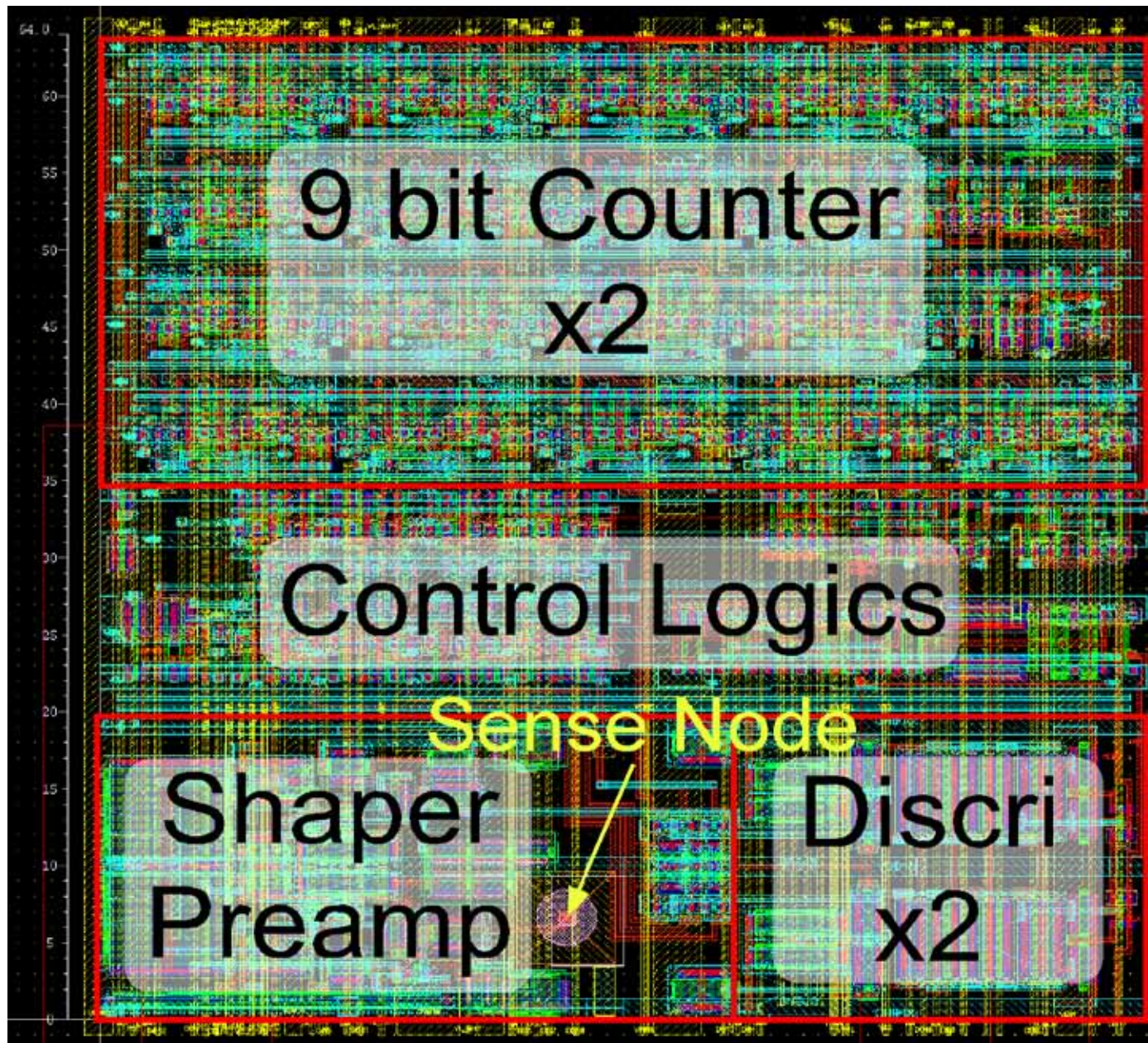
高速計数、時間測定、ローカル記録の3つの機能を実現。  
ユーザー再構成可能な異なった機能を組合せ、新たな測定を可能に。



単一ピクセル回路



# 開発中のプロトタイプ(レイアウト)



CNTPIX5  
Pixel Layout

64x64  $\mu\text{m}^2$   
~ 600 tr./pix

基本動作確認OK.  
動作検証を進めて  
います。

# 企業への期待

- これまでの開発でセンサ開発はほぼ実用化段階に到達しました。そのため、分析機器や医療機器などのシステム化技術や開発ノウハウを持つ企業との共同研究を希望します。
- オンチップ信号処理を行う事で、高スループットでの非破壊検査などに有効と思われます。
- また、従来技術で達成出来ない高ダイナミックレンジ、高S/Nの信号処理分野への適用が期待されます。
- 回路構成が単純で高位置分解能の得られる積分型と時間・空間分解能が得られる計数型の両アーキテクチャを設計・製作可能です。

# 本技術に関する知的財産権

- 発明の名称 : 半導体装置および半導体装置の製造方法
- 出願番号 : 特願2010-52173(2010.3.9)
- 海外出願 : PCT/JP2011/055546(2011.3.9)
- 出願人 : 高エネルギー加速器研究機構、OKIセミコンダクタ(株)
- 発明者 : 新井康夫、沖原将生、葛西大樹

(代表的な特許例)

# SOIプロジェクト・産学連携の経歴

- 2005年4月 KEK測定器開発室プロジェクト創設
- 2005年7月 沖電気工業(株)(現:ラピスセミコンダクタ(株))と共同研究を開始
- 2005年10月 VDEC 0.15um MPWにて試作・実証
- 2006年12月 第1回MPW runを主催
- 2007年-2010年 JST先端計測分析技術・手法開発事業(要素技術プログラム)に採択
- 2011年10月 第7回MPW runを主催



# お問い合わせ先

高エネルギー加速器研究機構 素粒子原子核研究所  
エレクトロニクスシステムグループ 新井 康夫

TEL 029-879-6211

FAX 029-864-3284

e-mail yasuo.arai@kek.jp

プロジェクトwebページ <http://rd.kek.jp/project/soi/>