

平成 19 年度プロGRESSレポート (SOI Pixel 検出器開発グループ)

2007.3.31(4.9 revised)

[メンバー]

KEK 素核研: 新井康夫 (代表)、海野義信、寺田進、池上陽一、坪山透、羽澄昌史、
田島治、後田裕、高力孝
新潟大学: 川崎健夫
筑波大学: 原和彦、三宅秀樹
東京工業大学: 石野宏和
JAXA 宇宙科学研究本部: 池田博一
Univ. of Hawaii: Gary Varner, Elena Martin,
Stanford Linear Accelerator Center: Hiro Tajima

[レビューワ]

杉本康博 (KEK)、竹谷篤 (理研)、(廣瀬和之(JAXA))

1. まとめ

平成 18 年度の活動は大きくまとめると次の 3 点があげられる。

(1) 昨年度初めて試作を行なった SOI (Silicon-On-Insulator) Pixel/Strip/Frontend Electronics の試験。電気的な試験を終えた後、レーザー光による画像の取得(図 1)、 β 線への応答の測定と進み、ほぼ目的とする成果を上げる事が出来た。

(2) SOI Pixel の技術を拡大させる為に、多くの国内外の会議で発表を行なった(表 1)。成果のいくつかは論文にまとめた(表 2)。

(3) 上記発表を通じ多くのユーザーに呼びかけ、KEK 主導の初めての MPW(Multi Project Wafer)を行なった。これには LBL, FNAL を始めとする国外からの設計も含め 17 設計が集まり成功させる事が出来た(表 3、図 2)

この他にも、TCAD のシミュレーションや、チップの薄化に向けた試験等も行なった。また、SOI の放射線耐性を測定する為のサイクロトロン陽子ビームを使った放射線試験も行う事が出来た。

また、3月6日には KEK において、第 1 回の SOI Detector R&D Workshop を開催し、50 名以上の参加を得た。これにはビデオ会議システムを通じて、Hawaii Univ., LBL, FNAL, BNL からの参加を得、発表もしてもらった。また、沖電気からも 8 名の方に来ていただき、2 件の発表をしていただいた。Workshop のプログラムを

表 4 に示す。また発表のスライドは <http://kds.kek.jp/conferenceDisplay.py?confId=8> (アカウント'kek/!kek#japan')からダウンロードすることが出来る。この中から、活動内容のまとめとして、新井の発表のスライドを後ろに Appendix として付ける。

表 1 SOI Pixel についての会議での主な発表

会議名	場所	開催日	発表者
物理学会	愛媛大学	2006. 3/27-30	新井(KEK)
SNIC06	SLAC	4/3-6	新井(KEK)
FEE2006	Perugia	5/15-19	池田 (JAXA)
STD6	Carmel	9/11-15	新井(KEK)、池上(KEK) 池田(JAXA)
Vertex 2006	Perugia	9/25-29	坪山(KEK)
LECC	Valencia	9/25-29	石野 (東工大)
IEEE NSS	San Diego	10/29-11/4	新井(KEK)
物理学会	Hawaii	10/29-11/4	石野 (東工大) , 三宅 (阪大) 羽澄 (KEK)
Vienna Conference on Instrumentation	Vienna	2007.2/19-24	坪山 (KEK)
物理学会	首都大学東京	3/25-28	新井(KEK)、望月(筑波大)

表 2。発表論文

<p>(1) "First Results of 0.15μm CMOS SOI Pixel Detector", Y. Arai, M. Hazumi, Y. Ikegami, T. Kohriki, O. Tajima, S. Terada, T. Tsuboyama, Y. Unno, H. Ushiroda, H. Ikeda, K. Hara, H. Ishino, T. Kawasaki, E. Martin, G. Varner, H. Tajima, M. Ohno, K. Fukuda, H. Komatsubara, J. Ida, SNIC Symposium, Stanford, California, 3-6 April 2006, SLAC-PUB-12079, KEK preprint, 2006-34, SLAC Electronic Conference Proceedings Archive (SLAC-R-842, eConf: C0604032) PSN-0016. http://www.slac.stanford.edu/econf/C0604032/papers/0016.PDF</p>
<p>(2) "Development of a CMOS SOI Pixel Detector", Y. Arai, M. Hazumi, Y. Ikegami, T. Kohriki, O. Tajima, S. Terada T. Tsuboyama, Y. Unno, Y. Ushiroda, H. Ikeda, K. Hara, <u>H. Ishino</u>, T. Kawasaki, H. Miyake, E. Martin, G. Varner, H. Tajima M. Ohno, K. Fukuda, H. Komatsubara, J. Ida, Proceedings of 12th Workshop on Electronics for LHC and Future Experiments (LECC 2006), 25-29 September 2006, Valencia SPAIN.</p>
<p>(3) "R & D of a pixel sensor based on 0.15 μ m fully depleted SOI technology", Toru Tsuboyama, Yasuo Arai, Koichi Fukuda, Kazuhiko Hara, Hirokazu Hayashi, Masashi Hazumi, Jiro Ida, Hirokazu Ikeda, Yoichi Ikegami, Hirokazu Ishino, Takeo Kawasaki, Takashi Kohriki, Hirotaka Komatsubara, Elena Martin, Hideki Miyake, Ai Mochizuki, Morifumi Ohno, Yuuji Saegusa, Hiro Tajima, Osamu Tajima, Tomiaki Takahashi, Susumu Terada, Yoshinobu Unno, Yutaka Ushiroda and Gary Varner. Sep. 2006, Perugia, Italy, Vertex 2006, submitted to Nucl. Instr. and Meth. A.</p>
<p>(4) "Monolithic Pixel Detector in a 0.15μm SOI Technology", Y. Arai, M. Hazumi, Y. Ikegami, T. Kohriki, O. Tajima, S. Terada, T. Tsuboyama, Y. Unno, H. Ushiroda, H. Ikeda, K. Hara, H. Ishino, T. Kawasaki, E. Martin, G. Varner, H. Tajima, M. Ohno, K. Fukuda, H. Komatsubara, J. Ida, H. Hayashi, IEEE Nuclear Sci. Symposium, San Diego, Oct. 29 - Nov. 4, 2006, Conference Record.</p>
<p>(5) "Evaluation of OKI SOI Technology", Y. Ikegami et al., presented at the 6th Hiroshima symposium of Development and Application of semiconductor tracking devices, Sep. 11-15, 2006, Carmel, California, U.S.A., and submitted for publication in Nucl. Instr. Meth.</p>
<p>(6) "R&D of a pixel sensor based on 0.15 μ m fully depleted SOI technology", Toru Tsuboyama, Yasuo Arai, Koichi Fukuda, Kazuhiko Hara, Hirokazu Hayashi, Masashi Hazumi, Jiro Ida, Hirokazu Ikeda, Yoichi Ikegami, Hirokazu Ishino, Takeo Kawasaki, Takashi Kohriki, Hirotaka Komatsubara, Elena Martin, Hideki Miyake, Ai Mochizuki, Morifumi Ohno, Yuuji Saegusa, Hiro Tajima, Osamu Tajima, Tomiaki Takahashi, Susumu Terada, Yoshinobu Unno, Yutaka Ushiroda and Gary Varner, submitted to Nucl. Instr. and Meth A.</p>

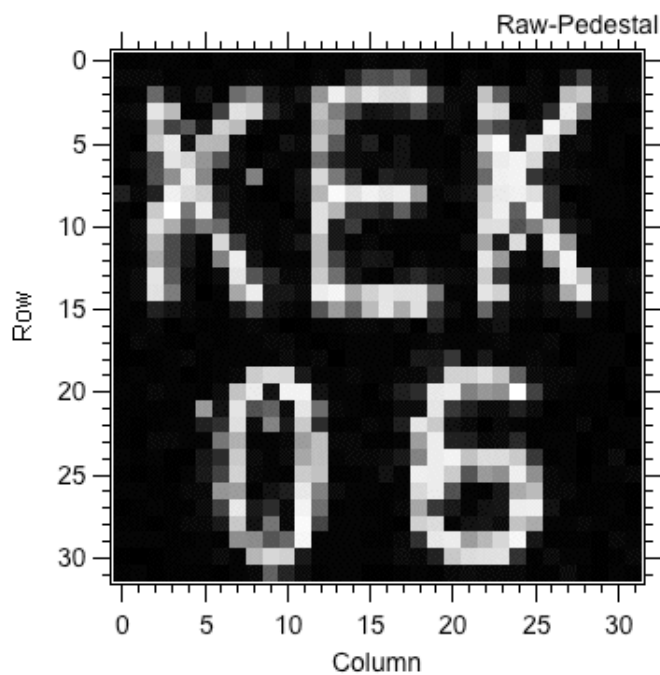


図1。最初の SOIPIX によるイメージ撮影。

表3。第1回 MPW ラン設計チップ

Top Cell Name	Chip size	Affiliation	Designer(s)
VARPIXEL	2.4 mm	Osaka Univ.	H. Miyake
TOPPIXN	2.4 mm	KEK	Y. Arai
OKI0612	2.4 mm	Tokyo Univ.	H. Takahashi, K. Shimazoe, Fuiwara
Achip	2.4 mm	LBL	P. Denes
OKI_TOP	2.4 mm	FNAL(BNL)	G. Deptuch
ATEG	2.4 mm	JAXA/ISAS	H. Ikeda
BTEG	2.4 mm	JAXA/ISAS	H. Ikeda
CTEG	2.4 mm	JAXA/ISAS	H. Ikeda
isas_set0612	2.4 mm	JAXA/ISAS	D. Kobayashi
RADFET1	2.4 mm	KEK	T. Tsuboyama
HawaiiNSUBSTRATE	5.0 mm	Univ. of Hawaii	E. Martin, G. Varner
detectorPOLY	5.0 mm	KEK	T. Tsuboyama
TOP_PIXELSTRIP	5.0 mm	KEK	Y. Ikegami, Y. Arai
TOP_8PREAMP	5.0 mm	KEK	Y. Ikegami
TOPTEG2	5.0 mm	KEK	Y. Arai
TOPINTPIX	5.0 mm	KEK	Y. Arai
TOPCOUNT	10.2 mm	KEK	Y. Arai

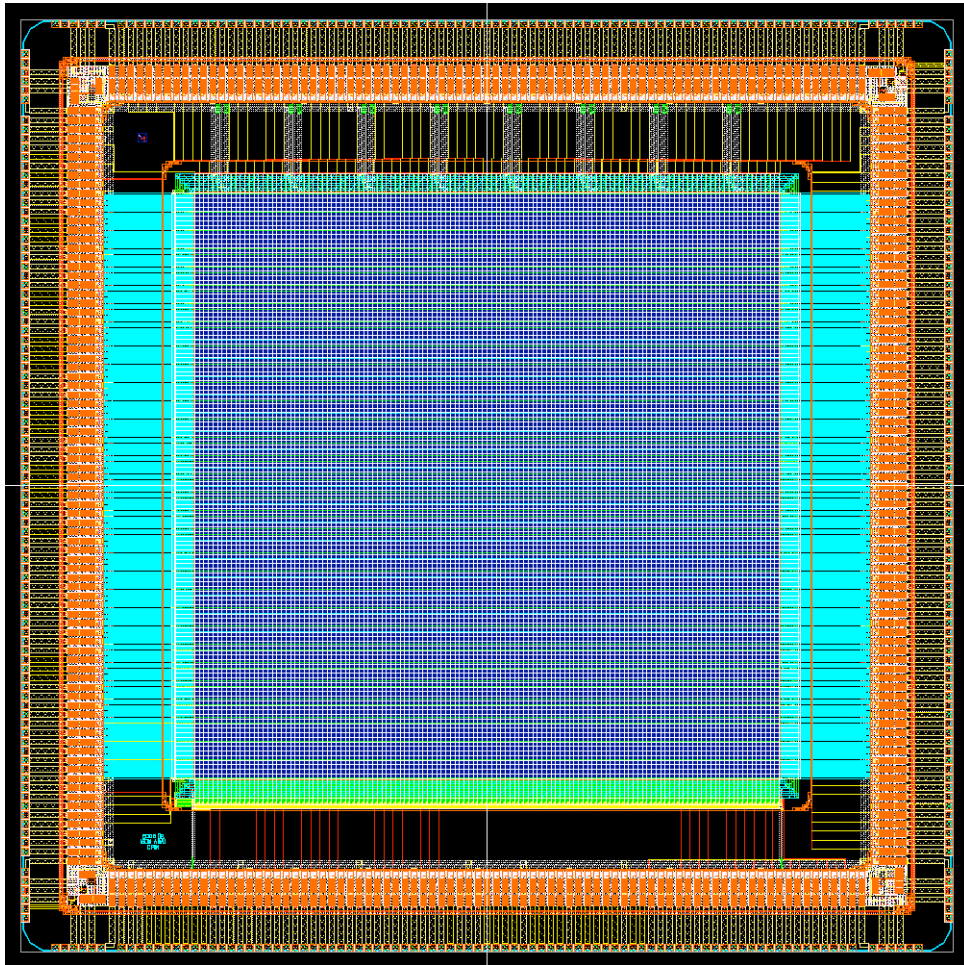


図 2。12 月に設計を終えた計数型ピクセル検出器(10mm 角)。

表 4。第 1 回 SOI Detector R&D Workshop プログラム(2007.3.6)

First SOI Detector R&D Workshop (Tuesday 06 March 2007)(KEK(Bldg. 3 Seminar Hall))

Session 1

- 10:00 Opening Remark (Takahiko Kondo (KEK, Head Physics Division II))
- 10:10 SOI Detector R&D : Past & Future (Yasuo ARAI (KEK))
- 10:40 Oki Fully Depleted SOI Technology for Ultra Low Power Applications (Jiro Ida (OKI Electric Industru Co. Ltd.))
- 11:20 SOI Strip Test & Design (Toru Tsuboyama (KEK))
- 11:50 Front-end circuit design in FD-SOI (Hirokazu Ikeda (JAXA/ISAS))

Session 2

- 13:30 SOI Pixel Design : Univ. of Hawaii (video) (Elena Martin (Univ. of Hawaii))
- 13:55 SOI Pixel Design : LBL (video) (Peter Denes (LBL))
- 14:15 SOI Pixel Design : FNAL/BNL (video) (Grzegorz Deptuth (BNL(FNAL)))
- 14:35 Design of High Voltage MOS Transistor using TCAD (Hirokazu Hayashi (OKI Electric Industru Co. Ltd.))
- 14:55 SOI Detector Simulation by ENEXSS (Masashi Hazumi (KEK))

Session 3

- 15:40 SOI Pixel Design : X-ray Counting Pixel (Yasuo Arai (KEK))
 - 16:00 SOI Radiation Damage Test & Chip Design (Youichi Ikegami (KEK))
 - 16:25 Discussion : Future Collaboration (Yasuo Arai (KEK))
 - 16:45 Summary (Junji Haba (KEK))
-

2. 来年度計画

当初3年間でスタートした計画も、平成19年度で3年目を迎える。平成19年度は、今年度試作したチップの検証をしSOI検出器の理解を深めると共に、3年間のまとめとして、さらに実用化、高性能化に近づけたチップを試作し、当初の目的を達成する。主な内容を以下に示す。

2.1. 1st MPWラン チップの試験

今年度試作した多くのTEGチップに対して、電気特性試験、レーザー光/X線試験、耐放射線性試験等を行う予定である。さらに、上記試験が順調に行った場合には、放射光やテストビームを用いた検出器試験も検討する。

2.2. 第2回MPWラン

来年度も今年度に引き続き、より多くのユーザーを集め、MPW(Multi Project Wafer, 相乗りチップ)を行なう予定である。しかしながら、沖電気の0.15 μm プロセスが八王子事業所から宮城に移転する為、次回プロセスは12月頃となる。また、事業所が変わるため、今までよりも設計/製作の自由度が狭まる恐れが有るが、この点に関して現在沖電気と協議中である。

2.3. 薄型化

今年度試験的にATLAS SiセンサーとSOI Pixelチップの薄化(~100 μm)を行なった。薄化に伴ってチップのそりやリーク電流の増加が観測されているので、来年度も引き続きこの課題に取り組む。

2.4. TCAD Simulation

3次元TCAD(ENEXSS)の講習会等を開きながら、よりユーザーを増やし、チップ設計に反映出来るようなプロセス/デバイスシミュレーションを行なう。また、シミュレーションに放射線による電荷生成等の効果の取り込み、GEANT等の他のシミュレーターとのインターフェースの開発も行ないたい。

以上

SOI Detector R&D: Past & Future

1st SOI Detector R&D Workshop
KEK, Mar. 6, 2007
Yasuo Arai (KEK)

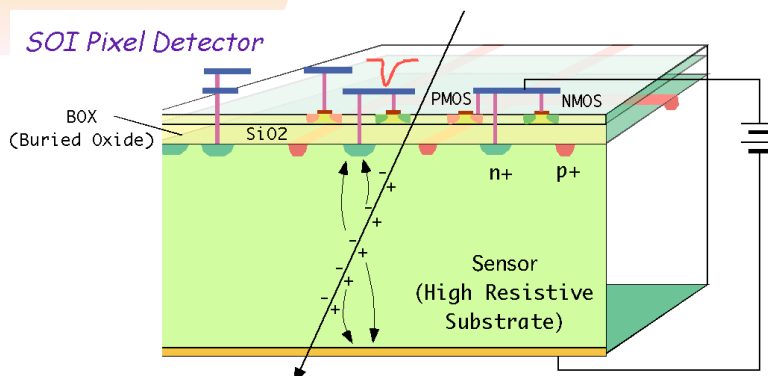
KEK Detector Technology Project : [SOIPIX Group, <http://rd.kek.jp/project/soi/>]

Y. Arai, Y. Ikegami, H. Ushiroda, Y. Unno, O. Tajima, T. Tsuboyama, S. Terada,
M. Hazumi, T. Kohriki, H. Ikeda^A, K. Hara^B, H. Ishino^C, T. Kawasaki^D, H. Miyake^B,
K. Hanagaki^H, Gary Varner^E, Elena Martin^E, Hiro Tajima^F,
Y. Hayashi^G, M. Ohno^G, K. Fukuda^G, H. Komatsubara^G, J. Ida^G

KEK, JAXA^A, U. Tsukuba^B, TIT^C, Niigata U.^D, U. Hawaii^E, SLAC^F, OKI Elec. Ind.
Co.^G, Osaka Univ.^H

OUTLINE

1. History
2. SOI Pixel Process
3. FY05 MPW Run
4. FY06 MPW Run
5. Summary



Two Years ago... Unno san said (Detector W.S.@KEK, April 2005)

a "dream" of detector physicist

1. (high Z) semiconductor sensor

with

2. fully integrated ampl. circuitry and R/O logic

using

3. commercially available CMOS technologies



SOI Monolithic Detector!

History

'05.4: Detector R&D workshop @KEK. Express interests on SOI Pixel.

5: Create SOIPIX group, and propose SOI Pixel R&D to KEK Detector Technology Project (Generic R&D).

6: Negotiate with OKI Electric Industry Co. Ltd.

7: Start SOI detector R&D with OKI.

10: First TEG designs submitted for 0.15 μ m SOI CMOS process.

'06.1: Characteristics of substrate p-n junctions were measured successfully.

ENEXSS TCAD simulator was introduced.

3: Process of the 1st TEG chips was finished.



History(2)

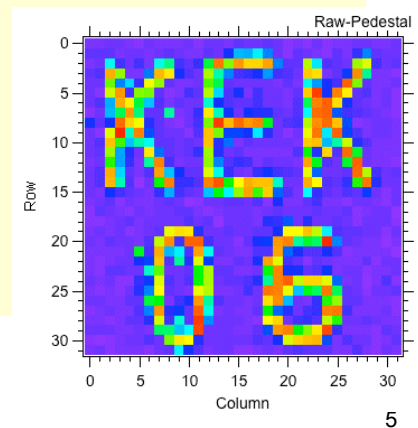
'06.4-7: Response to **Laser light** was measured in strip TEG.

First Picture was taken with 32x32 SOI Pixel.
Good response to **Sr⁹⁰ β-ray** was confirmed.

4-10: Presentation at conferences (SNIC06, STD6, Vertex, LECC, NSS, JSP ...)

12: **2nd TEG Submissions** by Multi Project Wafer (MPW) run with 17 designs.

'07.3 : **2nd TEG process** is almost finished. --> Test now!



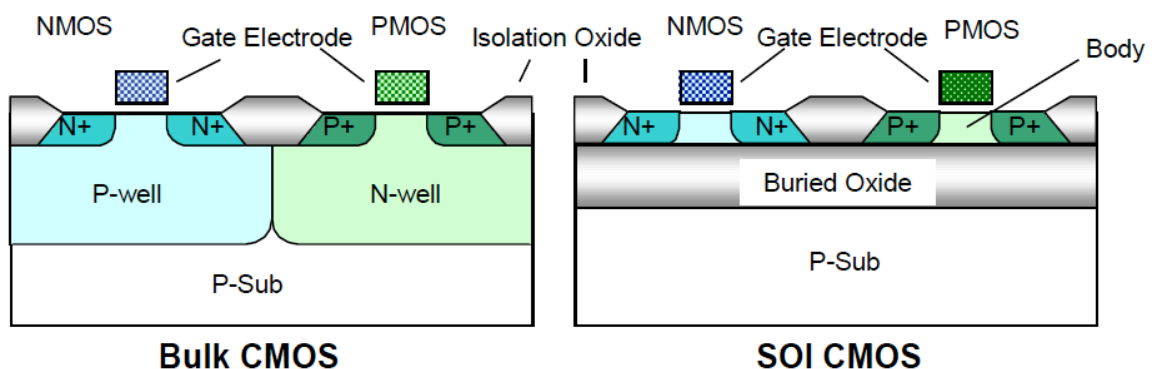
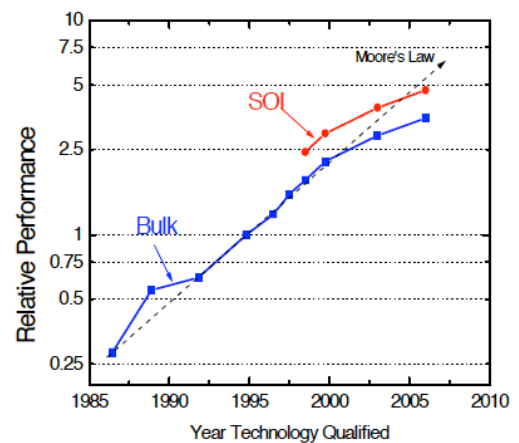
2007.3.6 yasuo.arai@kek.jp

5

Feature of SOI

--> Ida san's Talk

- Full Dielectric Isolation :
Latchup Free, Small Area
- Low Junction Capacitance :
High Speed, Low Power
- No Well junction, Thin Film :
Low Leakage, Low Vth Shift (~300 °C)
- Small Active Volume :
High Soft Error Immunity



Bulk CMOS

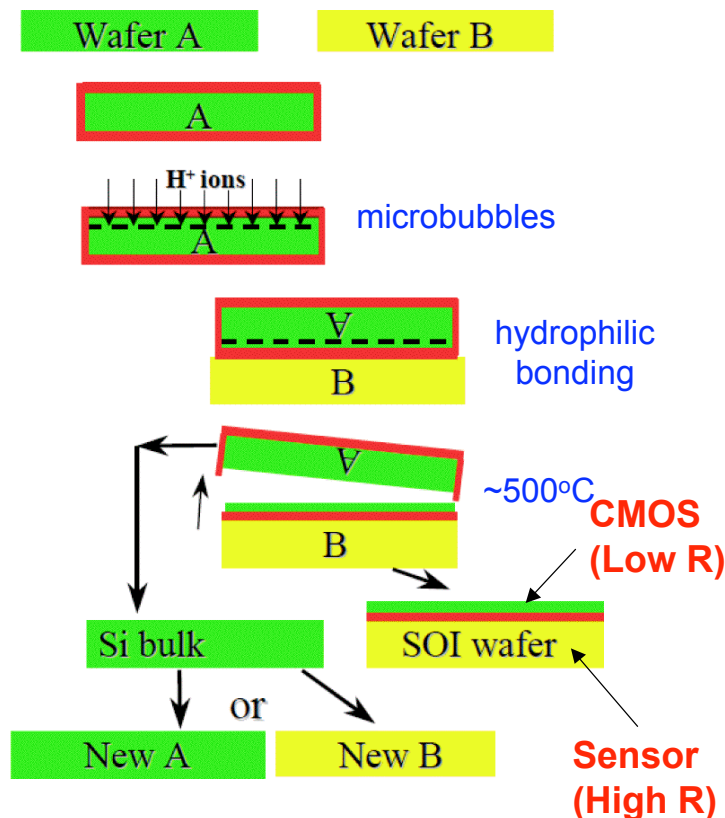
SOI CMOS

2007.3.6 yasuo.arai@kek.jp

6

SOI Wafer Fabrication (UNIBOND™, SOITEC)

- 1 Initial silicon wafers A & B
- 2 Oxidation of wafer A to create insulating layer
- 3 Smart Cut ion implantation induces formation of an in-depth weakened layer
- 4 Cleaning & bonding wafer A to the handle substrate, wafer B
- 5 Smart Cut - cleavage at the mean ion penetration depth splits off wafer A
- 6 Wafer B undergoes annealing, CMP and touch polish => SOI wafer complete
- 8 Split-off wafer A is recycled, becoming the new wafer A or B



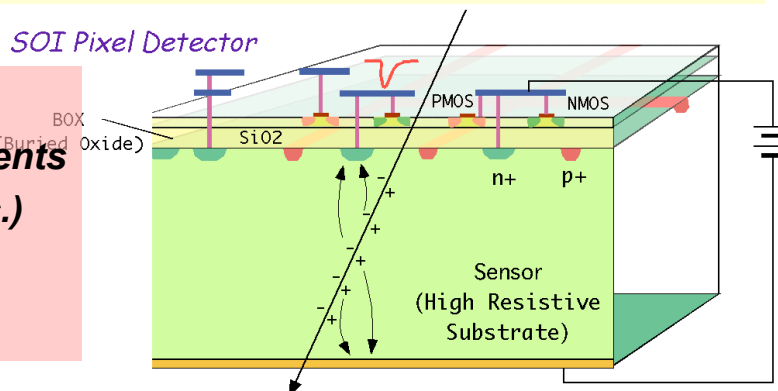
2007.3.6 yasuo.arai@kek.jp

7

Features of SOI Monolithic Pixel detector

- Bonded Wafer (**High Resistive** Substrate + **Low Resistive** Top Si).
- Standard CMOS Electronics (**NMOS**, **PMOS**, **MIM Cap** etc. can be used).
- Monolithic Detector, No Bump Bonds (**Lower cost**, **Thin Device**).
- High density (**Smaller Pixel Size** is possible).
- Small capacitance of the sense node (**High gain** $V=Q/C$)
- Industrial standard technology (**Cost benefit** and **Scalability**)

Explore possibility of SOI detector for future experiments (ILC, SLHC, Super-Belle etc.) and other applications (Medical, Material etc.)

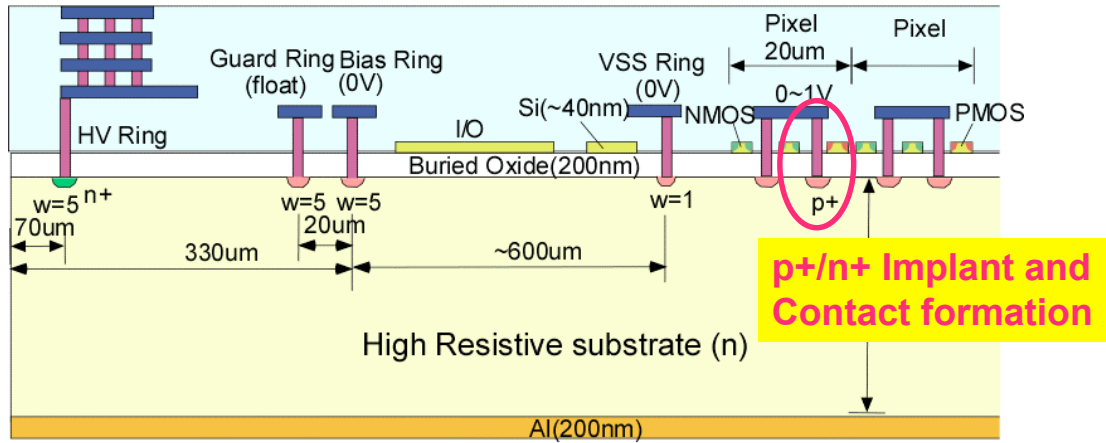


2007.3.6 yasuo.arai@kek.jp

8

SOI Pixel Process

Process	0.15 μm Fully-Depleted SOI CMOS process, 1 Poly, 5 Metal layers (OKI Electric Industry Co. Ltd.).
SOI wafer	Wafer Diameter: 150 mm ϕ , Top Si : Cz, $\sim 18 \Omega\text{-cm}$, p-type, $\sim 40 \text{ nm}$ thick Buried Oxide: 200 nm thick Handle wafer: Cz, $>1\text{k} \Omega\text{-cm}$ (n-type), 650 μm thick (SOITEC)
Backside	Thinned to 350 μm , and plated with Al (200 nm).

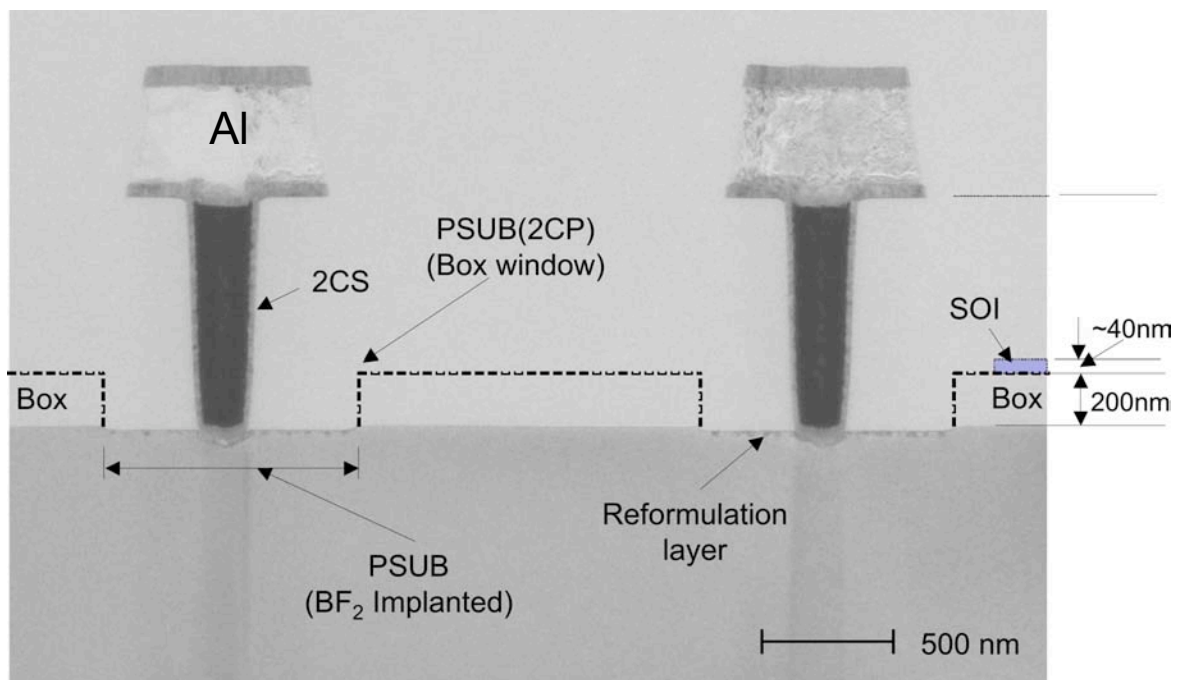


2007.3.6 yasuo.a

(This figure is not to scale)

9

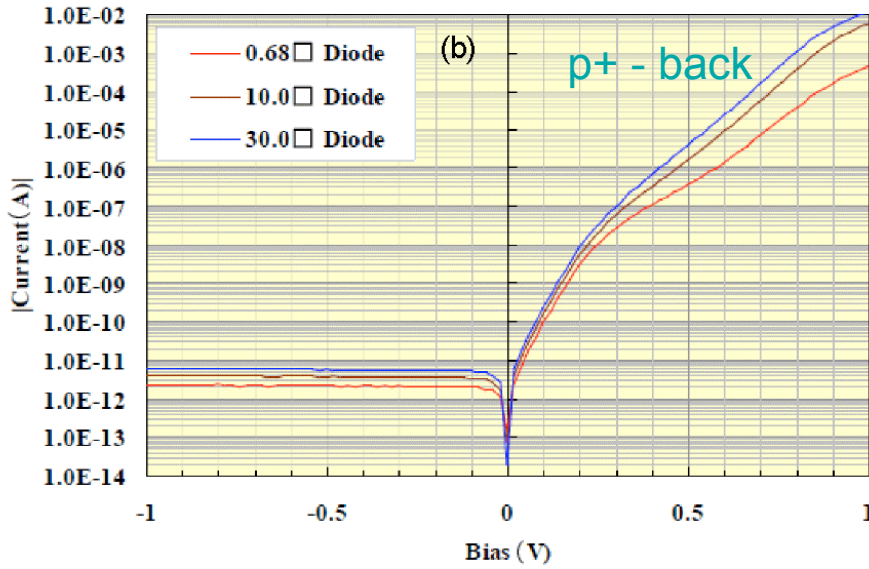
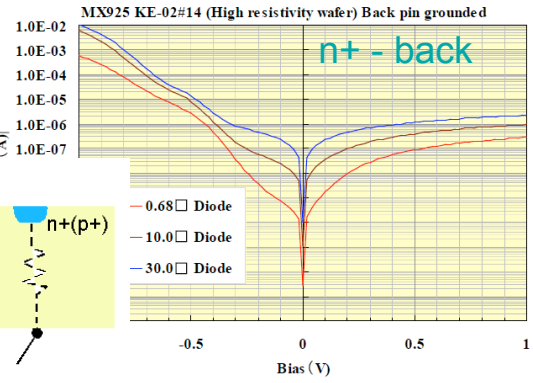
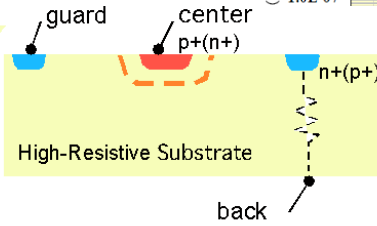
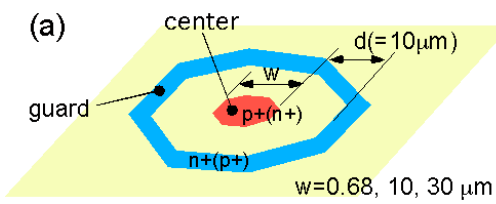
Metal contact & p+ implant



2007.3.6 yasuo.arai@kek.jp

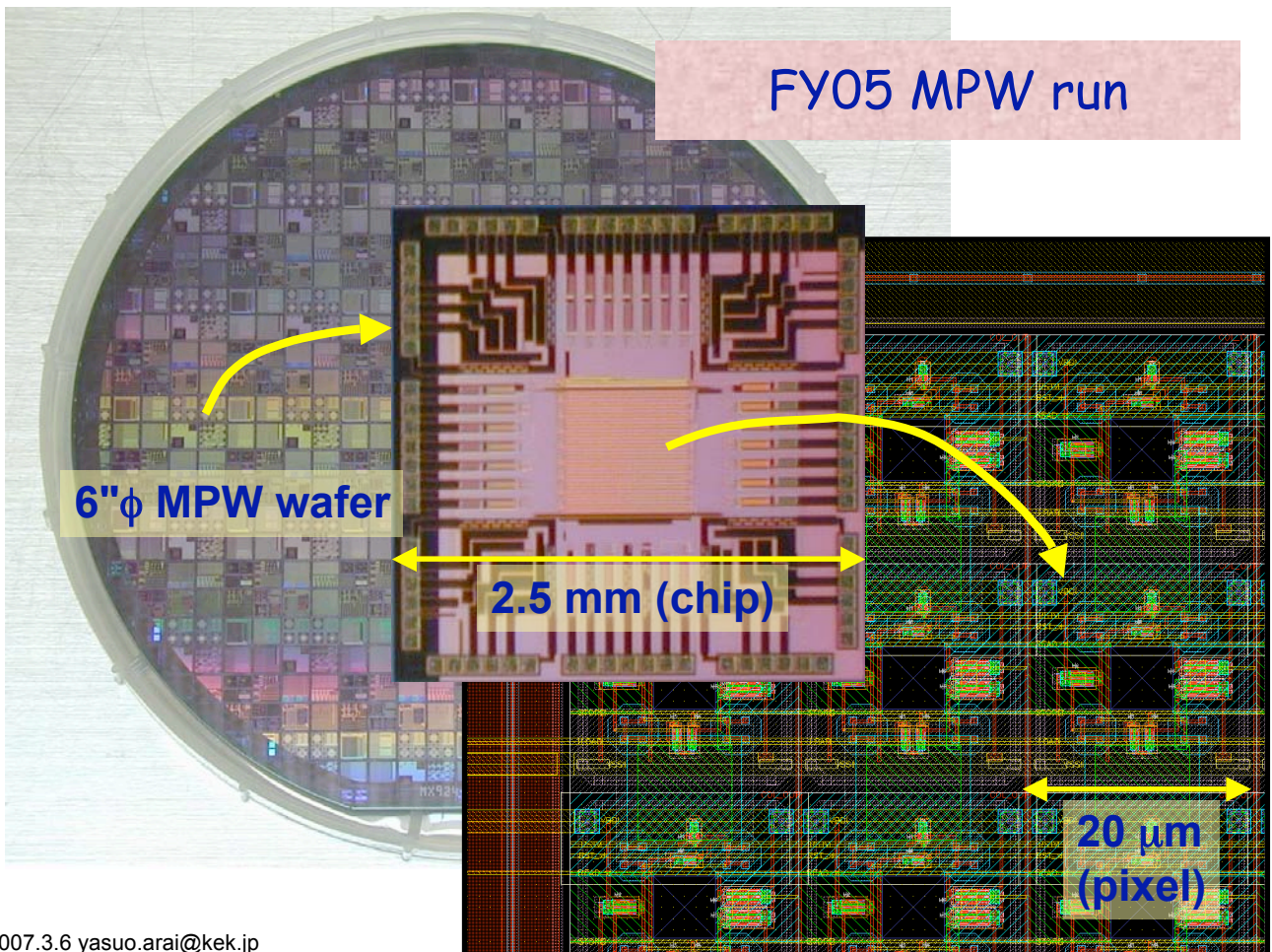
10

p-n junction I-V characteristics

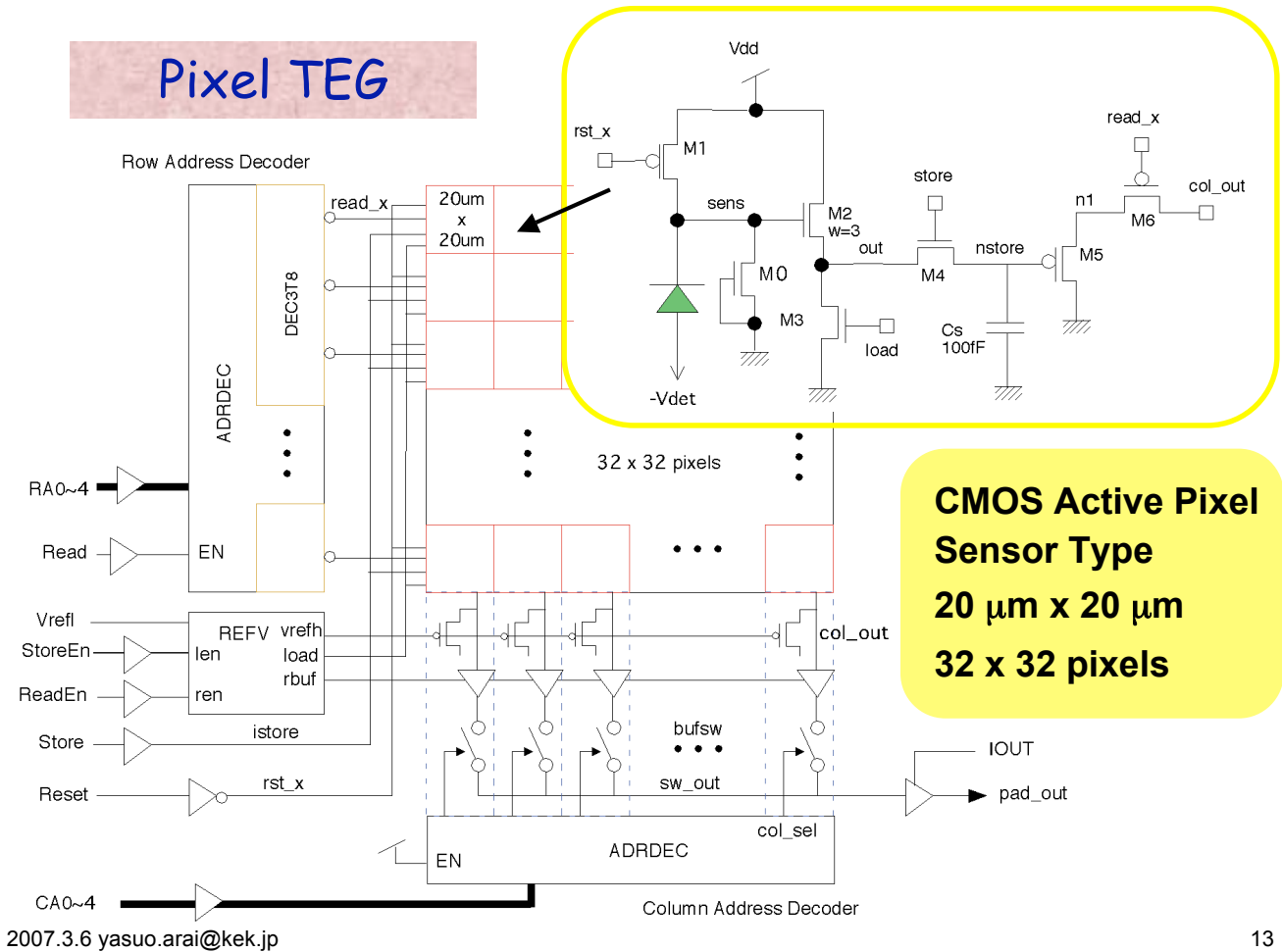


- Good Diode Characteristic
- Substrate is n type. $\sim 700 \Omega\text{-cm}$ ($\sim 6 \times 10^{12} \text{ cm}^{-3}$)

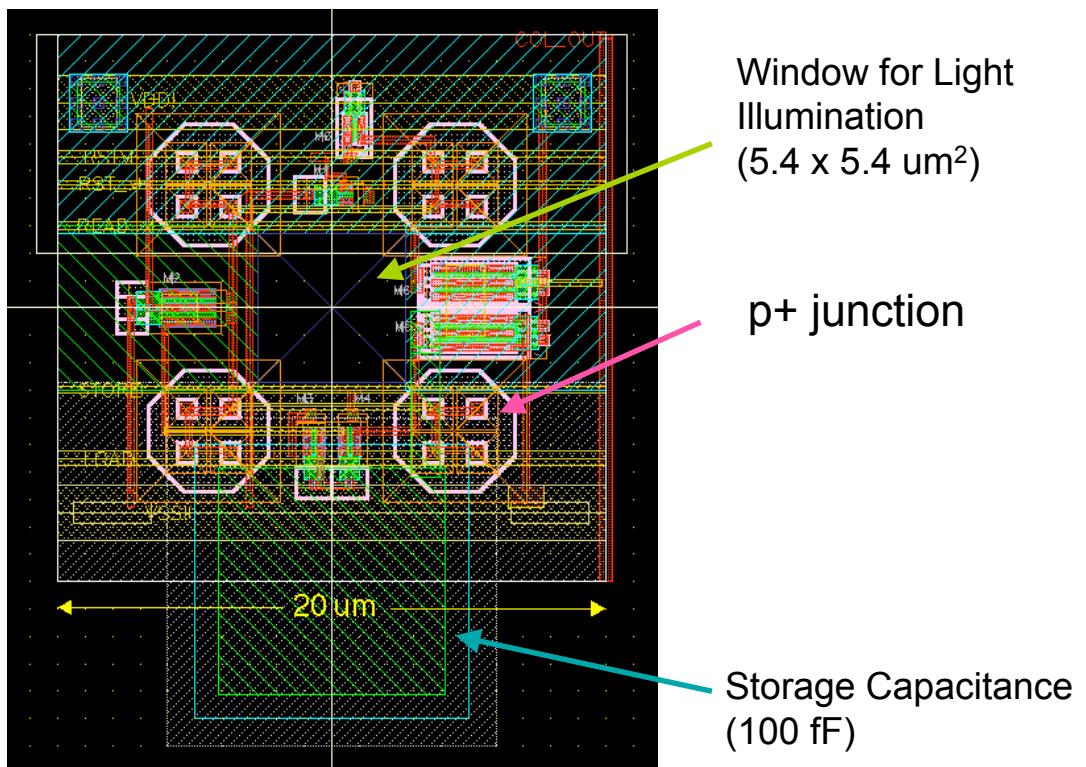
FY05 MPW run



Pixel TEG

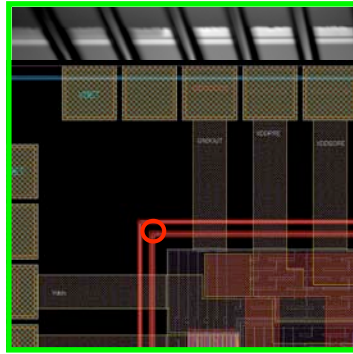
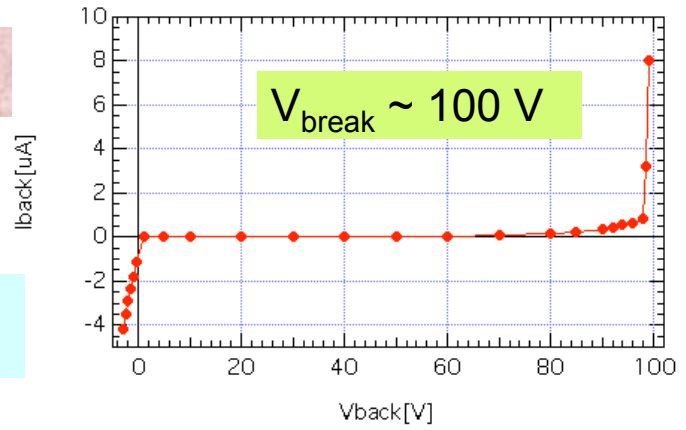


Pixel Layout

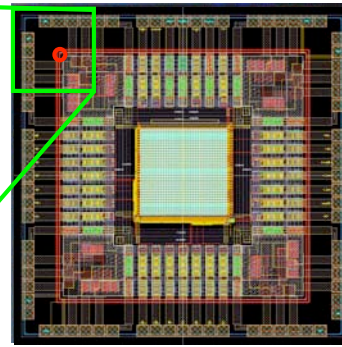


Pixel I-V characteristic

Hot Spot observed with infrared camera



$I = 40 \mu\text{A}$, $T = 1 \text{ min}$



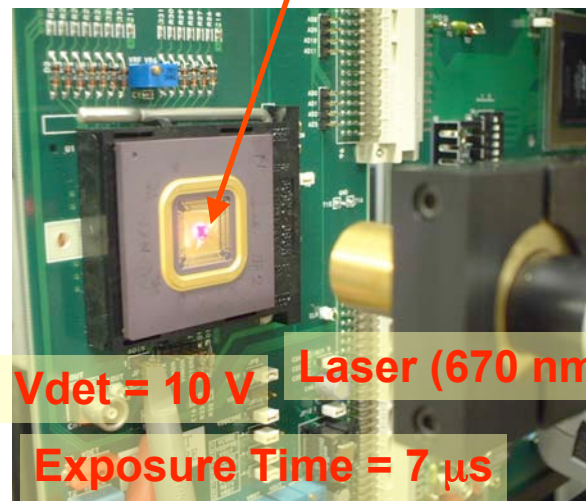
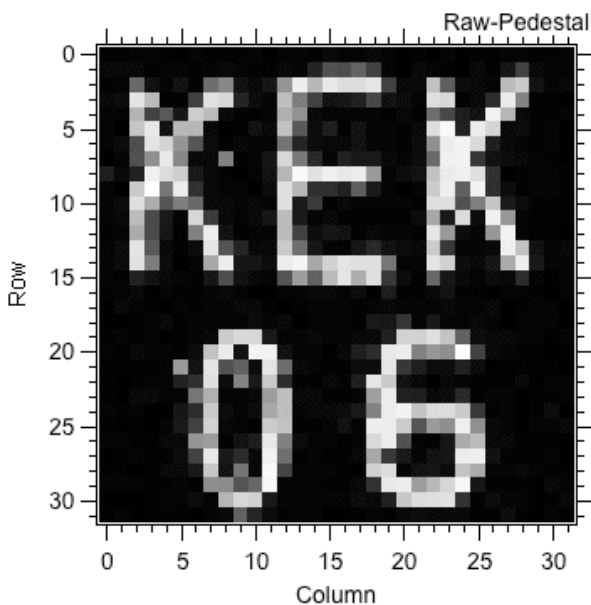
Corner of the bias ring

→ Smooth the corner at next submission.
(only 45° allowed by design rule in previous run. next $+30^\circ$ and 60°)

2007.3.6

Laser Image

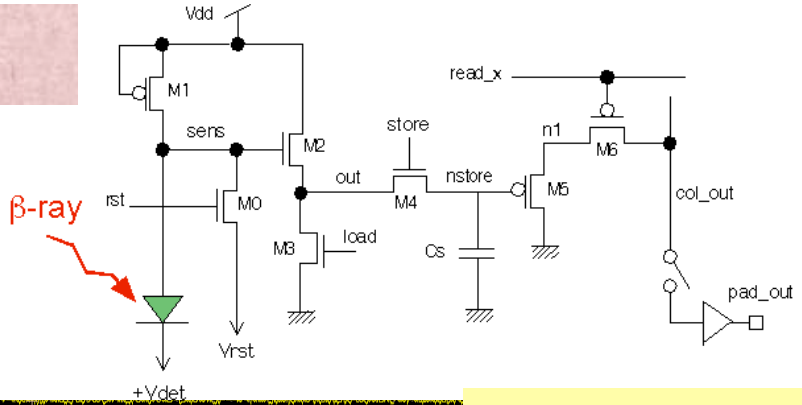
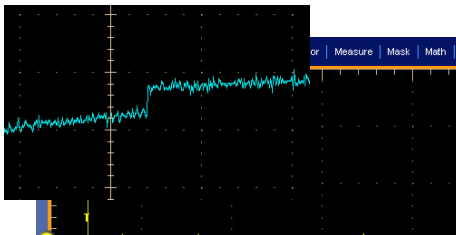
32x32 image view with 670nm Laser and plastic mask



2007.3.6 yasuo.arai@kek.jp

16

β-ray (⁹⁰Sr) Signals

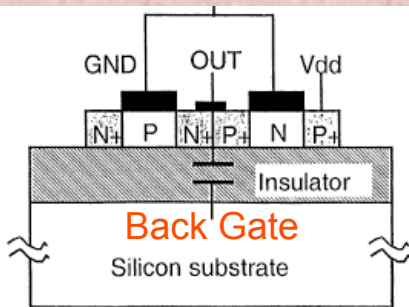


$$V_{sense} = \frac{Q}{C} \approx \frac{0.6 \text{ fC}}{8 \text{ fF}} = 70 \text{ mV}$$

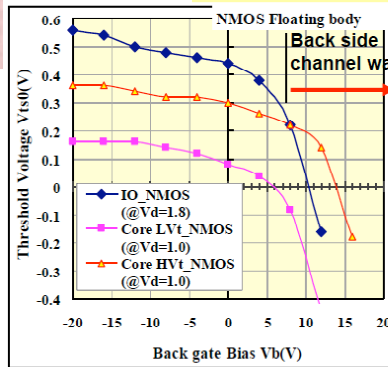
$V_{det} = 10 \text{ V}$
 $W_{depletion} \sim 44 \mu\text{m}$
 $Q \sim 3500 \text{ e} (0.6 \text{ fC})$

Expected signal amplitude was observed for β-ray.

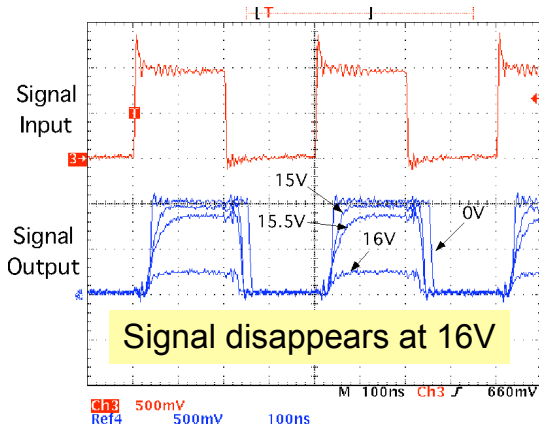
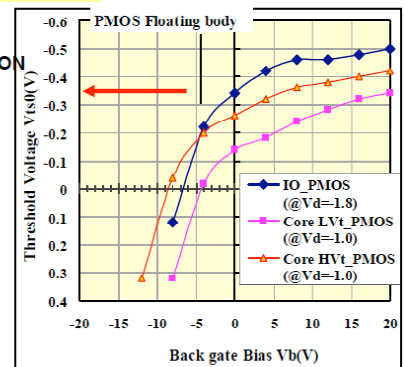
Back Gate Effect



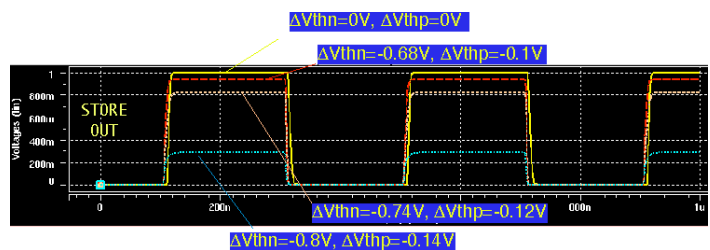
NMOS Threshold Variation



PMOS transistor



Substrate Voltage act as Back Gate, and change transistor threshold.

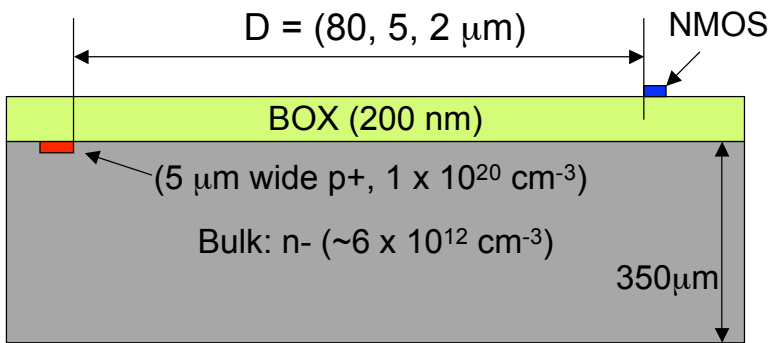
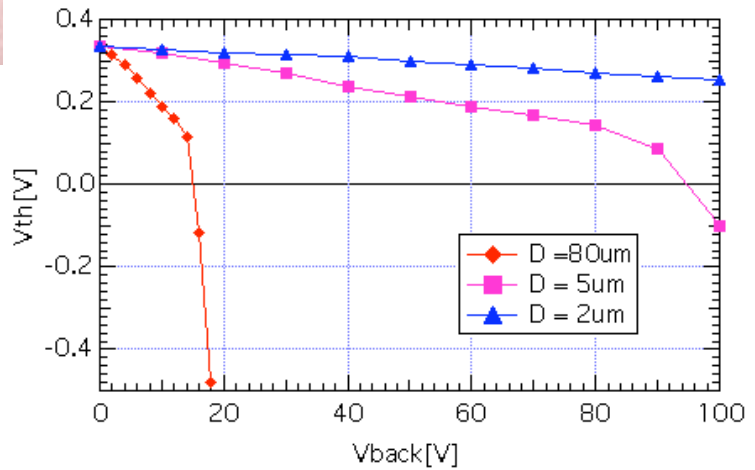


Consistent with SPICE simulation.

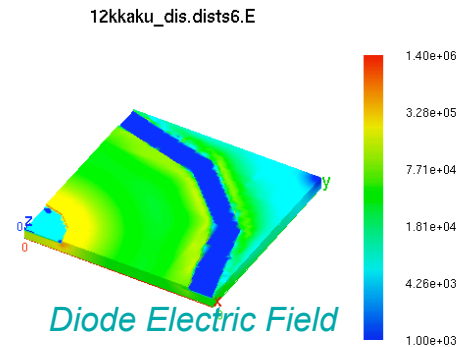
TCAD Simulations

ENEXSS :
3D TCAD Simulator

Back Gate effect can be reduced by placing p+ implant near transistors.



Backbias (0-100 V)



2007.3.6 yasuo.arai@kek.jp

Chip Thinning

- ▶ TOPページ Top Page
- ▶ 会社案内 Company Profile
- ▶ サービス内容 Business Activities
- ▶ お問い合わせ Inquiry
- ▶ 求人情報 Recruit

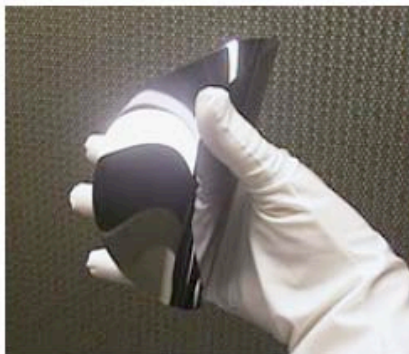
Moriya, Ibaraki
(near Tsukuba)

シリコン

Silicon

- ▶ シリコン
- ▶ 酸化物
- ▶ 化合物

シリコンウエーハの薄化



150φで厚さ50μmのSiウエーハ

写真はケミカル-メカニカルポリッシングにより両面研磨された150φSiウエーハで50μmの厚さを示します。

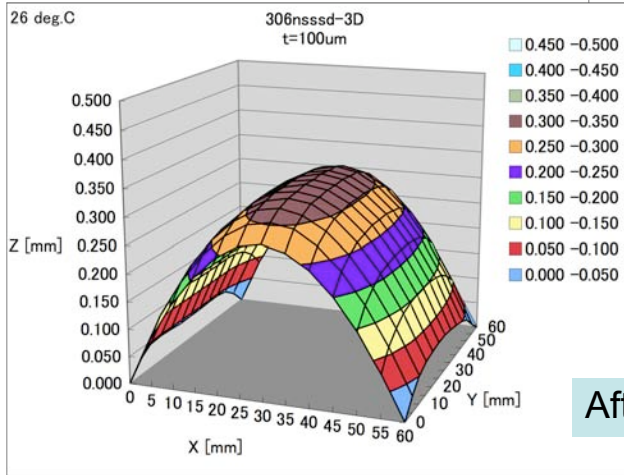
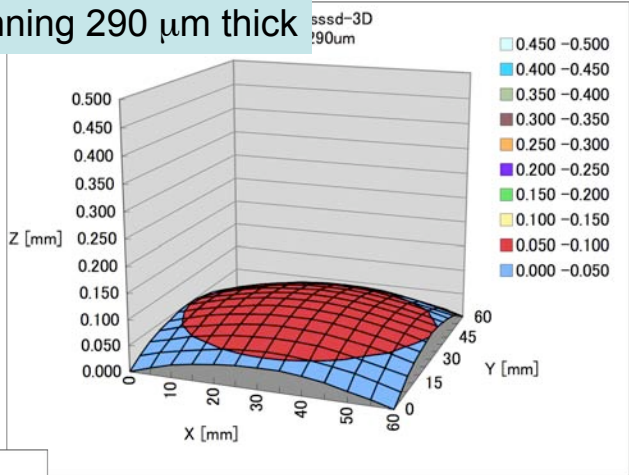
片面加工で薄くする技術を持ち合わせており、既にパターンが形成されているウエーハの裏面側を研磨加工し薄くする事も行っております。

薄くなるにつれワレやすくなりますが、グラインダーによる加工と比較すると加工歪みが少なく仕上げる事が可能となります。

CMP : Chemical Mechanical Polishing
--> ~30 μm thick

ATLAS Si Strip Thinning Test

Before Thinning 290 μm thick

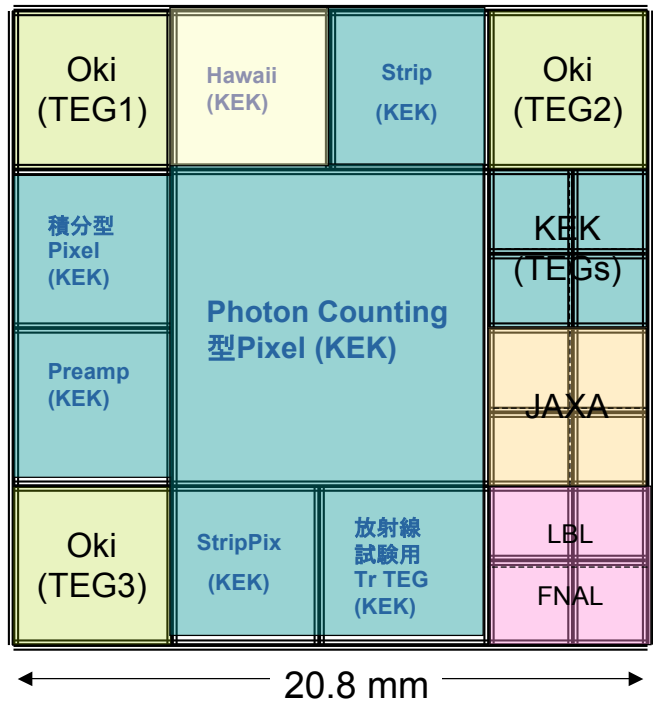


64 mm square sensor
X-axis : Strip direction

After Thinning 100 μm thick

FY06 SOI MPW Run

- * 17 designs were submitted on Dec. 5, 2006
- 2.4 mm x 2.4 mm --- 10 chips
- 5.0 mm x 5.0 mm --- 6 chips
- 10.2 mm x 10.2mm --- 1 chip



Top Cell Name	Chip size	Affiliation	Designer(s)
VARPIXEL	2.4 mm	Osaka Univ.	H. Miyake
TOPPIXN	2.4 mm	KEK	Y. Arai
OKI0612	2.4 mm	Tokyo Univ.	H. Takahashi, K. Shimazoe, Fuiwara
Achip	2.4 mm	LBL	P. Denes
OKI_TOP	2.4 mm	FNAL(BNL)	G. Deptuch
ATEG	2.4 mm	JAXA/ISAS	H. Ikeda
BTEG	2.4 mm	JAXA/ISAS	H. Ikeda
CTEG	2.4 mm	JAXA/ISAS	H. Ikeda
isas_set0612	2.4 mm	JAXA/ISAS	D. Kobayashi
RADFET1	2.4 mm	KEK	T. Tsuboyama
HawaiiNSUBSTRATE	5.0 mm	U. of Hawaii	E. Martin, G. Varner
detectorPOLY	5.0 mm	KEK	T. Tsuboyama
TOP_PIXELSTRIP	5.0 mm	KEK	Y. Ikegami, Y. Arai
TOP_8PREAMP	5.0 mm	KEK	Y. Ikegami
TOPTG2	5.0 mm	KEK	Y. Arai
TOPINTPIX	5.0 mm	KEK	Y. Arai
TOPCOUNT	10.2 mm	KEK	Y. Arai

Today's Talks!

Future Issues

- Wafer Thinning
--> Less material. Super-B, ILC...
- 3D Circuit
--> Higher density.
- Prepare Radiation Hard Cell Library
--> for Super-B, SLHC, Satellite ...
- More sophisticated structure (Avalanche ...) in SOI substrate ?
- Go to much fine process < 0.15 μm ?
- Larger Detector (Stitching?)
- Cost saving

Summary

- Since the SOI Detector R&D started, it will be 2 years shortly.
- At **First MPW run**(FY05), possibility of SOI pixel is confirmed.
- At **Second MPW run**(FY06), 17 designs had been submitted including designs by foreign lab.
- We are planning **Third MPW run in this Autumn**.
- We welcome more people to join this interesting technology.