

VME-RM マニュアル Ver. 0.1

Manabu Moritsu

June, 2010

1 概要

VME-RM (VME Receiver Module) は J-PARC K1.8 beamline での実験において、ネットワーク分散型 DAQ システムにおけるトリガータグ分配システム構築のために、実験グループと KEK エレクトロニクスグループとの協力により開発された一連のモジュールのひとつである。VME-RM は VME モジュールである GPIO にメザニンボードとして GPIO-RM を使用し、GPIO ボード上の CPLD および FPGA に VME-RM 用ファームウェアを実装することにより実現する。トリガータグ信号は MTM (Master Trigger Module) を介してイベントタグ (イベントナンバーおよびスピルナンバー) を付与した形で各データ収集系に分配される。VME-RM は、MTM から送られるトリガータグ信号およびイベントタグを VME 側で受け取るためのインターフェースモジュールである^{*1}。また、VME-RM は MTM に対して busy 信号を送出する機能を持ち、それらは MTM においてトリガータグの veto に使用される。トリガータグ配布システムに関して詳しくは [1] を参照。

なお、GPIO は KEK-VME J0 バスから電源を供給されているので J0 バスラインのある KEK-VME クレートをを用いる必要がある。

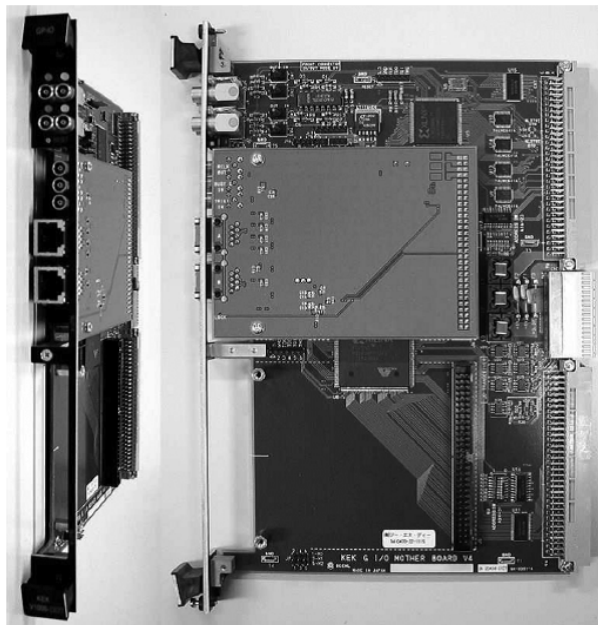


図 1: GPIO (GPIO-RM メザニンボード装着時)

^{*1}この他に、COPPER, TKO, FERA, CAMAC に対応した RM がそれぞれ存在する。

2 入出力信号

信号の入出力はフロントパネルの RJ-45 コネクタと LEMO コネクタおよびバックプレーンの VME バスラインを通じておこなう。

2.1 RJ-45 I/O

RJ-45 コネクタはフロントパネルに 2 つ (A,B) あり、それぞれ MTM 側の A,B と LAN ケーブルによって接続する。信号は M-LVDS である。各ケーブル内の信号のアサインは表 1 を参照。Event Tag はシリアルに伝送され、GPIO-RM 内の回路において Event# (12 bit) と Spill# (8bit) にデシリアライズされる。B のケーブルが MTM と正しく接続されている場合には、GPIO-RM の基板上の LOCK LED が緑色に点灯している。

表 1: MTM-RM 間の伝送信号のアサイン

Connector	Twisted Pair	Direction	Signal
A	(1+2)	MTM→RM	Spill Number Increment
A	(3+6)	MTM→RM	Trigger2
A	(4+5)	MTM→RM	Clear
A	(7+8)	MTM→RM	Trigger1
B	(1+2)	MTM→RM	Event Tag (serialized signals = Event# + Spill#)
B	(3+6)	MTM→RM	Reserve1
B	(4+5)	RM→MTM	Busy
B	(7+8)	RM→MTM	Reserve2

2.2 LEMO I/O

GPIO フロントパネル上には 4 つの LEMO コネクタ、GPIO-RM の基盤上には 3 つの LEMO コネクタがあり、各入出力信号は NIM レベルである。

< GPIO フロントパネル >

基板上のスイッチによって各コネクタ毎に入力/出力の切り替えができるようになっており、その状態はそれぞれ LED により確認できる (入力設定時は緑、出力設定時は赤)。各コネクタに割り当てられている入出力信号は表 2 の通りである。

< GPIO-RM >

各コネクタに割り当てられている入出力信号は以下の通りである。

- RCLK-OUT Received Clock 信号出力。MTM と TKO-RM の間の信号伝送に用いられている Clock 信号の出力。
- BUSY_C-IN BUSY 信号の入力。LAN ケーブルを通して MTM に送られる。

表 2: GPIO フロントパネル上 LEMO I/O の信号アサイン

Connector	I/O	Signal	Description
A	IN	BZYC	BUSY 信号の入力
	OUT	RCLK	Received Clock 信号の出力
B	IN	RSV2-IN	Reserve2 信号の入力
	OUT	BUSY	BUSY 信号の出力
C	IN		
	OUT	TRIG1	Trigger1 信号の出力
D	IN		
	OUT	TRIG2	Trigger2 信号の出力

- TRIG1-IN Trigger1 信号の入力。Trigger1 は、通常は LAN ケーブルを通して入力されるが、この LEMO コネクタからの入力も可能である。その場合、MTM からの TRG1 信号との OR が Trigger1 信号となる。

3 Firmware

GPIO には CPLD(Xilinx XC95288XL-TQ144) と FPGA(Xilinx XCV150-PQ240) が搭載されており、基本的には CPLD によって VME プロトコルを制御し、FPGA によってデータ処理をおこなう。

現在最新のファームウェアは CPLD に対しては version 1.1 (2010 年 6 月更新)、FPGA に対しては version 2.1 (2010 年 6 月更新) である。

なお、FPGA には COPPER-RM の機能もそのまま残してあるので同じファームウェアによって COPPER-RM としても使用可能である*2。

GPIO-RM メザニンボードは GPIO のスロット A に装着すること。

ファームウェアの基本的仕様は、MTM から送られたイベントタグを VME サイクルに従って通常の VME モジュールと同様にデータとしてバックプレーンの VME バスラインに流すことである。以下に仕様を列挙する。

- A32, D32 データ転送にのみ対応する。
- 以下の AM コードでのアクセスを許可する。
 - 拡張非特権データ・アクセス (0x09)
 - 拡張非特権プログラム・アクセス (0x0A)
 - 拡張スーパーバイザリー・データ・アクセス (0x0D)
 - 拡張スーパーバイザリー・プログラム・アクセス (0x0E)
- データ読み出しのみに対応する (書き込み不可)。

*2COPPER-RM は VME-RM と同様に GPIO に GPIO-RM メザニンボードを装着することにより実装される。VME-RM との違いはトリガータグを J0 バスを使って COPPER に送出する点であり、VME プロトコルには無関係なため CPLD は使用しない。

Data Format

VME バスラインに流すデータのフォーマットを表 3 に示す。基本的にはベースアドレス BA + 0 long word が Event#、BA + 2 lw が Spill# である。ただし各アドレスの MSB には LOCK 信号が入っており、通常は常に 1 である。また、デバッグおよびチェックの目的で BA + 4 lw に Serial# を入れている。Serial# とは、BA+4 がアクセスされる度にインクリメントする 31 ビットの一連のナンバーである。

表 3: VME-RM の各アドレスにおける Data Format

Address	31	30 ... 12	11	10	9	8	7	6	5	4	3	2	1	0	
BA+0	L	0 ... 0	Event # (12 bit)												
BA+2	L	0 ... 0						Spill # (8 bit)							
BA+4	L	Serial # (31 bit)													

参考文献

- [1] Igarashi *et al.*, "An Integrated Data Acquisition System for J-PARC Hadron Experiments", IEEE Trans. Nucl. Sci. **57**, 618 (2010)