
高度センサー信号処理のための Analog-VLSI Open-IP(9)

池田 博一*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 8 月 22 日

概要

高機能高性能の Analog-VLSI を短時間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第九部では、汎用増幅回路に関する IP を取り扱います。また、これらを用いたピーク検出回路についてもその構成例を提示します。

目次

1 汎用増幅回路の IP	153
2 ピークホールド回路の IP	160
A ワンショットタイマー	164
A 来歴	165

表目次

1 汎用増幅回路の IP 一覧	153
1 汎用増幅回路の IP 一覧	154
2 ピークホールド回路の IP 一覧	160

図目次

1 汎用増幅回路 IP のシンボル一覧	154
2 SHPR1 回路	154
3 SHPR2 回路	155
4 OP1 回路	156
5 OP1B 回路	157
6 OP2 回路	158
7 OP3 回路	159
8 ピークホールド回路 IP のシンボル一覧	160

*ikedada.hirokazu@jaxa.jp

9	SW0 回路	161
10	PH1 回路	161
11	PH2 回路	162
12	PH3 回路	162
13	OST 回路	164
14	OST 回路の試験回路	165

1 汎用増幅回路の IP

汎用増幅回路とは、個別部品として提供されている演算増幅器に相当するものです。

個別部品としての演算増幅器は、様々な応用に対応できるようになっていますが、これを直接集積回路の構成要素として導入すると、消費電力、シリコンの占有面積等の観点から必ずしも得策ではありません。また、サブミクロンの CMOS では電源電圧の制限から設計上の制約が発生します。

そこで、本 IP では、様々な用途に対応するため類型的汎用増幅回路の IP を提示することにしました。

表 1 には、ここに提供する汎用増幅回路の IP の一覧を示しました。また、図 1 には、対応する回路ブロックをシンボルを掲げました。

表 1: 汎用増幅回路の IP 一覧

回路名称	用途	具体的適用
SHPR1	nMOS 入力	整形増幅器
SHPR2	pMOS 入力	整形増幅器
OP1	nMOS 入力	低負荷、バッファ回路
OP1B	nMOS 入力	OP1 の変形回路
OP2	nMOS 入力	中負荷、内部バス出力
OP3	nMOS 入力、クラス AB	高負荷、ピークホールド回路

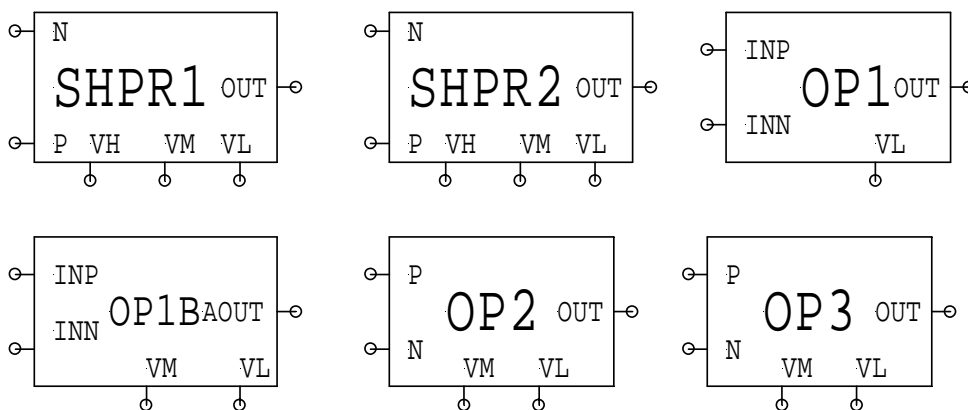


図 1: 汎用増幅回路 IP のシンボル一覧

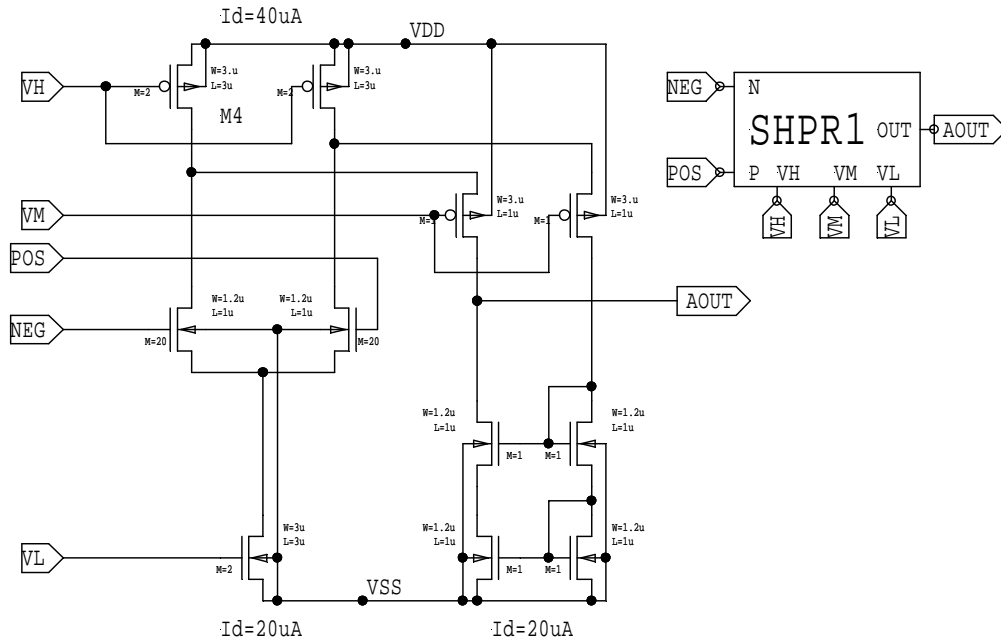


图 2: SHPR1 回路

```
.SUBCKT SHPR1 AOUT NEG POS VH VL VM
M1 N33 VL VSS VSS nch L=3u W=3u M=2
M2 AOUT VM N34 VDD pch L=1u W=3.u M=1
M3 N34 NEG N33 VSS nch L=1u W=1.2u M=20
M4 N35 POS N33 VSS nch L=1u W=1.2u M=20
M5 AOUT N43 N23 VSS nch L=1u W=1.2u M=1
M6 N23 N30 VSS VSS nch L=1u W=1.2u M=1
M7 N43 N43 N30 VSS nch L=1u W=1.2u M=1
M8 N30 N30 VSS VSS nch L=1u W=1.2u M=1
M9 N34 VH VDD VDD pch L=3u W=3.u M=2
M10 N35 VH VDD VDD pch L=3u W=3.u M=2
M11 N43 VM N35 VDD pch L=1u W=3.u M=1
.ENDS
```

```
.SUBCKT SHPR2 AOUT NEG POS VH VL VM
M4 N9 VH Vdd Vdd pch L=3u W=3.u M=2
M5 N7 NEG N9 N9 pch L=1u W=3.u M=20
M6 N11 POS N9 N9 pch L=1u W=3.u M=20
M7 N7 VL Vss Vss nch L=3u W=3u M=2
M8 N11 VL Vss Vss nch L=3u W=3u M=2
M9 AOUT VM N7 Vss nch L=1u W=3.u M=1
M10 N30 VM N11 Vss nch L=1u W=3.u M=1
M11 AOUT N30 N39 Vdd pch L=1u W=3.u M=1
```

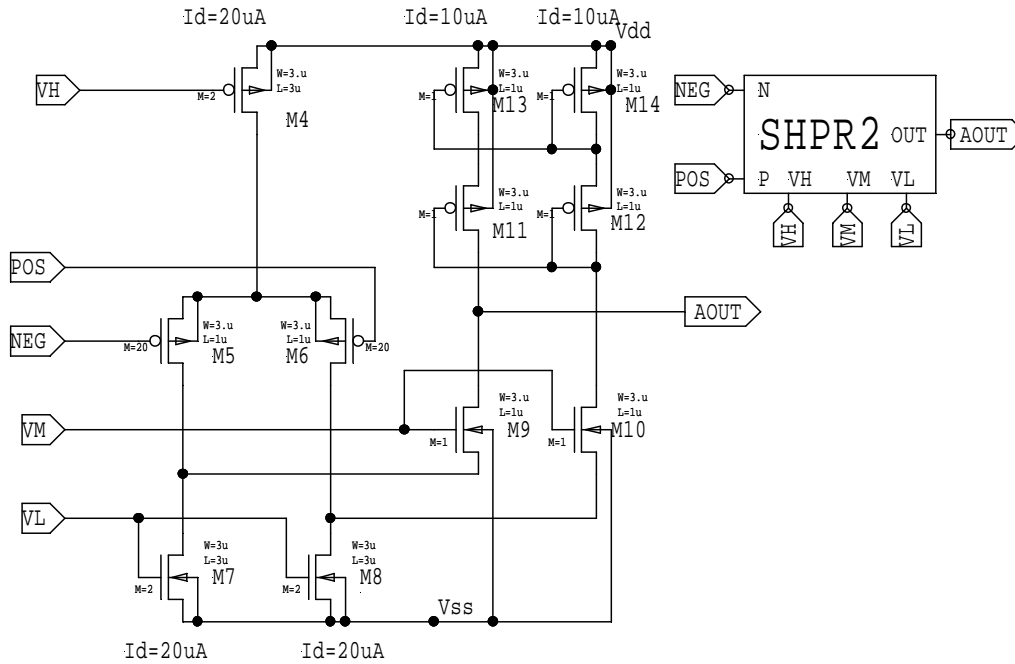


图 3: SHPR2 回路

```
M12 N30 N30 N42 Vdd pch L=1u W=3.u M=1
M13 N39 N42 Vdd Vdd pch L=1u W=3.u M=1
M14 N42 N42 Vdd Vdd pch L=1u W=3.u M=1
.ENDS
```

```
.SUBCKT OP1 AOUT INN INP VL
M1 N4 INP N2 VSS nch L=1u W=1.2u M=10
M2 AOUT INN N2 VSS nch L=1u W=1.2u M=10
M3 N2 VL VSS VSS nch L=3u W=3u M=2
M4 AOUT N4 VDD VDD pch L=1u W=3u M=1
M5 N4 N4 VDD VDD pch L=1u W=3u M=1
.ENDS
```

```
.SUBCKT OP1B AOUT INN INP VL VM
M1 N6 N6 VDD VDD pch L=1u W=3u M=1
M2 N4 N6 VDD VDD pch L=1u W=3u M=1
M3 N6 INP N2 VSS nch L=1u W=1.2u M=10
M4 N7 INN N2 VSS nch L=1u W=1.2u M=10
M5 N2 VL VSS VSS nch L=3u W=3u M=2
M6 N5 N1 VSS VSS nch L=1u W=3u M=1
M7 N1 N1 VSS VSS nch L=1u W=3u M=1
M8 AOUT VM N5 VSS nch L=1u W=3u M=1
M9 N7 N7 VDD VDD pch L=1u W=3u M=1
```

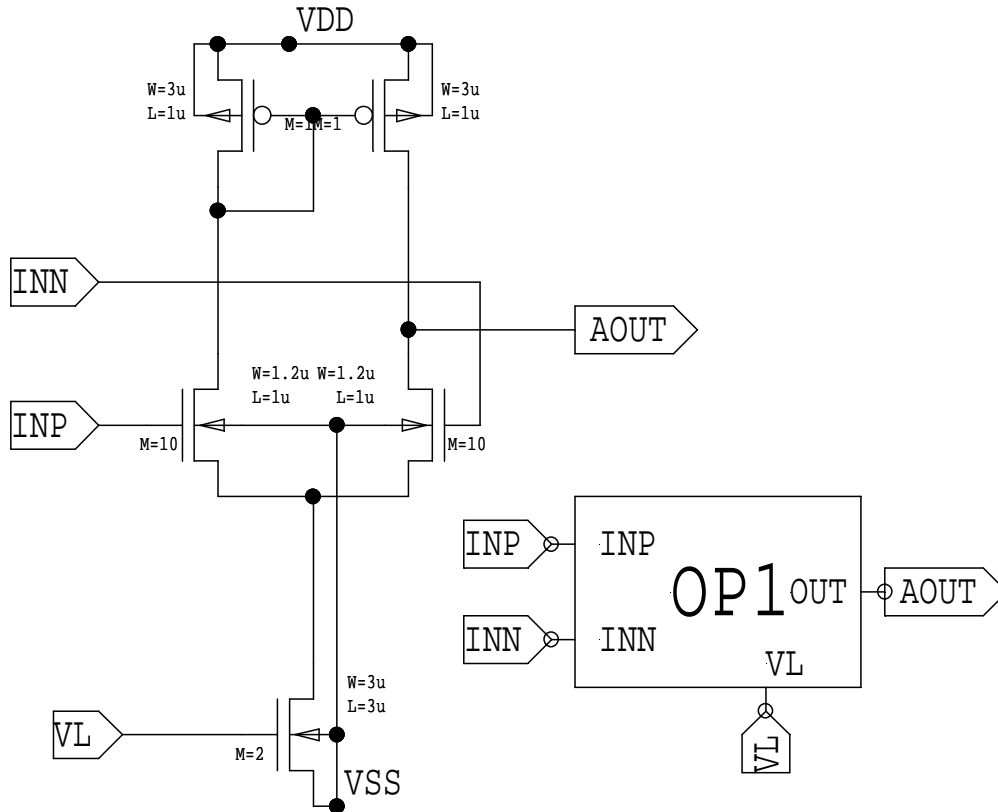


图 4: OP1 回路

```
M10 N3 N7 VDD VDD pch L=1u W=3u M=1
M11 N1 VM N3 VDD pch L=1u W=3u M=1
M12 AOUT VM N4 VDD pch L=1u W=3u M=1
.ENDS
```

```
.SUBCKT OP2 AOUT INN INP VL VM
C1 N34 N2 0.2pF
M2 N35 VL VSS VSS nch L=3u W=3u M=1
M3 AOUT VM N35 VSS nch L=1u W=3u M=1
M4 N2 VDD AOUT VSS nch L=1u W=1.2u M=1
M5 N37 N34 VDD VDD pch L=1u W=3u M=1
M6 AOUT VM N37 VDD pch L=1u W=3u M=1
M7 AOUT VSS N2 VDD pch L=1u W=3u M=1
XOP1_1 N34 INP INN VL OP1
.ENDS
```

```
.SUBCKT OP3 AOUT INN INP VL VM
C1 N3 N9 0.2pF
C2 N5 N9 0.2pF
```

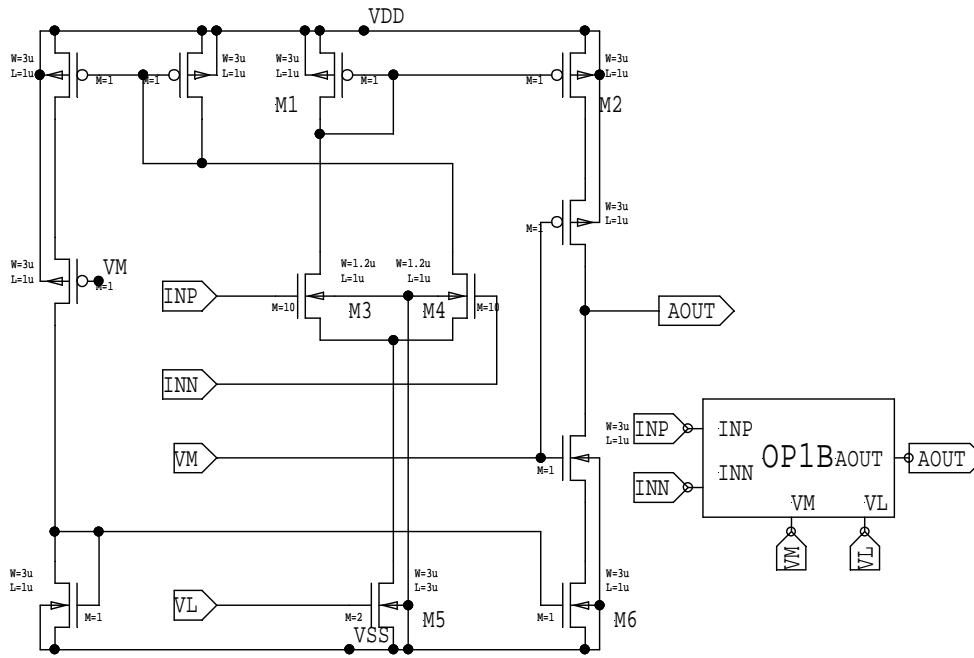


图 5: OP1B 回路

```

M3 N1 N5 VSS VSS nch L=3u W=3u M=1
M4 AOUT VM N1 VSS nch L=1u W=3u M=1
M5 N9 VDD AOUT VSS nch L=1u W=1.2u M=1
M6 VDD N3 N5 VSS nch L=1u W=1.2u M=1
M7 N5 VL VSS VSS nch L=3u W=3u M=1
M8 N4 N3 VDD VDD pch L=1u W=3u M=1
M9 AOUT VM N4 VDD pch L=1u W=3u M=1
M10 AOUT VSS N9 VDD pch L=1u W=3u M=1
XOP1_1 N3 INP INN VL OP1
.ENDS

```


2 ピークホールド回路の IP

ピークホールド回路は、整形増幅器の出力信号の最大値を捕捉してそれを維持するようになっている回路です。

信号の最大値を補足するためにピークホールド回路には、ホールド容量を充電するための電流を単方向化する必要があります。

単方向化の手段によって、ピークホールド回路にはバリエーションが発生します。表 2 には、ピークホールド回路の IP の一覧を示しました。また、図 8 には、対応する回路ブロックのシンボルを示してあります。

表 2: ピークホールド回路の IP 一覧

回路名称	用途	具体的適用
PH1	単方向化：接合ダイオードの back-to-back 結合	ホールド特性良好。
PH2	単方向化：接合ダイオード	ホールド特性良好。
PH3	単方向化：pMOS トランジスタのダイオード結合	サグが小さい。

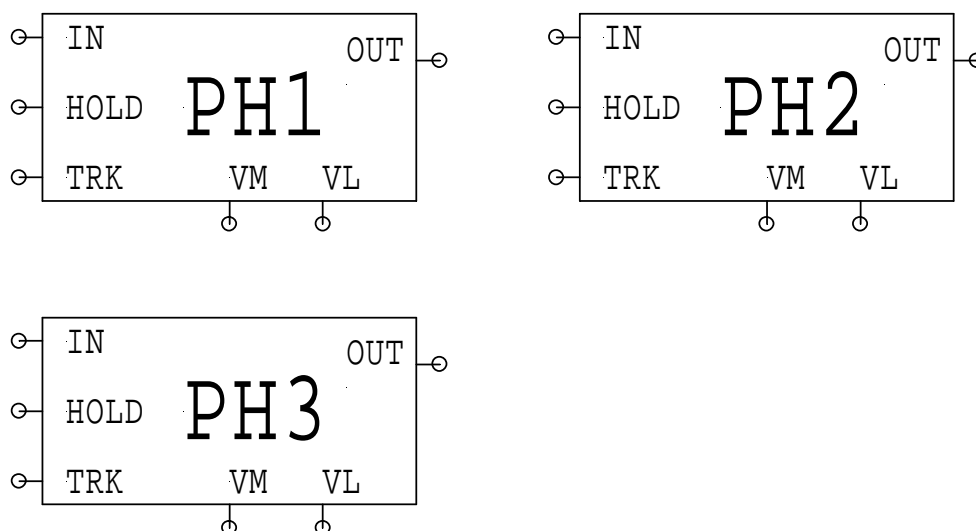


図 8: ピークホールド回路 IP のシンボル一覧

ここで、PH2 は、ソース・ドレイン拡散と n-well 間の接合ダイオードを用いたピークホールド回路、PH1 は、接合ダイオードを back-to-back ダイオードスイッチとして用いたピークホールド回路、さらに PH3 は、pMOS トランジスタのダイオード結合を用いたピークホールド回路になっています。これらの回路においては、出力ダイナミックレンジを最大限に広げることを目的として汎用増幅器 IP の中から OP3 を選択して使用しています。

```
.SUBCKT SW0 IN ON OUT
Xinv1_1 ON ONB inv1
M1 OUT ONB IN VDD pch L=0.4u W=1.2u M=2
M2 IN ON IN VDD pch L=0.4u W=1.2u M=1
```

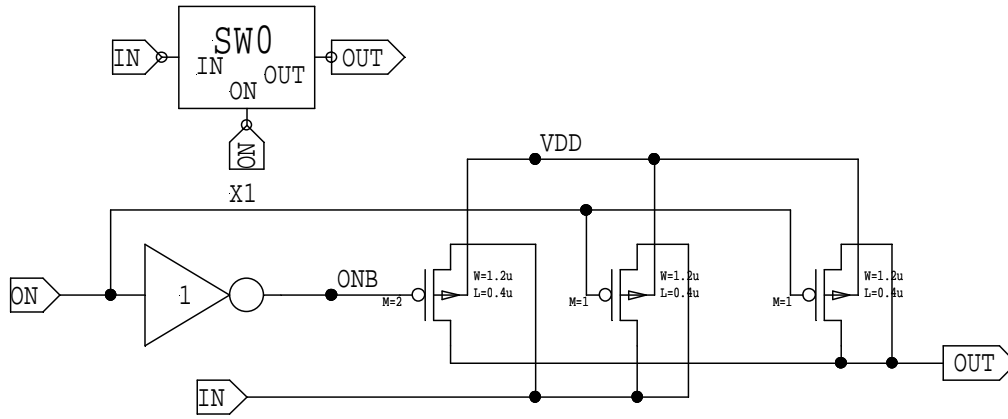



图 9: SW0 回路

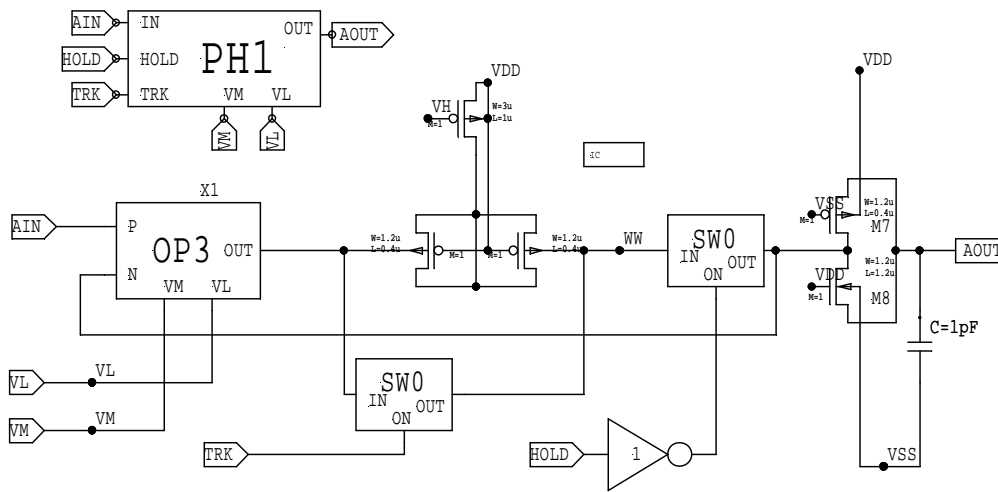


图 10: PH1 回路

```
M3 OUT ON OUT VDD pch L=0.4u W=1.2u M=1
.ENDS
```

```
.SUBCKT PH1 AIN AOUT HOLD TRK VL VM
X4 HOLD N6 inv1
C1 AOUT VSS 1pF
.ic v(WW,AOUT)=0
M2 N5 VSS AOUT VDD pch L=0.4u W=1.2u M=1
M3 N5 VDD AOUT VSS nch L=1.2u W=1.2u M=1
M4 N1 VDD N1 WW pch L=0.4u W=1.2u M=1
M5 N1 VDD N1 N4 pch L=0.4u W=1.2u M=1
M6 N1 VH VDD VDD pch L=1u W=3u M=1
```

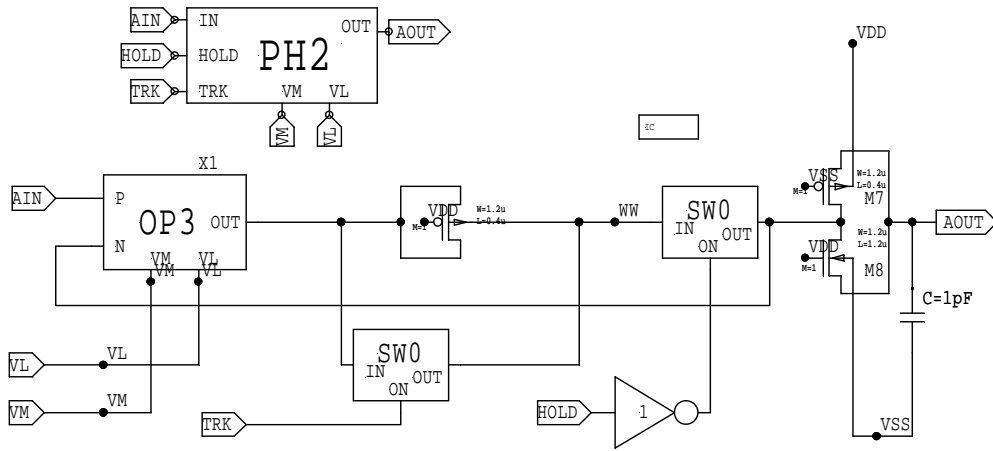


图 11: PH2 回路

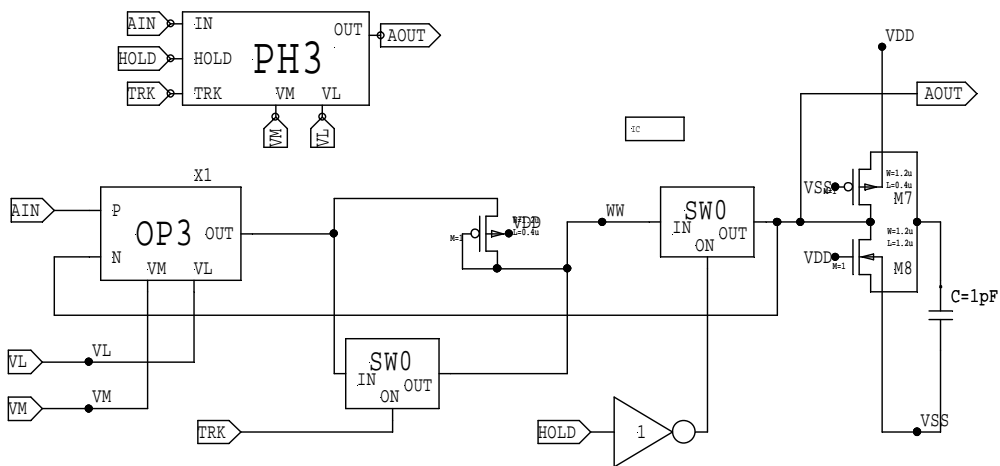


图 12: PH3 回路

XOP3_1 N4 N5 AIN VL VM OP3

XSWO_1 WW N6 N5 SWO

XSWO_2 N4 TRK WW SWO

.ENDS

.SUBCKT PH2 AIN AOUT HOLD TRK VL VM

X4 HOLD N4 inv1

C1 AOUT VSS 1pF

.ic v(WW,AOUT)=0

M2 N1 VSS AOUT VDD pch L=0.4u W=1.2u M=1

M3 N1 VDD AOUT VSS nch L=1.2u W=1.2u M=1

M4 N3 VDD N3 WW pch L=0.4u W=1.2u M=1

XOP3_1 N3 N1 AIN VL VM OP3

XSWO_1 WW N4 N1 SWO

```
XSWO_2 N3 TRK WW SWO
```

```
.ENDS
```

```
.SUBCKT PH3 AIN AOUT HOLD TRK VL VM
```

```
X4 HOLD N2 inv1
```

```
C1 AOUT VSS 1pF
```

```
.ic v(WW,AOUT)=0
```

```
M2 N1 VSS AOUT VDD pch L=0.4u W=1.2u M=1
```

```
M3 N1 VDD AOUT VSS nch L=1.2u W=1.2u M=1
```

```
M4 WW WW N3 VDD pch L=0.4u W=1.2u M=1
```

```
XOP3_1 N3 N1 AIN VL VM OP3
```

```
XSWO_1 WW N2 N1 SWO
```

```
XSWO_2 N3 TRK WW SWO
```

```
.ENDS
```

A ワンショットタイマー

ピークホールド回路は、整形増幅回路の出力信号のピーク値を捕捉するようになっている回路ですが、ホールド後時間経過とともに電圧値がゆっくり変動し本来の値からずれていくことがあります。このような場合にピーク値が捕捉された後速やかにその値をサンプルホールドすることができれば便宜です。そこで、整形増幅器の出力信号がコンパレータの閾値を過ぎた時間等を基準として一定の時間後にピークホールド回路の出力信号にサンプルホールドをかける回路構成があり得ます。

また、集積回路に電源を投入する際に初期化信号を発生する目的でも使用することができます。ここでは、このような回路において用いられるワンショットタイマーの回路のIPを提示します。

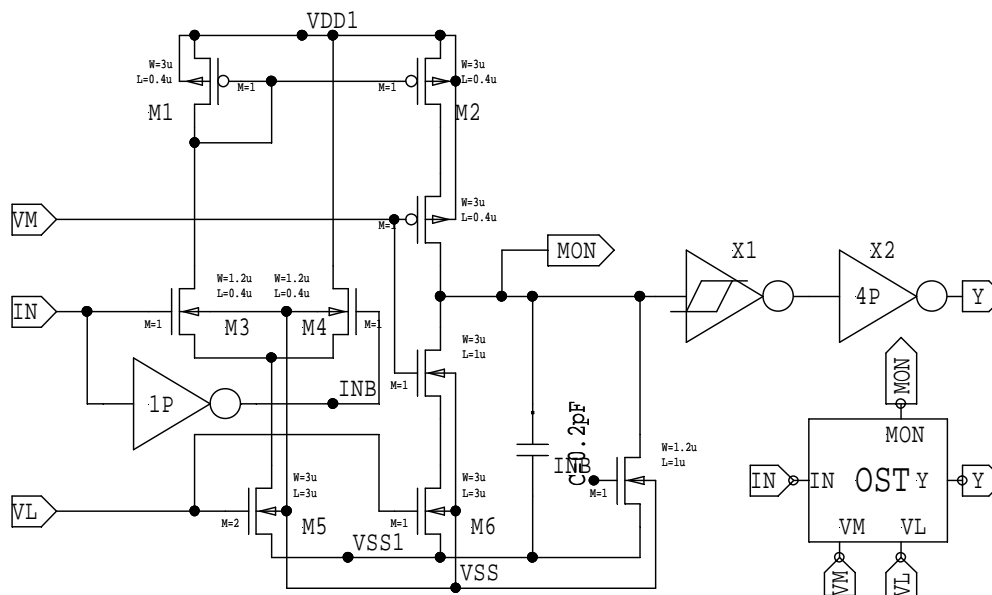


図 13: OST 回路

```
.SUBCKT OST IN MON VL VM Y
X1 MON N37 INV1S
X2 N37 Y inv4P
X3 IN INB inv1P
C1 MON VSS1 0.2pF
M2 N39 N39 VDD1 VDD1 pch L=0.4u W=3u M=1
M3 N35 N39 VDD1 VDD1 pch L=0.4u W=3u M=1
M4 N39 IN N34 VSS nch L=0.4u W=1.2u M=1
M5 VDD1 INB N34 VSS nch L=0.4u W=1.2u M=1
M6 N34 VL VSS1 VSS nch L=3u W=3u M=2
M7 N33 VL VSS1 VSS nch L=3u W=3u M=1
M8 MON VM N33 VSS nch L=1u W=3u M=1
M9 MON VM N35 VDD1 pch L=0.4u W=3u M=1
M10 MON INB VSS1 VSS nch L=1u W=1.2u M=1
.ENDS
```

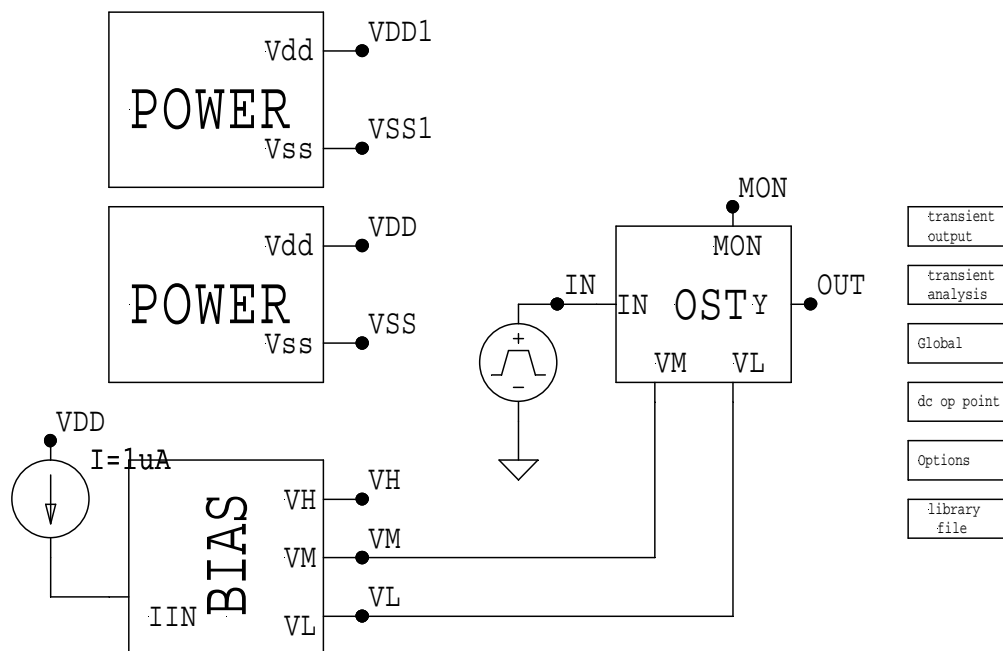


図 14: OST 回路の試験回路

```

* Main circuit: TESTOST
XBIAS_1 N1 VH VL VM Gnd BIAS
.op
.global VSS VDD VSS1 VDD1
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XOST_1 IN MON VL VM OUT OST
XPOWER_1 VDD VSS Gnd POWER
XPOWER_2 VDD1 VSS1 Gnd POWER
i1 VDD N1 1uA
v2 IN Gnd pulse(-1.65 1.65 1u 10n 10n 3u 5u)
.tran 10n 10u
.print tran v(MON) v(IN) v(OUT) v(AOUT2)
* End of main circuit: TESTOST

```

A 来歴

- 第 4 章において定電流源のトランジスタの L 値を $3 \mu\text{m}$ としたことに伴う改修を行いました (H160822)。
- OST 回路の出力部にシュミットリガー回路を設けました (H160822)。
- OP1 回路の亜種として OP1B 回路を提示しました (H160822)。

以上