
高度センサー信号処理のための Analog-VLSI Open-IP(2)

池田 博一*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 6 月 14 日

概要

高機能高性能の Analog-VLSI を短期間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 2 章では、集積回路の入出力部に配置されるいわゆるパッドについて議論します。内部回路については、いろいろな教科書論文等を探索するとかなりの情報を得ることができるのですが、パッドについての記載は、希薄なレベルにとどまっています。

目次

1	パッドとは	25
2	パッドの種類	25
3	open-IP におけるパッド回路	26
4	パッド配置の具体例	40

表目次

1	パッドの種類と用途	26
---	-----------	----

図目次

1	パッドのシンボル	27
2	PAD	27
3	PATHR	28
4	PATH	28
5	PDIN	29
6	PDOUT	29
7	PDTHR	30
8	PDTH	30
9	PVDD0	31

*ikedada.hirokazu@jaxa.jp

10	PVDD1	31
11	PVDDE	32
12	PVDD	32
13	PVSS0	33
14	PVSS1	33
15	PVSSE	34
16	PVSS	34
17	PNOT	35
18	TROUT	35
19	パッド配置の具体例	40

1 パッドとは

パッドとは、集積回路とパッケージないしは実装基板とをワイヤーボンディング等で接続するための特有のレイアウト構造を意味します。ボンディングパッドと呼ばれることもあります。

本件 open-IP では、サブミクロンのプロセスルールに基づいた回路を提示しています。これらの回路は、10 nm 以下の酸化膜を有する絶縁ゲート型 FET (具体的には MOSFET) を利用しているため、静電気の放電等によって容易に破壊されてしまいます。

そこで、パッドは、第一に回路内部 (コア回路) と外界とを調停して、静電気等による破壊からコア回路を保護するようにする機能を担っています。

また、第二にボンディングを行うための機械的台座を提供しています。ボンディングを行うためには比較的大きな金属面が必要であり、かつこれがボンディング時の応力に耐えうるものであることが要求されるからです。

通常、ボンディングのための金属面 (酸化膜等による保護膜の開口部に対応しますので、これを「passivation opening」ということもあります。) は、一辺 50 μm から 90 μm の正方形が用いられます。しかし、これは正方形に限られたものではなく、長方形¹、六角形、八角形といったこともあります。

VDEC のマルチチッププロジェクトにおける ROHM の 0.35u/4.9mm 角チップのボンディングパッドでは、

- パッシベーションウィンドウ (CB): 86u * 86u
- メタルイクステンション (over CB): 5u
- パッシベーションウィンドウ間の間隔 (space): 29u

となっています。すなわち、メタルを含むパッドの形状は、96 μm * 96 μm であり、パッドの中心間の距離は、115 μm です。また、隣同士のパッドとのメタルイクステンションの距離は、19 μm です。

2 パッドの種類

パッドには、VDD、VSS、GND 等の電源を供給するためのもの、入力パッド、出力パッド等の信号系にかかわるものがあります。さらにこれらのパッドは、アナログ系、デジタル系に二分されます。

¹いわゆるボールボンダーを用いる場合には、回転対称性の高いパッド形状が好まれると思いますが、ウェッジボンダーを用いる場合には、かえって長方形の方が作業性に優れていると考えられます。

また、コア回路で用いられる電源用のパッドであるのか、パッド回路で用いられる電源用であるのかによっても区別されます。

表 1: パッドの種類と用途

パッド名称	パッドの用途	具体的適用
PVSS	アナログ電源 VSS 導入用	
PVSS0	デジタル周回電源 VSS0 導入用	
PVSS1	デジタルコア電源 VSS1 導入用	
PVSSE	アナログ周回電源 VSSE 導入用	
PVDD	アナログ電源 VDD 導入用	
PVDD0	デジタル周回電源 VDD0 導入用	
PVDD1	デジタルコア電源 VDD1 導入用	
PVDDE	アナログ周回電源 VDDE 導入用	
PATH	アナログ信号を直接コア部と入出力するため	
PATHR	抵抗を介してアナログ信号をコアに導入するため	
PDIN	CMOS デジタル信号の導入用	検出器信号の受信部
PDOUT	CMOS デジタル信号の出力用	アナログ電流出力部
PDTH	デジタル信号を直接コア部と	GND 導入部
PDTHR	抵抗を介してデジタル信号をコアに導入するため	閾値電圧の導入部
TROUT	トライステート信号の出力用	基準電流導入部
PAD	ESD 保護回路無しのパッド	制御信号の入力部
		制御信号の出力部
		LVDS 信号の出力部
		LVDS 信号の入力部
		共通母線へのデジタル信号出力部
		電源等の主たる導入部

パッドについて上記のような分類をすると表 1 のようになります。

3 open-IP におけるパッド回路

本節においては、これらのパッド回路に構成を具体的に見ていくことにします。図 1 にはこれらのパッドの回路図面上のシンボルを示しました。ボンディングパッドであることを明示的に示すために正方形の図形においてその二つの対角線をクロスさせたものをとまっています。また、それぞれのパッドを直感的に区別することができるように、図形または文字で識別することができるようにしています。

以下にそれぞれのパッドシンボルに対応する回路図面を示します。

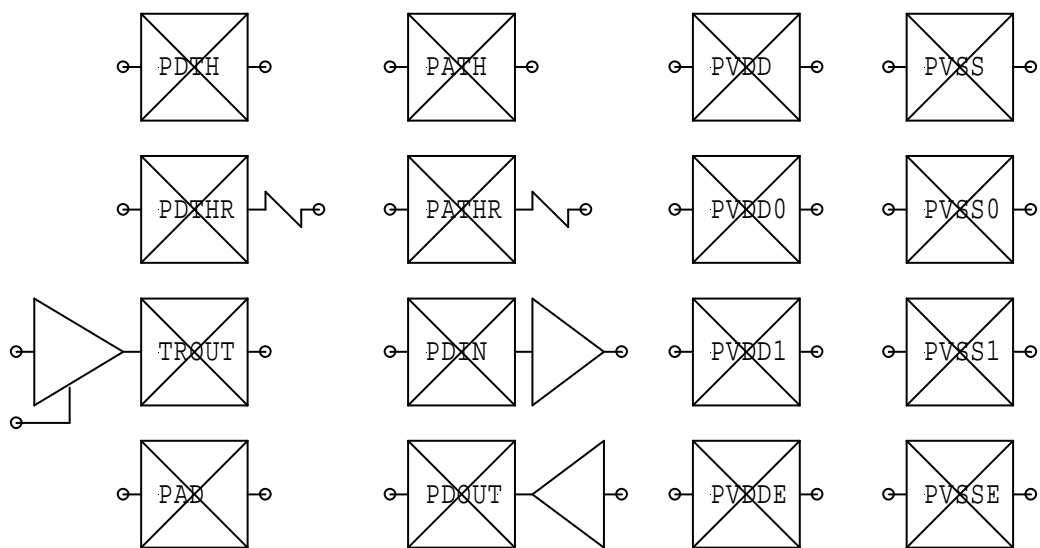


図 1: パッドのシンボル

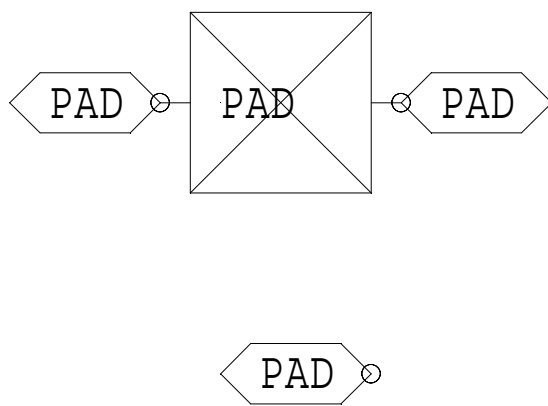


図 2: PAD

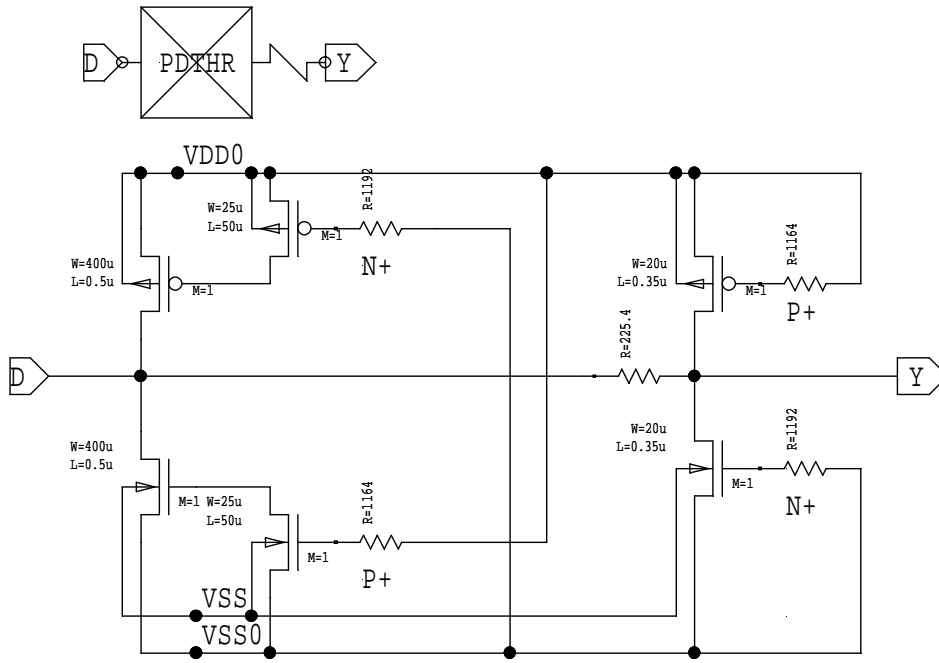


图 3: PATHR

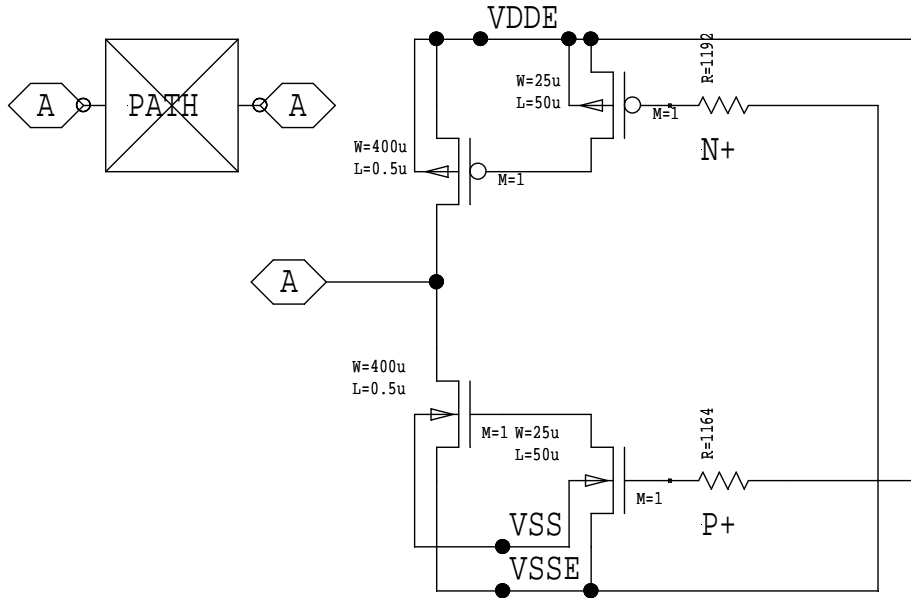


图 4: PATH

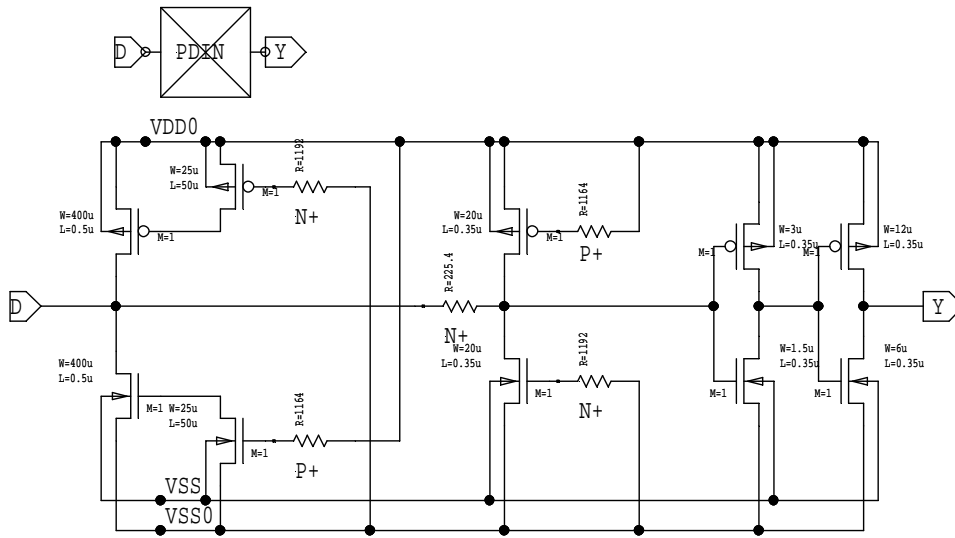


图 5: PDIN

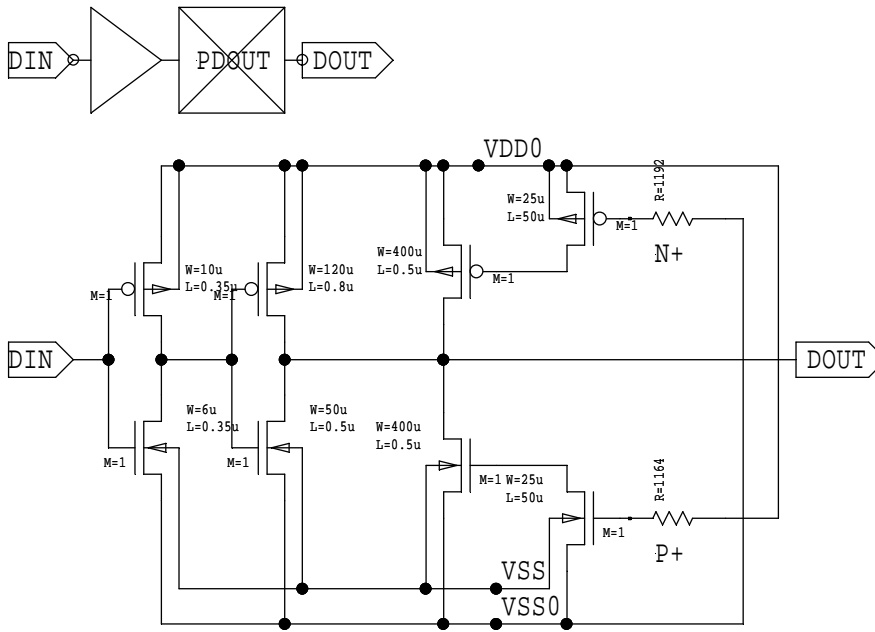


图 6: PDOUT

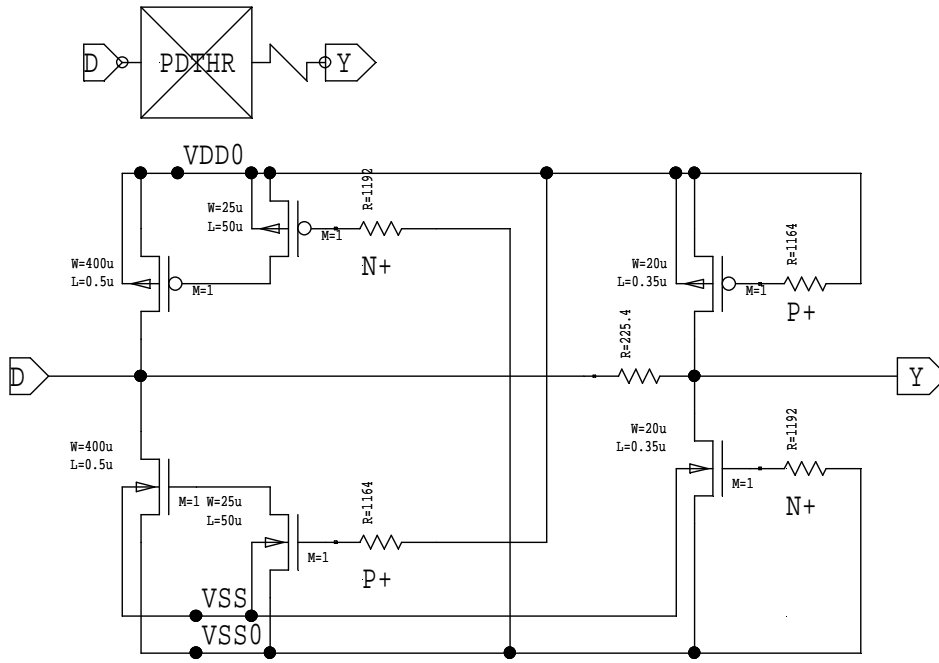


图 7: PDXHR

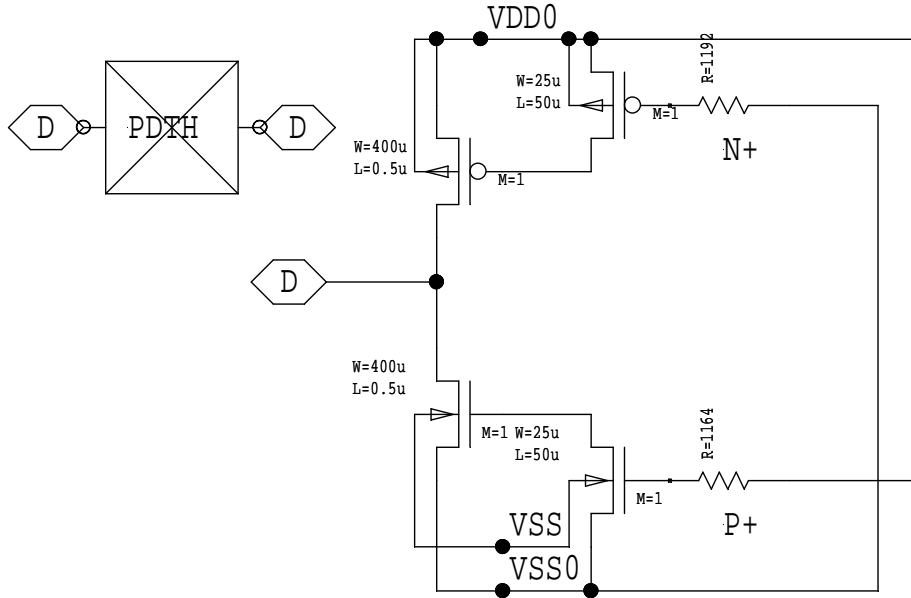
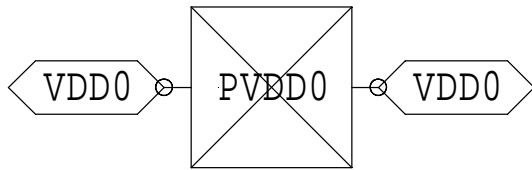


图 8: PDTH



FOR PAD-DIGITAL

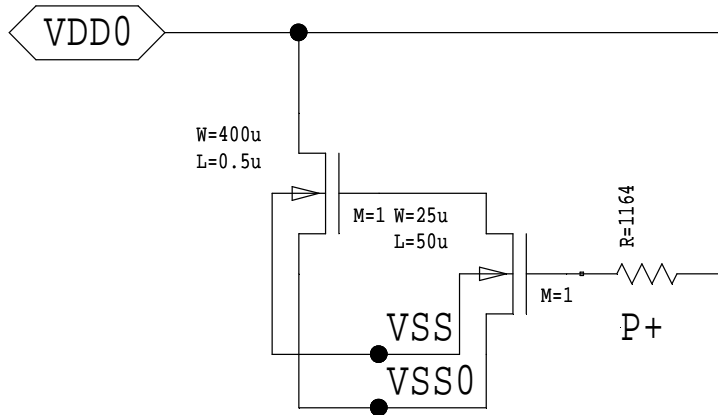
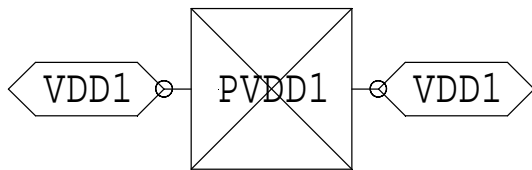


图 9: PVDD0



FOR CORE-DIGITAL

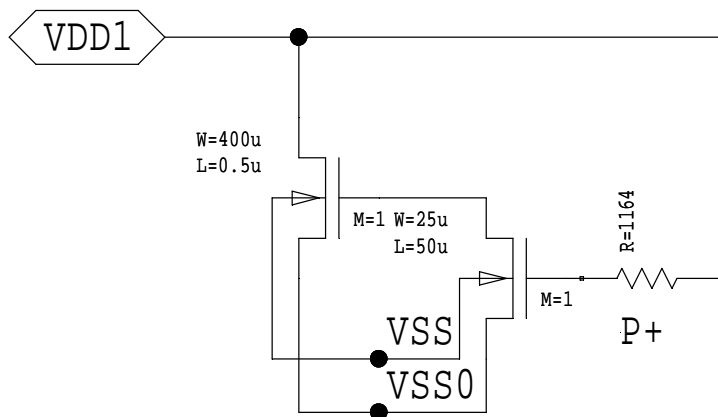


图 10: PVDD1

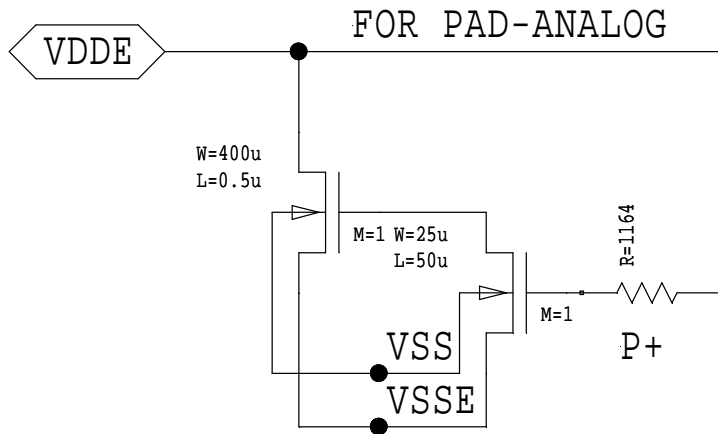
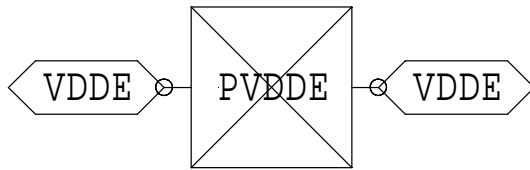


图 11: PVDDE

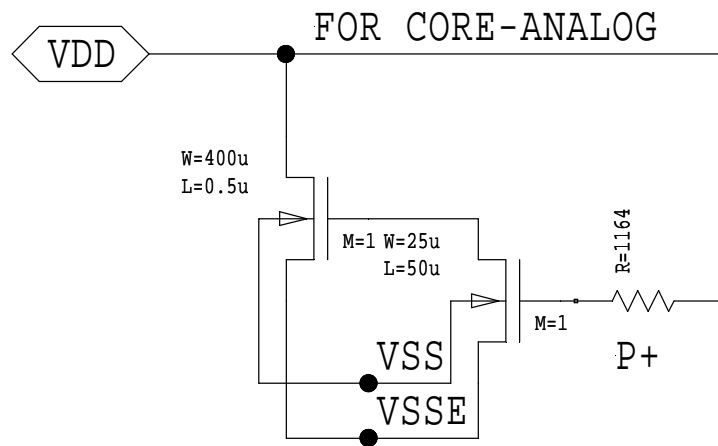
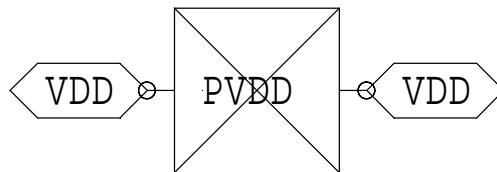
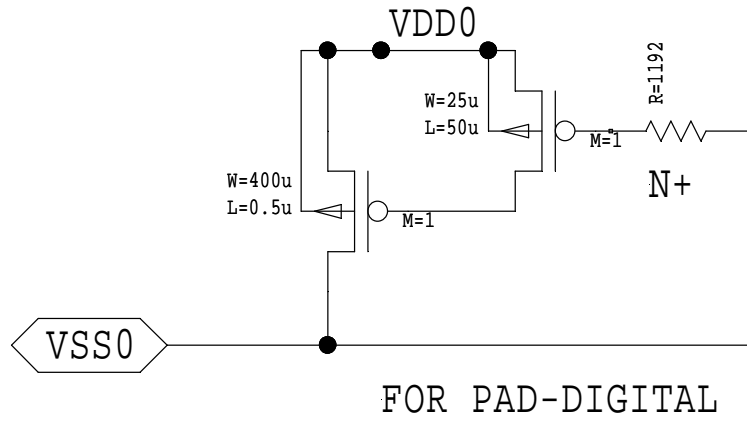
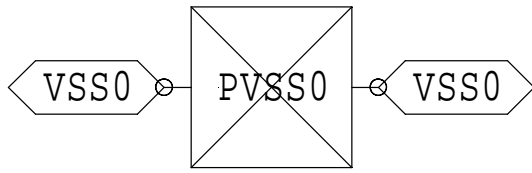
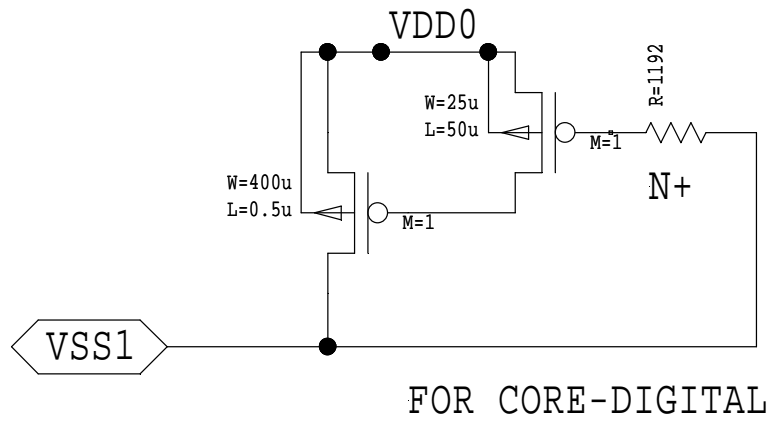
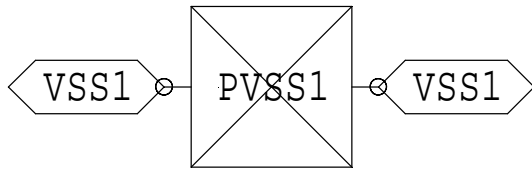


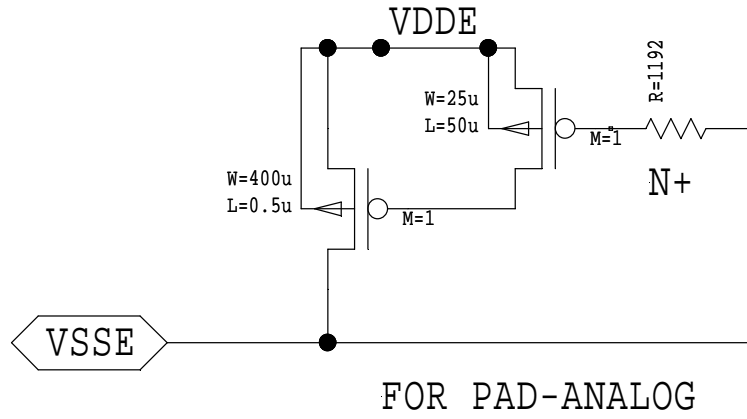
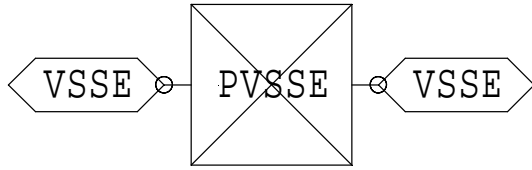
图 12: PVDD



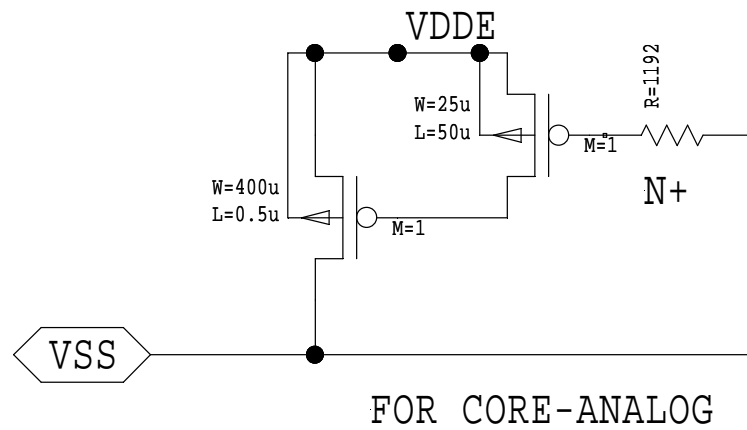
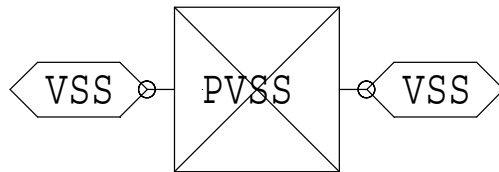
☒ 13: PVSS0



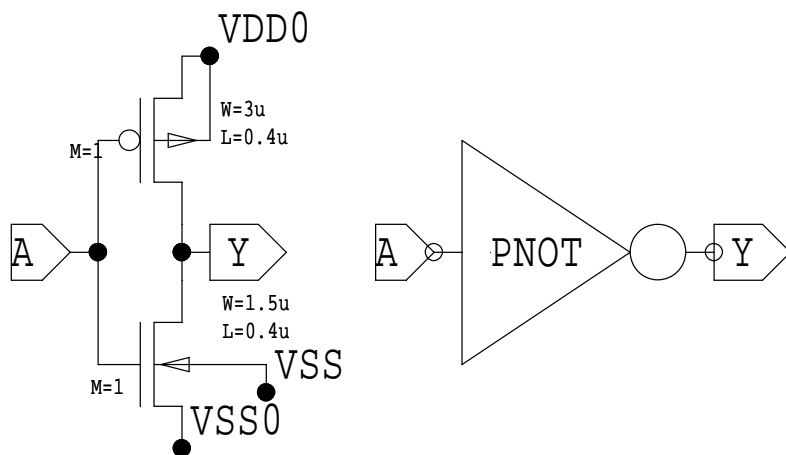
☒ 14: PVSS1



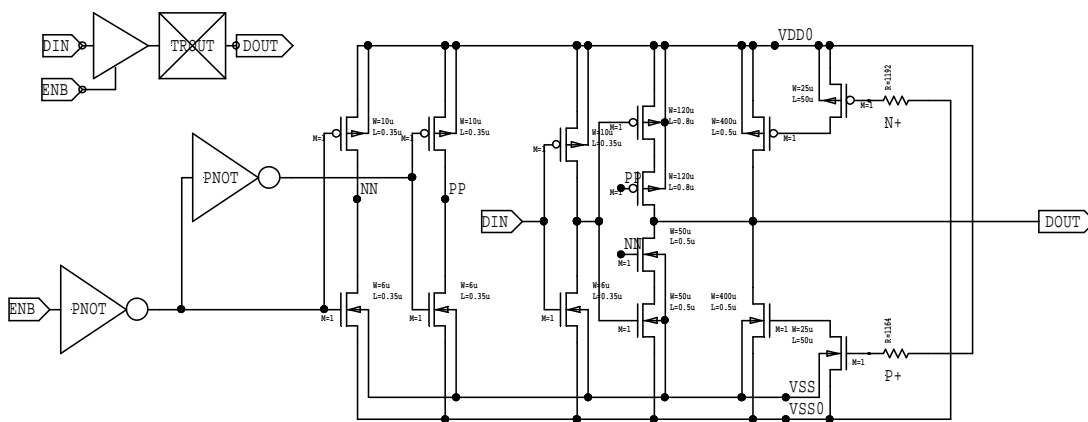
☒ 15: PVSSE



☒ 16: PVSS



☒ 17: PNOT



☒ 18: TROUT

さらに、以下には各パッドのネットリストを掲げておきます。なお、ネットリスト中*によってコメントアウトされている部分がありますが、これは、回路から削除する趣旨ではなく、単に回路シミュレーション上不適正な W/L を有するトランジスタ等として排除されてしまうことを回避するためです。

```
.SUBCKT PAD PAD
.ENDS
```

```
.SUBCKT PATHR A Y
*M1 A N6 VSSE VSS nch L=0.5u W=400u
*M2 N6 N2 VSSE VSS nch L=50u W=25u
M3 Y N10 VSSE VSS nch L=0.35u W=20u
*M4 A N4 VDDE VDDE pch L=0.5u W=400u
*M5 N4 N1 VDDE VDDE pch L=50u W=25u
M6 Y N5 VDDE VDDE pch L=0.35u W=20u
*R7 N2 VDDE 1164 TC=0.0, 0.0
*R8 N1 VSSE 1192 TC=0.0, 0.0
R9 A Y 225.4 TC=0.0, 0.0
R10 N5 VDDE 1164 TC=0.0, 0.0
R11 N10 VSSE 1192 TC=0.0, 0.0
.ENDS
```

```
.SUBCKT PATH A
*M1 A N3 VSSE VSS nch L=0.5u W=400u
*M2 N3 N4 VSSE VSS nch L=50u W=25u
*M3 A N1 VDDE VDDE pch L=0.5u W=400u
*M4 N1 N5 VDDE VDDE pch L=50u W=25u
*R5 N4 VDDE 1164 TC=0.0, 0.0
*R6 N5 VSSE 1192 TC=0.0, 0.0
.ENDS
```

```
.SUBCKT PDIN D Y
*M1 D N5 VSS0 VSS nch L=0.5u W=400u
*M2 N5 N8 VSS0 VSS nch L=50u W=25u
M3 N1 N2 VSS0 VSS nch L=0.35u W=20u
M4 N3 N1 VSS0 VSS nch L=0.35u W=1.5u
M5 Y N3 VSS0 VSS nch L=0.35u W=6u
*M6 D N9 VDD0 VDD0 pch L=0.5u W=400u
*M7 N9 N6 VDD0 VDD0 pch L=50u W=25u
M8 N1 N4 VDD0 VDD0 pch L=0.35u W=20u
M9 N3 N1 VDD0 VDD0 pch L=0.35u W=3u
M10 Y N3 VDD0 VDD0 pch L=0.35u W=12u
*R11 N8 VDD0 1164 TC=0.0, 0.0
*R12 N6 VSS0 1192 TC=0.0, 0.0
R13 D N1 225.4 TC=0.0, 0.0
```

R14 N4 VDD0 1164 TC=0.0, 0.0

R15 N2 VSS0 1192 TC=0.0, 0.0

.ENDS

.SUBCKT PDOUT DIN DOUT

*M1 DOUT N6 VSS0 VSS nch L=0.5u W=400u

*M2 N6 N5 VSS0 VSS nch L=50u W=25u

M3 N4 DIN VSS0 VSS nch L=0.35u W=6u

M4 DOUT N4 VSS0 VSS nch L=0.5u W=50u

*M5 DOUT N2 VDD0 VDD0 pch L=0.5u W=400u

*M6 N2 N1 VDD0 VDD0 pch L=50u W=25u

M7 N4 DIN VDD0 VDD0 pch L=0.35u W=10u

M8 DOUT N4 VDD0 VDD0 pch L=0.8u W=120u

*R9 N5 VDD0 1164 TC=0.0, 0.0

*R10 N1 VSS0 1192 TC=0.0, 0.0

.ENDS

.SUBCKT PDTHR D Y

*M1 D N2 VSS0 VSS nch L=0.5u W=400u

*M2 N2 N7 VSS0 VSS nch L=50u W=25u

M3 Y N1 VSS0 VSS nch L=0.35u W=20u

*M4 D N5 VDD0 VDD0 pch L=0.5u W=400u

*M5 N5 N4 VDD0 VDD0 pch L=50u W=25u

M6 Y N3 VDD0 VDD0 pch L=0.35u W=20u

*R7 N7 VDD0 1164 TC=0.0, 0.0

*R8 N4 VSS0 1192 TC=0.0, 0.0

R9 D Y 225.4 TC=0.0, 0.0

R10 N3 VDD0 1164 TC=0.0, 0.0

R11 N1 VSS0 1192 TC=0.0, 0.0

.ENDS

.SUBCKT PDTH D

*M1 D N3 VSS0 VSS nch L=0.5u W=400u

*M2 N3 N2 VSS0 VSS nch L=50u W=25u

*M3 D N4 VDD0 VDD0 pch L=0.5u W=400u

*M4 N4 N5 VDD0 VDD0 pch L=50u W=25u

*R5 N2 VDD0 1164 TC=0.0, 0.0

*R6 N5 VSS0 1192 TC=0.0, 0.0

.ENDS

.SUBCKT PVDD0 VDD0

*M1 VDD0 N1 VSS0 VSS nch L=0.5u W=400u

*M2 N1 N3 VSS0 VSS nch L=50u W=25u

```

*R3 N3 VDD0 1164 TC=0.0, 0.0
.ENDS

.SUBCKT PVDD1 VDD1
*M1 VDD1 N1 VSS0 VSS nch L=0.5u W=400u
*M2 N1 N3 VSS0 VSS nch L=50u W=25u
*R3 N3 VDD1 1164 TC=0.0, 0.0
.ENDS

.SUBCKT PVDDE VDDE
*M1 VDDE N1 VSSE VSS nch L=0.5u W=400u
*M2 N1 N3 VSSE VSS nch L=50u W=25u
*R3 N3 VDDE 1164 TC=0.0, 0.0
.ENDS

.SUBCKT PVDD VDD
*M1 VDD N2 VSSE VSS nch L=0.5u W=400u
*M2 N2 N1 VSSE VSS nch L=50u W=25u
*R3 N1 VDD 1164 TC=0.0, 0.0
.ENDS

.SUBCKT PVSS0 VSS0
*M1 VSS0 N2 VDD0 VDD0 pch L=0.5u W=400u
*M2 N2 N3 VDD0 VDD0 pch L=50u W=25u
*R3 N3 VSS0 1192 TC=0.0, 0.0
.ENDS

.SUBCKT PVSS1 VSS1
*M1 VSS1 N2 VDD0 VDD0 pch L=0.5u W=400u
*M2 N2 N3 VDD0 VDD0 pch L=50u W=25u
*R3 N3 VSS1 1192 TC=0.0, 0.0
.ENDS

.SUBCKT PVSSE VSSE
*M1 VSSE N2 VDDE VDDE pch L=0.5u W=400u
*M2 N2 N3 VDDE VDDE pch L=50u W=25u
*R3 N3 VSSE 1192 TC=0.0, 0.0
.ENDS

.SUBCKT PVSS VSS
*M1 VSS N2 VDDE VDDE pch L=0.5u W=400u
*M2 N2 N1 VDDE VDDE pch L=50u W=25u
*R3 N1 VSS 1192 TC=0.0, 0.0

```

.ENDS

.SUBCKT PNOT A Y

M1 Y A VSS0 VSS nch L=0.4u W=1.5u

M2 Y A VDD0 VDD0 pch L=0.4u W=3u

.ENDS

.SUBCKT TROUT DIN DOUT ENB

M1 DOUT NN N9 VSS nch L=0.5u W=50u

M2 PP N11 VSS0 VSS nch L=0.35u W=6u

M3 NN N2 VSS0 VSS nch L=0.35u W=6u

M4 N9 N10 VSS0 VSS nch L=0.5u W=50u

M5 N10 DIN VSS0 VSS nch L=0.35u W=6u

*M6 N13 N1 VSS0 VSS nch L=50u W=25u

*M7 DOUT N13 VSS0 VSS nch L=0.5u W=400u

M8 DOUT PP N6 VDD0 pch L=0.8u W=120u

M9 N10 DIN VDD0 VDD0 pch L=0.35u W=10u

M10 NN N2 VDD0 VDD0 pch L=0.35u W=10u

M11 N6 N10 VDD0 VDD0 pch L=0.8u W=120u

M12 PP N11 VDD0 VDD0 pch L=0.35u W=10u

*M13 N12 N15 VDD0 VDD0 pch L=50u W=25u

*M14 DOUT N12 VDD0 VDD0 pch L=0.5u W=400u

XPNOT_1 ENB N2 PNOT

XPNOT_2 N2 N11 PNOT

*R15 N15 VSS0 1192 TC=0.0, 0.0

*R16 N1 VDD0 1164 TC=0.0, 0.0

.ENDS

4 パッド配置の具体例

最後にパッド配置の具体例を掲げておきます。パッドの配置を設計するにあたっては、敏感なアナログ信号とデジタル信号との分離、必要とする電源容量、実装時の都合等を考慮する必要があります。

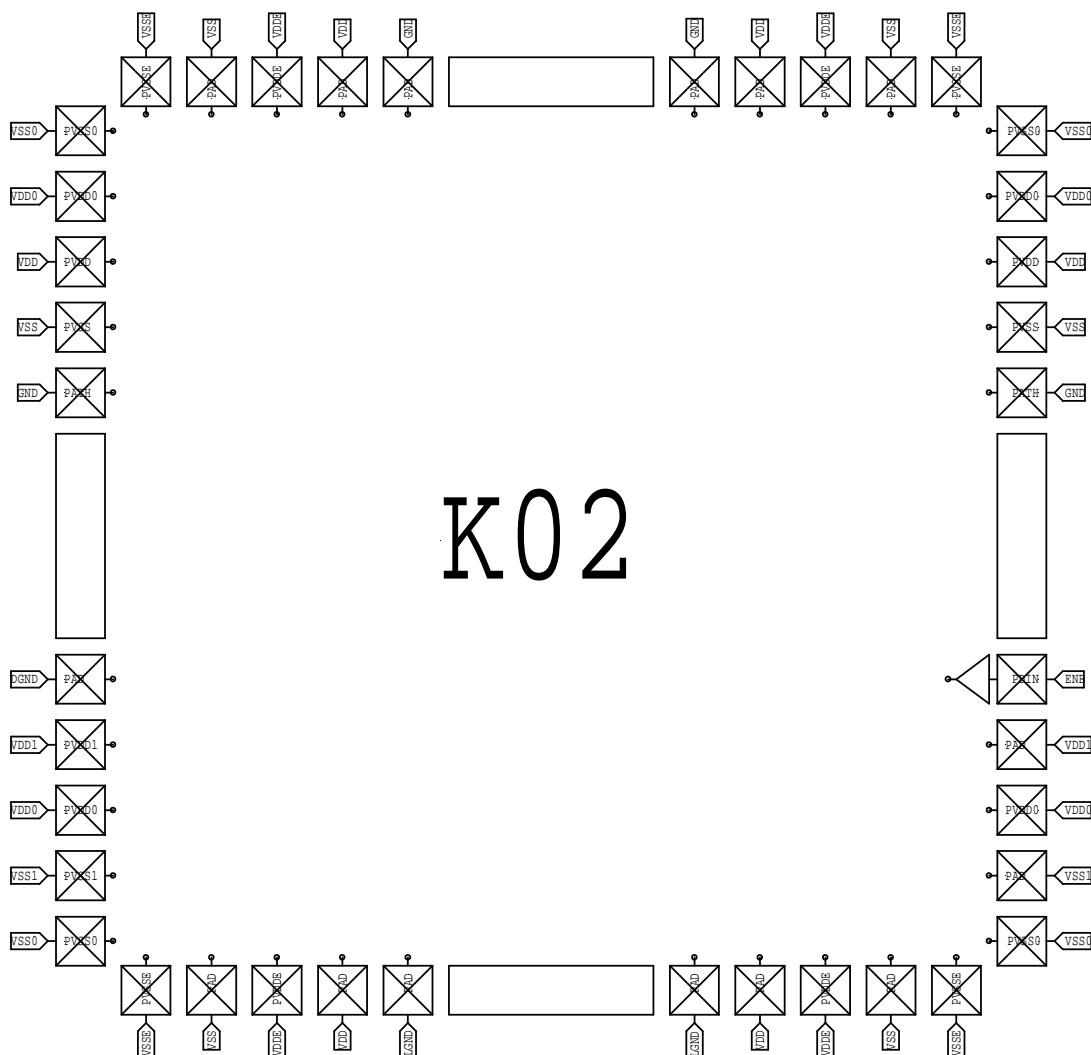


図 19: パッド配置の具体例

以上