

---

# 高度センサー信号処理のための Analog-VLSI Open-IP(13)

池田 博一\*

宇宙航空研究開発機構 宇宙科学研究本部

初版：平成 17 年 12 月 15 日

---

## 概要

本文書は、沖電気工業株式会社の提供する  $0.15 \mu\text{m}$  FD SOI CMOS プロセスを用いたアナログフロントエンドの TEG 回路 (平成 17 年 10 月) から抽出された IP を提示するものです。

## 目次

1	Introduction	221
2	IP for logic circuits	222
3	アナログ回路の IP	231
3.1	バイアス回路	231
3.2	増幅要素	236
3.3	帰還回路	243
3.4	差動増幅回路	247
3.5	スイッチ回路	255

## 表目次

## 図目次

1	論理ゲートのシンボル一覧	223
2	inv1BF 回路 (ボディーフロート)	224
3	inv1 回路 (ボディータイ)	224
4	inv1PBF 回路 (ボディーフロート)	224
5	inv1P 回路 (ボディータイ)	225
6	inv1SBF 回路 (ボディーフロート)	225
7	inv1S 回路 (ボディータイ)	226
8	nand4PBF 回路 (ボディーフロート)	226
9	nand4P 回路 (ボディータイ)	227
10	and4PBF 回路 (ボディーフロート)	227

---

\*ikedada.hirokazu@jaxa.jp

11	and4P 回路 ( ボディータイ )	227
12	selector 回路	228
13	バイアス回路のシンボル一覧	231
14	BIAS 回路	232
15	BIAS_HALF 回路	233
16	BIAS_Q 回路	233
17	BIAS_P 回路	234
18	BIAS_P_HALF 回路	234
19	増幅回路要素のシンボル一覧	237
20	PR_1 回路	237
21	PR_1_HALF 回路	238
22	PR_2 回路	238
23	PR_2_HALF 回路	239
24	OP1 回路	239
25	OP1_HALF 回路	240
26	帰還回路のシンボル一覧	243
27	FB1 回路	244
28	FB4_A 回路	244
29	FB4_B 回路	245
30	FB6 回路	245
31	差動増幅器及び関連する回路ブロックのシンボル一覧	248
32	DIFA_S 回路	248
33	DIFA_S_HALF 回路	248
34	DIFA_M 回路	249
35	DIFA_M_HALF 回路	249
36	DIFA_F 回路	250
37	DIFA_F_HALF 回路	250
38	DIFA_TH 回路	250
39	DIFA_COMP 回路	251
40	ACC 回路	251
41	スイッチ回路のシンボル一覧	256
42	SW0 回路	256
43	SW1 回路	257

## 1 Introduction

SOI 技術は、1960 年頃から米国において専ら軍事宇宙への応用を目的として開発が進められて来た。トランジスタどうしが二酸化シリコンによって完全分離され、またサブストレートとも分離されているため、ラッチアップの怖れがなく、さらに SEU 効果が著しく低減されるからである。

しかし、商用のバルク CMOS の技術的成熟の速度が急すぎて、SOI - CMOS は性能的に追従することができず、しばらくの間、特殊用途に限定的に適用されるにすぎなかった。

ところが、1990年代にはいって、バルク CMOS の技術成長曲線に飽和傾向が見られるようになり、これを克服する手段として SOI が見直されるようになってきた。すなわち、バルク CMOS で培った製造技術を SOI に適用した結果優れた性能が達成されることが分かったのである。

すでに、宇宙科学研究本部では、沖電気の 0.2  $\mu\text{m}$  FD SOI CMOS を用いて、ラッチアップフリーであって、かつ、民生品との比較で 20 倍以上のソフトエラー発生閾値 (LET: 40  $\text{MeV}/(\text{mg}/\text{cm}^2)$ ) を有する SRAM の開発実績があり、さらに MPU への応用に展開している。

一方、当該技術を用いたアナログ回路について未着手であった。そこで、デジタル回路にかかる既開発の技術を援用して、高機能かつ高信頼性を有する A/D-mixed 集積回路を開発すべくサブミクロン SOI CMOS を用いたアナログ集積回路の開発に着手した。

本開発においては、沖電気工業株式会社の提供する 0.15  $\mu\text{m}$  FD-SOI CMOS を用いた回路要素 (Test element group) から始めることとした。ここに提示する IP は、TEG として設計された集積回路から抽出されたものである。

FD とは、fully-depleted の略称であり、薄いシリコン層を用いることによりゲート直下のシリコン層が完全に空乏しているものである。これによって FD-SOI は キンク効果の低減、およびサブスレッショールスロープの改善による、 $V_{th}$  の低減等アナログ回路にとって有利な特性を有している。このような、FD-SOI CMOS に放射線計測の分野で開発されてきた回路方式を適用して当該技術分野におけるアナログ集積回路の高機能かつ高信頼性をめざし、併せて高性能の方途を探るものである。

なお、本 IP における回路をそのままレイアウトに焼きなおすことだけで、放射線耐性を確保することができるものではないことに注意する必要がある。トータルドーズ効果にかかる課題としては、

- ゲート端部の厚い酸化膜部における局所的スレッショールド電圧変動の回避
- BOX 層 (ハンドルウェハー部のシリコンと SOI シリコンを隔てている酸化膜) の放射線損傷によるスレッショールド電圧の変動の抑制

を掲げることができる。また、いわゆるシングルイベント効果にかかる課題として、

- シングルイベントアップセットの抑制
- シングルイベントトランジェントの抑制

がある。

第一の課題に対しては、enclosed geometry ないしは H-gate の採用が有力である。第二の課題に対しては、ボディータイ構造とハンドルウェハーへのポテンシャルの印可によって一定程度回避することができる可能性がある。しかし、その有効性についてはなお具体的評価が必要である。第三、第四の課題については、0.2  $\mu\text{m}$  FD-SOI を用いた先行する開発プロジェクトが進行中であるので、その知見を援用することができる。

## 2 IP for logic circuits

図 1 には、TEG 回路で用いられた論理回路のシンボルの一覧が掲げられている。SOI の回路では、バックゲートの処理において、それをバルク CMOS の様に電源電圧の接続する回路構成と、フローディングのままにしておく構成とが考えられる。後者は、レイアウトの密度を向上させることができる反面、ゲート直下に放射線等の効果によって電荷が蓄積された場合に、その電荷によって寄生的なバイポーラトランジスタが起動され、それが比較的長時間維持されてしまうという問題がある。バックゲートをバルク CMOS と同様に処理しておけばこのような問題は軽減される。

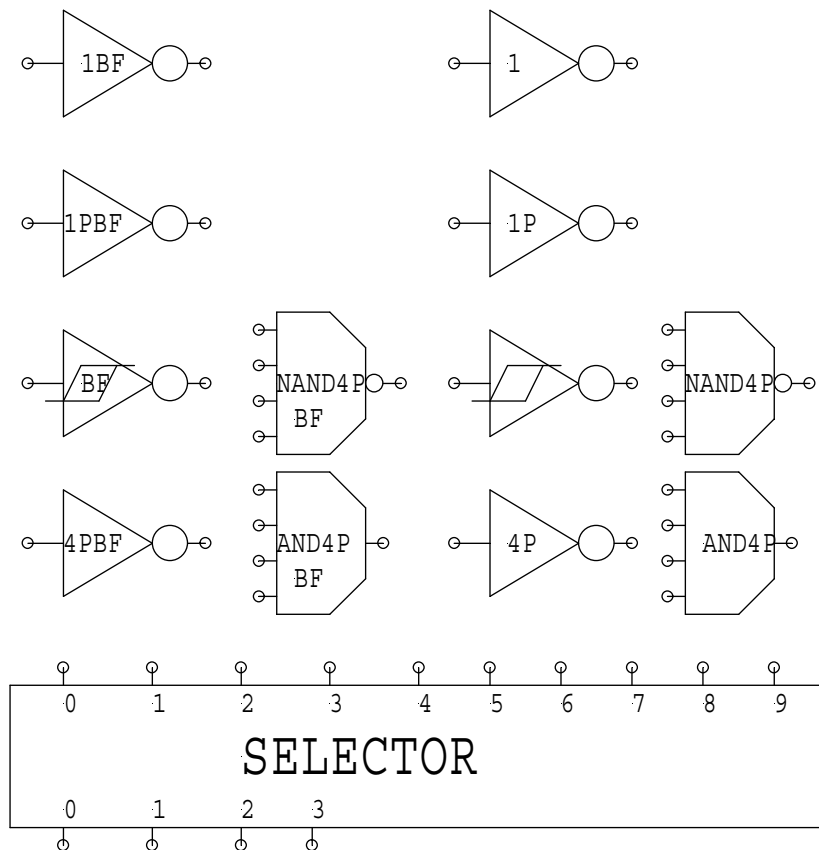


図 1: 論理ゲートのシンボル一覧

inv1 回路 (図 2 及び図 3) は、アナログ電源 (VDD, VSS) によって動作するインバータ回路である。  
 inv1P 回路 (図 4 及び図 5) は、デジタル電源 (VDD1, VSS1) によって動作するインバータ回路である。

inv1S 回路 (図 6 及び図 7) は、シュミットトリガー機能を有するインバータ回路である。

nand4P 回路 (図 8 及び図 9) は、4 入力の NAND 回路である。

and4P 回路 (図 10 及び図 11) は、4 入力の AND 回路である。

selector 回路 (図 12) は、4 入力の信号をデコードして 10 個の制御信号を出力するようになっている回路である。4 入力であるから、容易に 16 個の信号を出力するように拡張することができる。

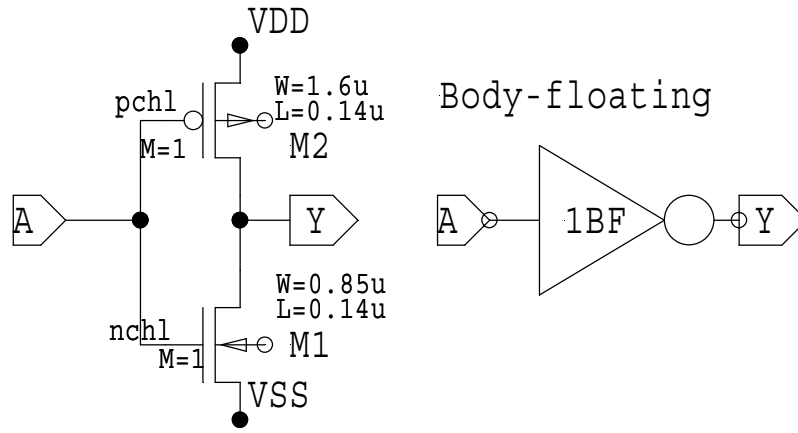


図 2: inv1BF 回路 (ボディーフロート)

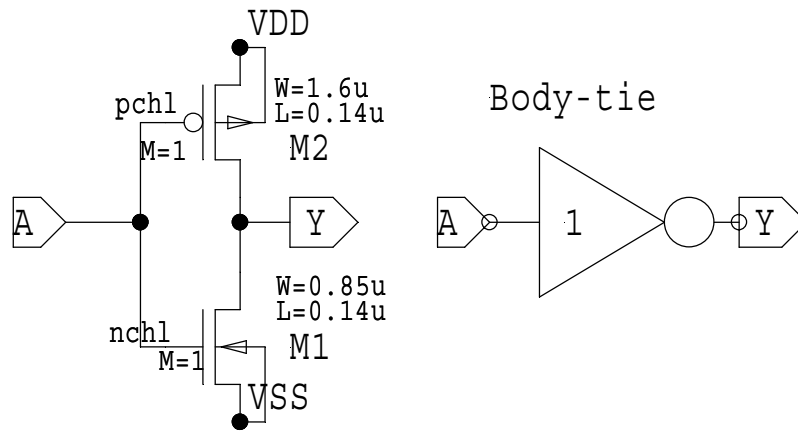


図 3: inv1 回路 (ボディータイ)

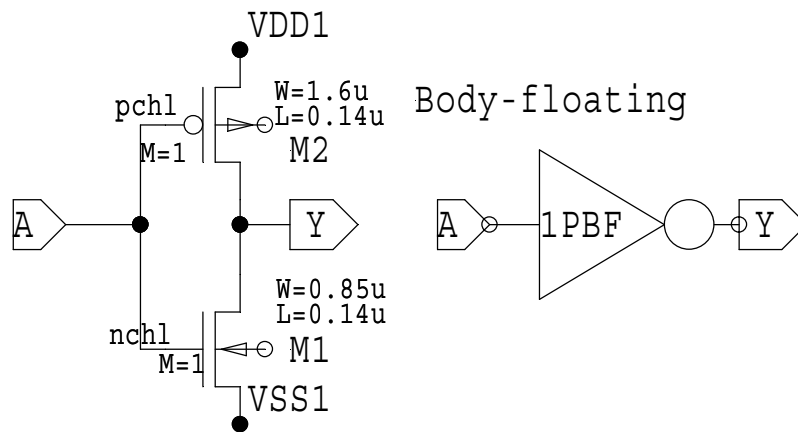


図 4: inv1PBF 回路 (ボディーフロート)

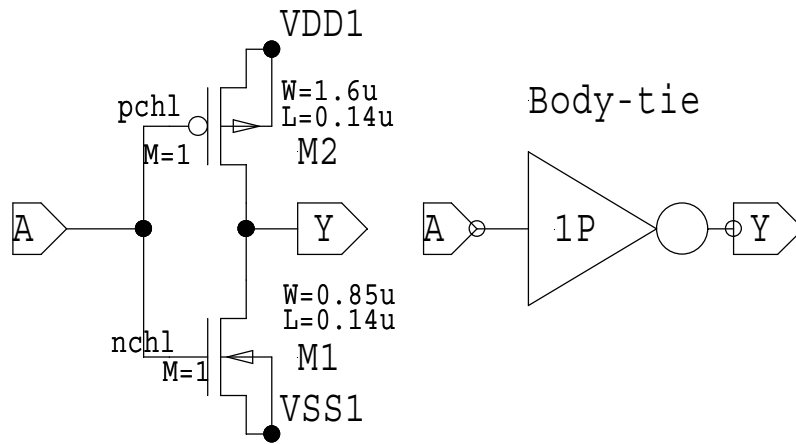


図 5: inv1P 回路 (ボディータイ)

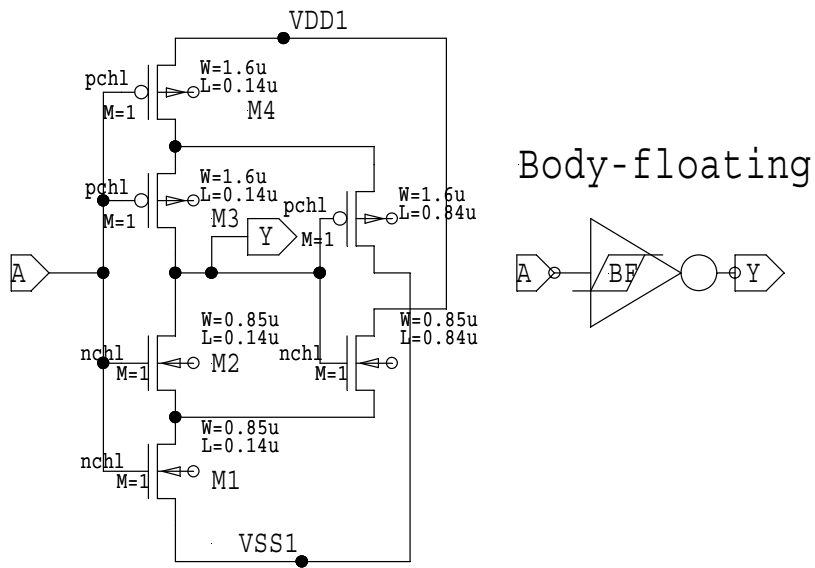


図 6: inv1SBF 回路 (ボディーフロート)

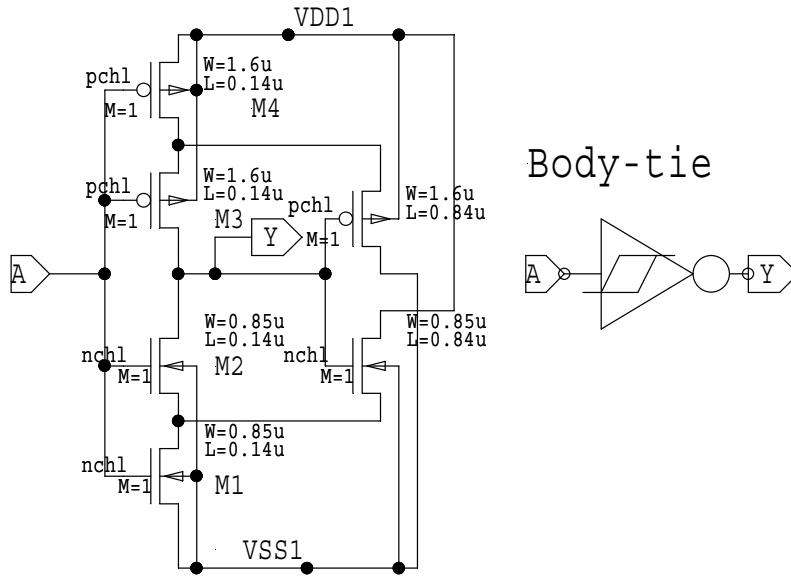


図 7: inv1S 回路 ( ボディータイ )

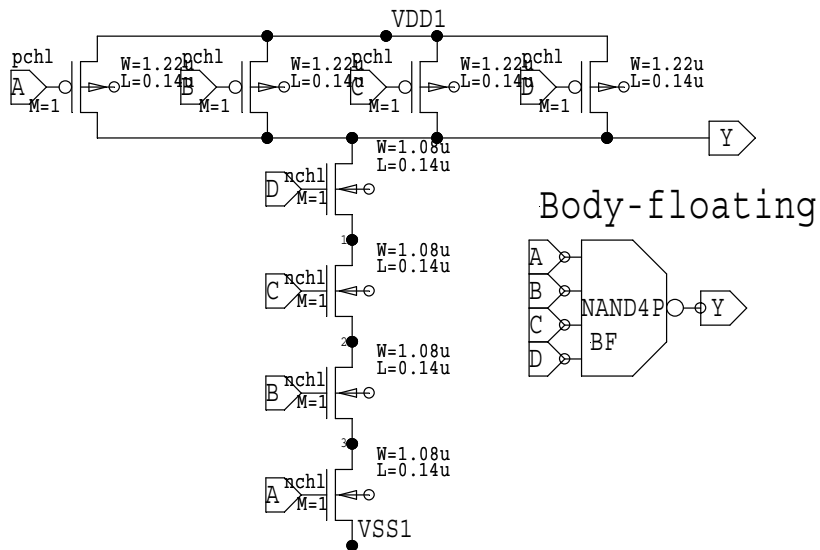


図 8: nand4PBF 回路 ( ボディーフロート )

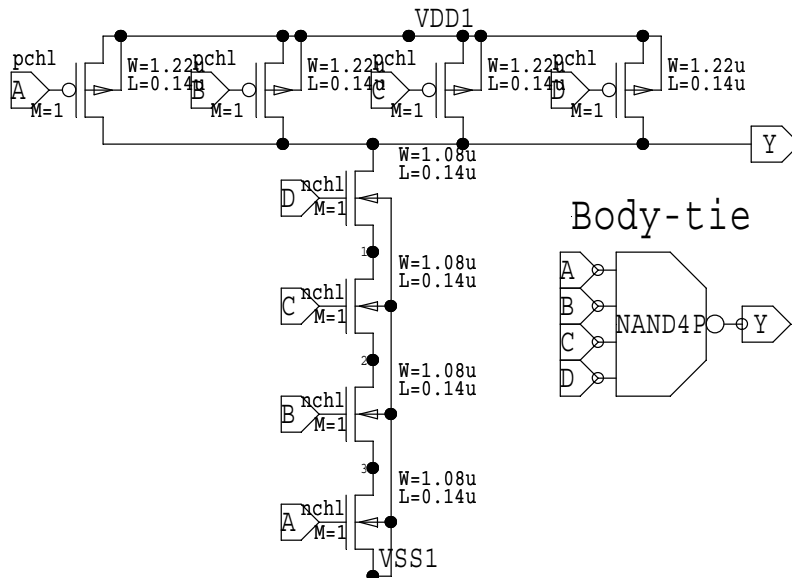


図 9: nand4P 回路 (ボディータイ)

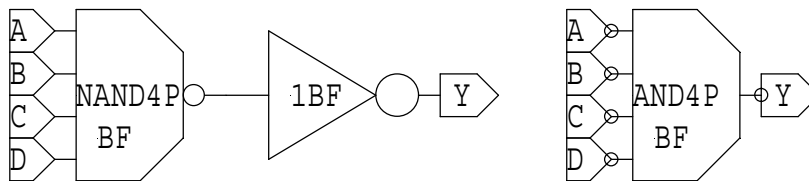


図 10: and4PBF 回路 (ボディーフロート)

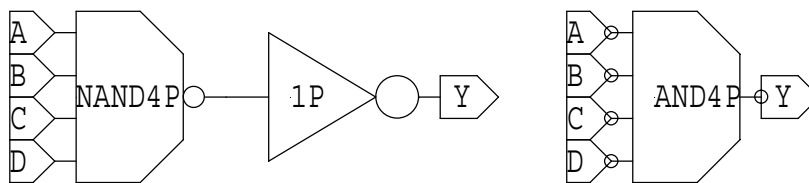


図 11: and4P 回路 (ボディータイ)



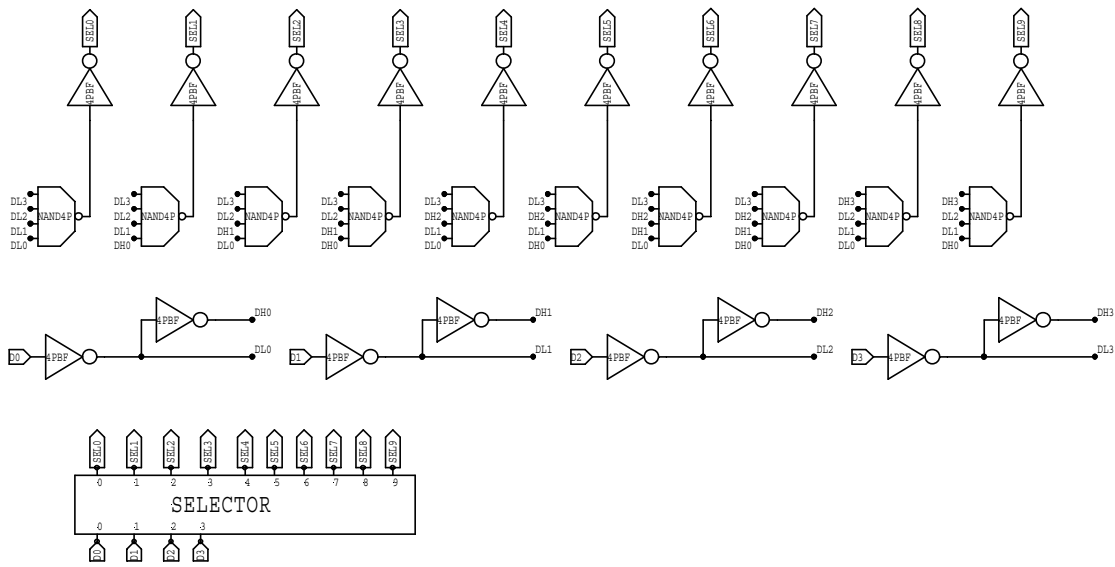


图 12: selector 回路

以下に各回路ブロックのネットリストを示す。

```
.SUBCKT inv4PBF A Y
M1 Y A VSS1 N2 nchl L=0.14u W=3.36u M=1
M2 Y A VDD1 N1 pchl L=0.14u W=6.4u M=1
.ENDS
```

```
.SUBCKT nand4P A B C D Y
M1 Y D 1 VSS1 nchl L=0.14u W=1.08u M=1
M2 1 C 2 VSS1 nchl L=0.14u W=1.08u M=1
M3 2 B 3 VSS1 nchl L=0.14u W=1.08u M=1
M4 3 A VSS1 VSS1 nchl L=0.14u W=1.08u M=1
M5 Y A VDD1 VDD1 pchl L=0.14u W=1.22u M=1
M6 Y B VDD1 VDD1 pchl L=0.14u W=1.22u M=1
M7 Y C VDD1 VDD1 pchl L=0.14u W=1.22u M=1
M8 Y D VDD1 VDD1 pchl L=0.14u W=1.22u M=1
.ENDS
```

```
.SUBCKT SELECTOR DO D1 D2 D3 SEL0 SEL1 SEL2 SEL3 SEL4 SEL5 SEL6 SEL7 SEL8 SEL9
Xinvx4P_1 DO DL0 inv4PBF
Xinvx4P_2 DL0 DH0 inv4PBF
Xinvx4P_3 D1 DL1 inv4PBF
Xinvx4P_4 DL1 DH1 inv4PBF
Xinvx4P_5 D2 DL2 inv4PBF
Xinvx4P_6 DL2 DH2 inv4PBF
Xinvx4P_7 D3 DL3 inv4PBF
Xinvx4P_8 DL3 DH3 inv4PBF
Xinvx4P_9 N80 SEL1 inv4PBF
Xinvx4P_10 N87 SEL2 inv4PBF
Xinvx4P_11 N94 SEL3 inv4PBF
Xinvx4P_12 N101 SEL4 inv4PBF
Xinvx4P_13 N108 SEL5 inv4PBF
Xinvx4P_14 N115 SEL6 inv4PBF
Xinvx4P_15 N122 SEL7 inv4PBF
Xinvx4P_16 N129 SEL8 inv4PBF
Xinvx4P_17 N136 SEL9 inv4PBF
Xinvx4P_18 N73 SEL0 inv4PBF
Xnand4X1P_1 DL3 DL2 DL1 DL0 N73 nand4P
Xnand4X1P_2 DL3 DL2 DL1 DH0 N80 nand4P
Xnand4X1P_3 DL3 DL2 DH1 DL0 N87 nand4P
Xnand4X1P_4 DL3 DL2 DH1 DH0 N94 nand4P
Xnand4X1P_5 DL3 DH2 DL1 DL0 N101 nand4P
Xnand4X1P_6 DL3 DH2 DL1 DH0 N108 nand4P
Xnand4X1P_7 DL3 DH2 DH1 DL0 N115 nand4P
```

```
Xnand4X1P_8 DL3 DH2 DH1 DH0 N122 nand4P
Xnand4X1P_9 DH3 DL2 DL1 DL0 N129 nand4P
Xnand4X1P_10 DH3 DL2 DL1 DH0 N136 nand4P
.ENDS
```

```
.SUBCKT nand4PBF A B C D Y
M1 Y D 1 N1 nchl L=0.14u W=1.08u M=1
M2 1 C 2 N2 nchl L=0.14u W=1.08u M=1
M3 2 B 3 N3 nchl L=0.14u W=1.08u M=1
M4 3 A VSS1 N4 nchl L=0.14u W=1.08u M=1
M5 Y A VDD1 N5 pchl L=0.14u W=1.22u M=1
M6 Y B VDD1 N6 pchl L=0.14u W=1.22u M=1
M7 Y C VDD1 N7 pchl L=0.14u W=1.22u M=1
M8 Y D VDD1 N8 pchl L=0.14u W=1.22u M=1
.ENDS
```

```
.SUBCKT inv1 A Y
M1 Y A VSS VSS nchl L=0.14u W=0.85u M=1
M2 Y A VDD VDD pchl L=0.14u W=1.6u M=1
.ENDS
```

```
.SUBCKT inv1P A Y
M1 Y A VSS1 VSS1 nchl L=0.14u W=0.85u M=1
M2 Y A VDD1 VDD1 pchl L=0.14u W=1.6u M=1
.ENDS
```

```
.SUBCKT inv4P A Y
M1 Y A VSS1 VSS1 nchl L=0.14u W=3.36u M=1
M2 Y A VDD1 VDD1 pchl L=0.14u W=6.4u M=1
.ENDS
```

```
.SUBCKT inv1S A Y
M1 N3 A VSS1 VSS1 nchl L=0.14u W=0.85u M=1
M2 Y A N3 VSS1 nchl L=0.14u W=0.85u M=1
M3 Y A N8 VDD1 pchl L=0.14u W=1.6u M=1
M4 N8 A VDD1 VDD1 pchl L=0.14u W=1.6u M=1
M5 VDD1 Y N3 VSS1 nchl L=0.84u W=0.85u M=1
M6 VSS1 Y N8 VDD1 pchl L=0.84u W=1.6u M=1
.ENDS
```

```
.SUBCKT inv1SBF A Y
M1 N9 A VSS1 N3 nchl L=0.14u W=0.85u M=1
M2 Y A N9 N4 nchl L=0.14u W=0.85u M=1
```

```

M3 Y A N2 N7 pchl L=0.14u W=1.6u M=1
M4 N2 A VDD1 N1 pchl L=0.14u W=1.6u M=1
M5 VDD1 Y N9 N5 nchl L=0.84u W=0.85u M=1
M6 VSS1 Y N2 N6 pchl L=0.84u W=1.6u M=1
.ENDS

```

```

.SUBCKT inv1PBF A Y
M1 Y A VSS1 N2 nchl L=0.14u W=0.85u M=1
M2 Y A VDD1 N1 pchl L=0.14u W=1.6u M=1
.ENDS

```

```

.SUBCKT inv1BF A Y
M1 Y A VSS N2 nchl L=0.14u W=0.85u M=1
M2 Y A VDD N1 pchl L=0.14u W=1.6u M=1
.ENDS

```

### 3 アナログ回路の IP

#### 3.1 バイアス回路

アナログ回路においては、バックゲートの処理がさらに問題となるが、本 IP においては、すべてボディーをソース側に接続する方式を採用することとした。

図 13 には、バイアス回路のシンボル一覧を示した。

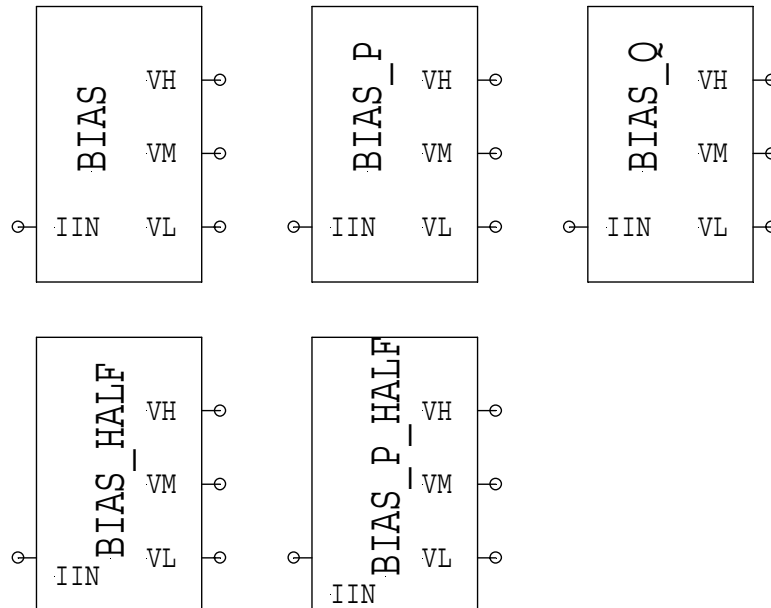


図 13: バイアス回路のシンボル一覧

バイアス回路として BIAS(図 14)、BIAS.Q(図 16)、BIAS.P(図 17) を掲げた。BIAS 回路は、汎用



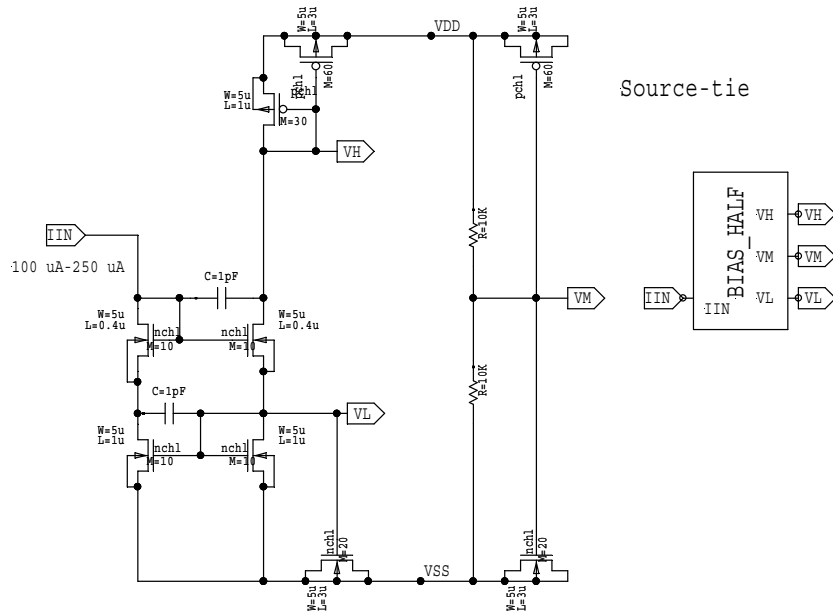


图 15: BIAS\_HALF 回路

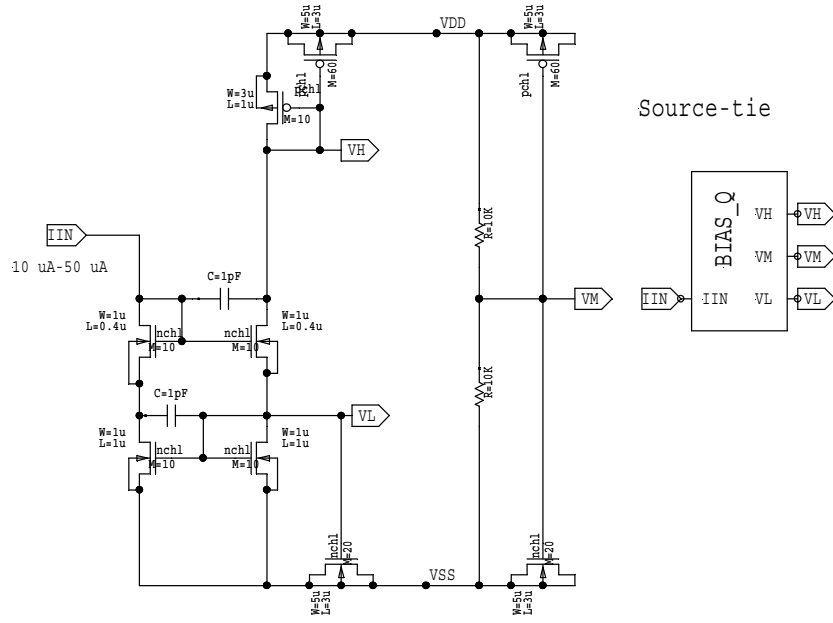


图 16: BIAS\_Q 回路

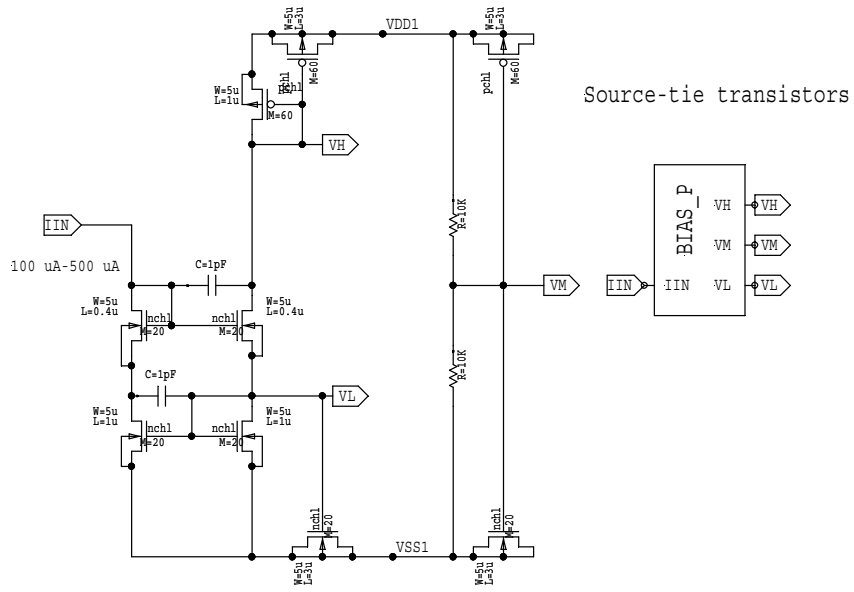


图 17: BIAS.P 回路

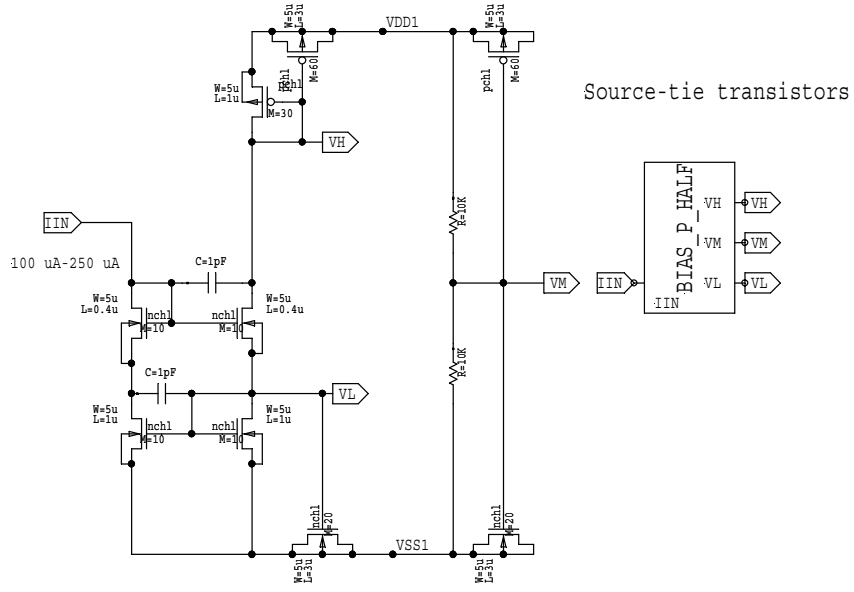


图 18: BIAS.P\_HALF 回路

以下に各回路ブロックのネットリストを掲げた。

```
.SUBCKT BIAS_P_HALF IIN VH VL VM
C1 N1 VL 1pF
C2 IIN VH 1pF
M3 N1 VL VSS1 VSS1 nchl L=1u W=5u M=10
M4 VSS1 VL VSS1 VSS1 nchl L=3u W=5u M=20
M5 VSS1 VM VSS1 VSS1 nchl L=3u W=5u M=20
M6 VH IIN VL VL nchl L=0.4u W=5u M=10
M7 VL VL VSS1 VSS1 nchl L=1u W=5u M=10
M8 IIN IIN N1 N1 nchl L=0.4u W=5u M=10
M9 VDD1 VH VDD1 VDD1 pchl L=3u W=5u M=60
M10 VDD1 VM VDD1 VDD1 pchl L=3u W=5u M=60
M11 VH VH VDD1 VDD1 pchl L=1u W=5u M=30
R12 VDD1 VM 10K TC=0.0, 0.0
R13 VM VSS1 10K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT BIAS_HALF IIN VH VL VM
C1 N1 VL 1pF
C2 IIN VH 1pF
M3 N1 VL VSS VSS nchl L=1u W=5u M=10
M4 VSS VL VSS VSS nchl L=3u W=5u M=20
M5 VSS VM VSS VSS nchl L=3u W=5u M=20
M6 VH IIN VL VL nchl L=0.4u W=5u M=10
M7 VL VL VSS VSS nchl L=1u W=5u M=10
M8 IIN IIN N1 N1 nchl L=0.4u W=5u M=10
M9 VDD VH VDD VDD pchl L=3u W=5u M=60
M10 VDD VM VDD VDD pchl L=3u W=5u M=60
M11 VH VH VDD VDD pchl L=1u W=5u M=30
R12 VDD VM 10K TC=0.0, 0.0
R13 VM VSS 10K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT BIAS IIN VH VL VM
C1 N1 VL 1pF
C2 IIN VH 1pF
M3 N1 VL VSS VSS nchl L=1u W=5u M=20
M4 VSS VL VSS VSS nchl L=3u W=5u M=20
M5 VSS VM VSS VSS nchl L=3u W=5u M=20
M6 VH IIN VL VL nchl L=0.4u W=5u M=20
M7 VL VL VSS VSS nchl L=1u W=5u M=20
M8 IIN IIN N1 N1 nchl L=0.4u W=5u M=20
M9 VDD VH VDD VDD pchl L=3u W=5u M=60
```



```

M10 VDD VM VDD VDD pchl L=3u W=5u M=60
M11 VH VH VDD VDD pchl L=1u W=5u M=60
R12 VDD VM 10K TC=0.0, 0.0
R13 VM VSS 10K TC=0.0, 0.0
.ENDS

```

```

.SUBCKT BIAS_P IIN VH VL VM
C1 N1 VL 1pF
C2 IIN VH 1pF
M3 N1 VL VSS1 VSS1 nchl L=1u W=5u M=20
M4 VSS1 VL VSS1 VSS1 nchl L=3u W=5u M=20
M5 VSS1 VM VSS1 VSS1 nchl L=3u W=5u M=20
M6 VH IIN VL VL nchl L=0.4u W=5u M=20
M7 VL VL VSS1 VSS1 nchl L=1u W=5u M=20
M8 IIN IIN N1 N1 nchl L=0.4u W=5u M=20
M9 VDD1 VH VDD1 VDD1 pchl L=3u W=5u M=60
M10 VDD1 VM VDD1 VDD1 pchl L=3u W=5u M=60
M11 VH VH VDD1 VDD1 pchl L=1u W=5u M=60
R12 VDD1 VM 10K TC=0.0, 0.0
R13 VM VSS1 10K TC=0.0, 0.0
.ENDS

```

```

.SUBCKT BIAS_Q IIN VH VL VM
C1 N1 VL 1pF
C2 IIN VH 1pF
M3 N1 VL VSS VSS nchl L=1u W=1u M=10
M4 VSS VL VSS VSS nchl L=3u W=5u M=20
M5 VSS VM VSS VSS nchl L=3u W=5u M=20
M6 VH IIN VL VL nchl L=0.4u W=1u M=10
M7 VL VL VSS VSS nchl L=1u W=1u M=10
M8 IIN IIN N1 N1 nchl L=0.4u W=1u M=10
M9 VDD VH VDD VDD pchl L=3u W=5u M=60
M10 VDD VM VDD VDD pchl L=3u W=5u M=60
M11 VH VH VDD VDD pchl L=1u W=3u M=10
R12 VDD VM 10K TC=0.0, 0.0
R13 VM VSS 10K TC=0.0, 0.0
.ENDS

```

### 3.2 増幅要素

図 19 には、増幅要素のシンボル一覧を示した。

増幅要素として、PR<sub>1</sub> 回路 (図 20)、PR<sub>2</sub> 回路 (図 22)、OP1 回路 (図 24) を提示する。PR<sub>1</sub> 回路は、単電源用の前置増幅器回路の増幅要素である。PR<sub>2</sub> 回路は、PR<sub>1</sub> 回路を修正して、カスコー

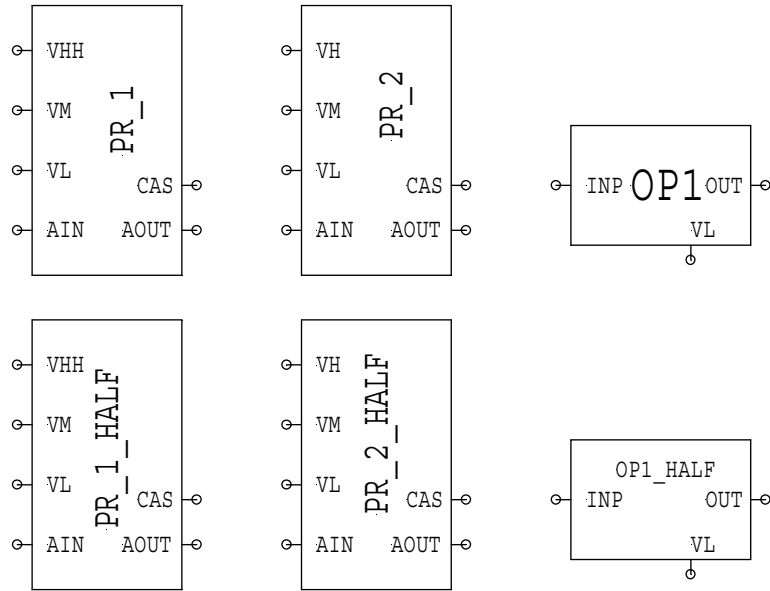


図 19: 増幅回路要素のシンボル一覧

ドブースト方式を採用している。OP1 回路は、アナログ信号の出力バッファとして用いることができる。

また、PR\_1\_HALF 回路 (図 21)、PR\_2\_HALF 回路 (図 23)、OP1\_HALF 回路 (図 25) は、それぞれ PR\_1 回路、PR\_2 回路、OP1 回路において必要とされる電流の半分で駆動することができる。

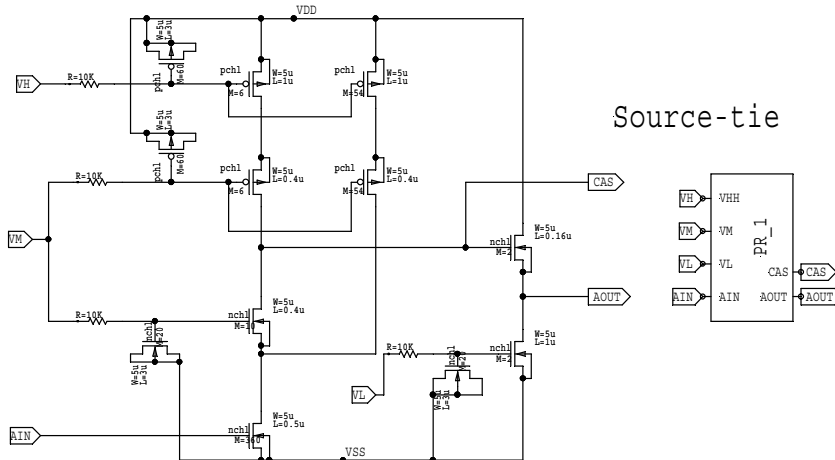


図 20: PR\_1 回路

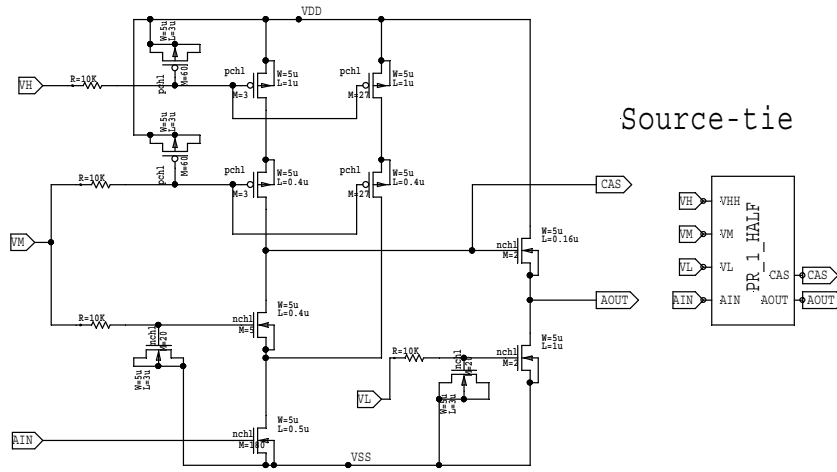


图 21: PR\_1\_HALF 回路

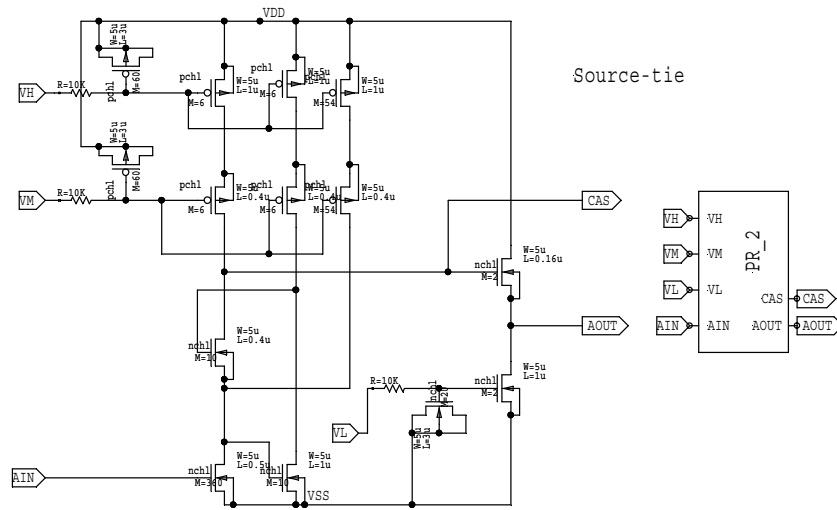


图 22: PR\_2 回路

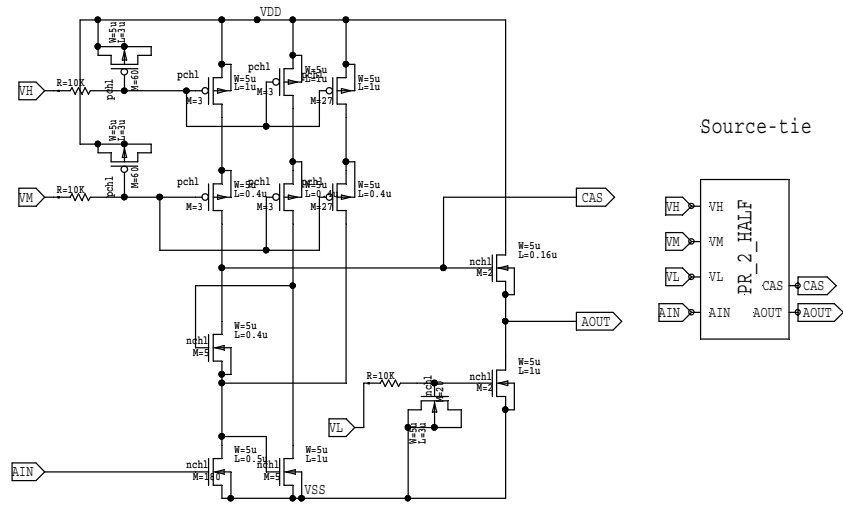


图 23: PR\_2\_HALF 回路

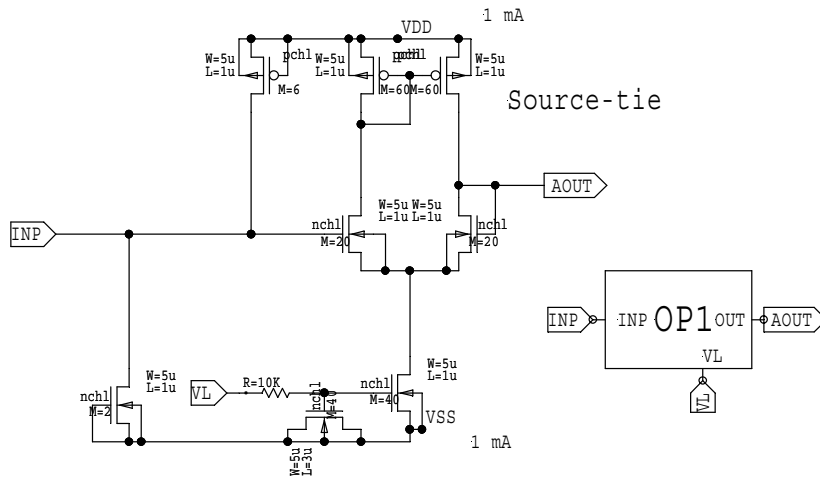


图 24: OP1 回路

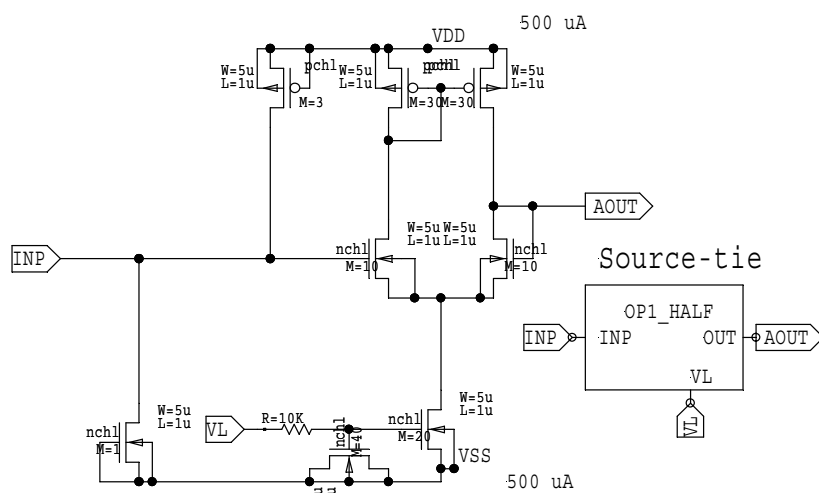


图 25: OP1\_HALF 回路

以下に各回路ブロックのネットリストを掲げる。

```
.SUBCKT OP1_HALF AOUT INP VL
M1 N36 INP N34 N34 nchl L=1u W=5u M=10
M2 AOUT AOUT N34 N34 nchl L=1u W=5u M=10
M3 N34 N33 VSS VSS nchl L=1u W=5u M=20
M4 VSS N33 VSS VSS nchl L=3u W=5u M=40
M5 INP VSS VSS VSS nchl L=1u W=5u M=1
M6 AOUT N36 VDD VDD pchl L=1u W=5u M=30
M7 N36 N36 VDD VDD pchl L=1u W=5u M=30
M8 INP VDD VDD VDD pchl L=1u W=5u M=3
R9 VL N33 10K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT PR_2_HALF AIN AOUT CAS VH VL VM
M1 N40 AIN VSS VSS nchl L=0.5u W=5u M=180
M2 CAS N38 N40 N40 nchl L=0.4u W=5u M=5
M3 AOUT N62 VSS VSS nchl L=1u W=5u M=2
M4 VSS N62 VSS VSS nchl L=3u W=5u M=20
M5 VDD CAS AOUT AOUT nchl L=0.16u W=5u M=2
M6 N38 N40 VSS VSS nchl L=1u W=5u M=5
M7 N34 N36 VDD VDD pchl L=1u W=5u M=3
M8 CAS N39 N34 N34 pchl L=0.4u W=5u M=3
M9 VDD N36 VDD VDD pchl L=3u W=5u M=60
M10 VDD N39 VDD VDD pchl L=3u W=5u M=60
M11 N35 N36 VDD VDD pchl L=1u W=5u M=27
M12 N40 N39 N35 N35 pchl L=0.4u W=5u M=27
M13 N33 N36 VDD VDD pchl L=1u W=5u M=3
M14 N38 N39 N33 N33 pchl L=0.4u W=5u M=3
R15 VH N36 10K TC=0.0, 0.0
R16 VM N39 10K TC=0.0, 0.0
R17 VL N62 10K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT PR_1_HALF AIN AOUT CAS VH VL VM
M1 N39 AIN VSS VSS nchl L=0.5u W=5u M=180
M2 CAS N38 N39 N39 nchl L=0.4u W=5u M=5
M3 VSS N38 VSS VSS nchl L=3u W=5u M=20
M4 AOUT N56 VSS VSS nchl L=1u W=5u M=2
M5 VSS N56 VSS VSS nchl L=3u W=5u M=20
M6 VDD CAS AOUT AOUT nchl L=0.16u W=5u M=2
M7 N34 N36 VDD VDD pchl L=1u W=5u M=3
M8 CAS N37 N34 N34 pchl L=0.4u W=5u M=3
M9 VDD N36 VDD VDD pchl L=3u W=5u M=60
```

```

M10 VDD N37 VDD VDD pchl L=3u W=5u M=60
M11 N35 N36 VDD VDD pchl L=1u W=5u M=27
M12 N39 N37 N35 N35 pchl L=0.4u W=5u M=27
R13 VH N36 10K TC=0.0, 0.0
R14 VM N37 10K TC=0.0, 0.0
R15 VM N38 10K TC=0.0, 0.0
R16 VL N56 10K TC=0.0, 0.0
.ENDS

```

```

.SUBCKT OP1 AOUT INP VL

```

```

M1 N36 INP N33 N33 nchl L=1u W=5u M=20
M2 AOUT AOUT N33 N33 nchl L=1u W=5u M=20
M3 N33 N34 VSS VSS nchl L=1u W=5u M=40
M4 VSS N34 VSS VSS nchl L=3u W=5u M=40
M5 INP VSS VSS VSS nchl L=1u W=5u M=2
M6 AOUT N36 VDD VDD pchl L=1u W=5u M=60
M7 N36 N36 VDD VDD pchl L=1u W=5u M=60
M8 INP VDD VDD VDD pchl L=1u W=5u M=6
R9 VL N34 10K TC=0.0, 0.0
.ENDS

```

```

.SUBCKT PR_1 AIN AOUT CAS VH VL VM

```

```

M1 N35 AIN VSS VSS nchl L=0.5u W=5u M=360
M2 CAS N39 N35 N35 nchl L=0.4u W=5u M=10
M3 VSS N39 VSS VSS nchl L=3u W=5u M=20
M4 AOUT N36 VSS VSS nchl L=1u W=5u M=2
M5 VSS N36 VSS VSS nchl L=3u W=5u M=20
M6 VDD CAS AOUT AOUT nchl L=0.16u W=5u M=2
M7 N40 N38 VDD VDD pchl L=1u W=5u M=6
M8 CAS N37 N40 N40 pchl L=0.4u W=5u M=6
M9 VDD N38 VDD VDD pchl L=3u W=5u M=60
M10 VDD N37 VDD VDD pchl L=3u W=5u M=60
M11 N34 N38 VDD VDD pchl L=1u W=5u M=54
M12 N35 N37 N34 N34 pchl L=0.4u W=5u M=54
R13 VH N38 10K TC=0.0, 0.0
R14 VM N37 10K TC=0.0, 0.0
R15 VM N39 10K TC=0.0, 0.0
R16 VL N36 10K TC=0.0, 0.0
.ENDS

```

```

.SUBCKT PR_2 AIN AOUT CAS VH VL VM

```

```

M1 N38 AIN VSS VSS nchl L=0.5u W=5u M=360
M2 CAS N34 N38 N38 nchl L=0.4u W=5u M=10

```

```

M3 AOUT N41 VSS VSS nchl L=1u W=5u M=2
M4 VSS N41 VSS VSS nchl L=3u W=5u M=20
M5 VDD CAS AOUT AOUT nchl L=0.16u W=5u M=2
M6 N34 N38 VSS VSS nchl L=1u W=5u M=10
M7 N37 N40 VDD VDD pchl L=1u W=5u M=6
M8 CAS N39 N37 N37 pchl L=0.4u W=5u M=6
M9 VDD N40 VDD VDD pchl L=3u W=5u M=60
M10 VDD N39 VDD VDD pchl L=3u W=5u M=60
M11 N33 N40 VDD VDD pchl L=1u W=5u M=54
M12 N38 N39 N33 N33 pchl L=0.4u W=5u M=54
M13 N36 N40 VDD VDD pchl L=1u W=5u M=6
M14 N34 N39 N36 N36 pchl L=0.4u W=5u M=6
R15 VH N40 10K TC=0.0, 0.0
R16 VM N39 10K TC=0.0, 0.0
R17 VL N41 10K TC=0.0, 0.0
.ENDS

```

### 3.3 帰還回路

図 26 には、帰還回路のシンボルの一覧を示した。

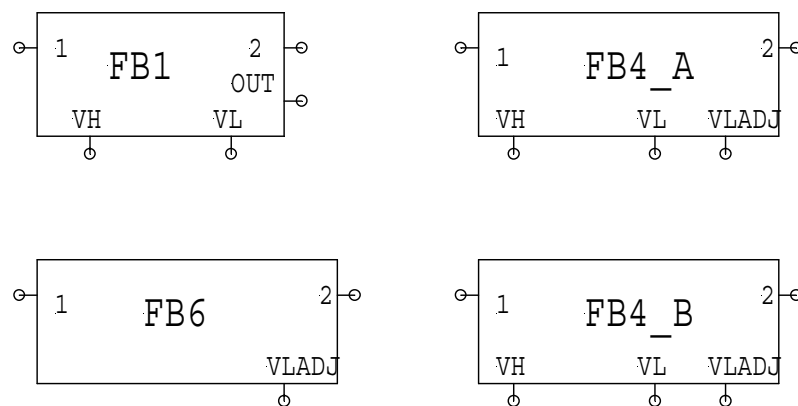


図 26: 帰還回路のシンボル一覧

帰還回路要素として FB1 回路 (図 27)、FB4\_A 回路 (図 28)、FB4\_B (図 29)、FB6 回路 (図 30) を提示した。FB1 回路は、古典的は荷電敏感型前置増幅器における高抵抗素子を回路に置き換えたものである。FB4\_A、FB4\_B 回路はいわゆる TOT 型の前置増幅器を構成するための帰還回路である。FB6 回路を帰還回路として用いると高速のトランスインピーダンス型の増幅器を実現することができる。



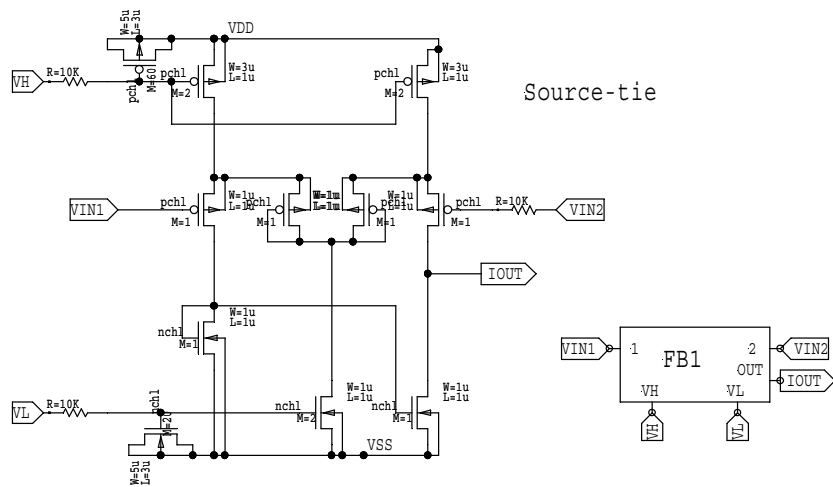


图 27: FB1 回路

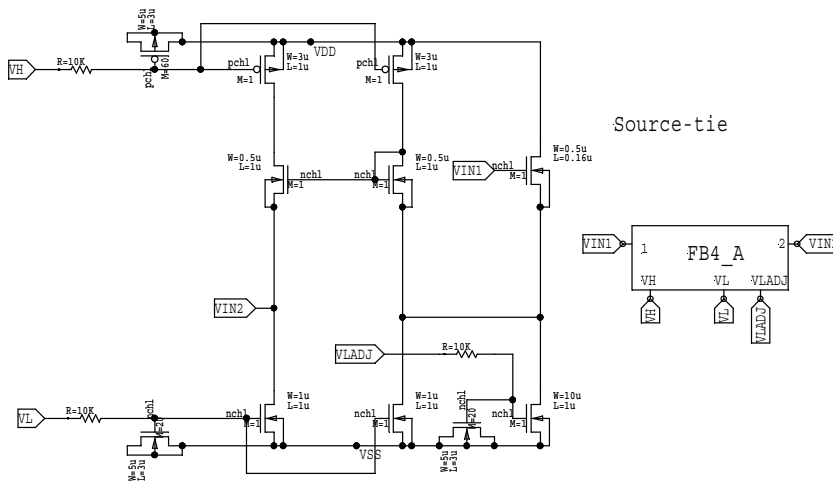


图 28: FB4\_A 回路



以下に各回路ブロックのネットリストを掲げる。

```
.SUBCKT FB6 VIN1 VIN2 VLADJ
M1 VIN2 N1 VSS VSS nchl L=1u W=1u M=1
M2 VSS N1 VSS VSS nchl L=3u W=5u M=20
M3 VIN2 VSS VIN1 VIN1 pchl L=1u W=0.5u M=1
R4 VLADJ N1 10K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT FB4_B VH VIN1 VIN2 VL VLADJ
C1 AA BB 0.12pF
C2 BB CC 0.12pF
C3 CC N33 0.12pF
.ic v(AA,BB)=0 v(AA,CC)=0
M4 VIN2 N36 VSS VSS nchl L=1u W=1u M=1
M5 VDD VIN1 N37 N37 nchl L=0.16u W=0.5u M=1
M6 N33 N33 N37 N37 nchl L=1u W=0.5u M=1
M7 AA N33 VIN2 VIN2 nchl L=1u W=0.5u M=1
M8 N37 N34 VSS VSS nchl L=1u W=10u M=1
M9 VSS N36 VSS VSS nchl L=3u W=5u M=60
M10 VSS N34 VSS VSS nchl L=3u W=5u M=20
M11 N37 N36 VSS VSS nchl L=1u W=1u M=1
M12 AA N35 VDD VDD pchl L=1u W=3u M=1
M13 VDD N35 VDD VDD pchl L=3u W=5u M=60
M14 N33 N35 VDD VDD pchl L=1u W=3u M=1
R15 VH N35 10K TC=0.0, 0.0
R16 VL N36 10K TC=0.0, 0.0
R17 VLADJ N34 10K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT FB4_A VH VIN1 VIN2 VL VLADJ
M1 VIN2 N33 VSS VSS nchl L=1u W=1u M=1
M2 VDD VIN1 N38 N38 nchl L=0.16u W=0.5u M=1
M3 N36 N36 N38 N38 nchl L=1u W=0.5u M=1
M4 N37 N36 VIN2 VIN2 nchl L=1u W=0.5u M=1
M5 N38 N34 VSS VSS nchl L=1u W=10u M=1
M6 VSS N33 VSS VSS nchl L=3u W=5u M=20
M7 VSS N34 VSS VSS nchl L=3u W=5u M=20
M8 N38 N33 VSS VSS nchl L=1u W=1u M=1
M9 N37 N35 VDD VDD pchl L=1u W=3u M=1
M10 VDD N35 VDD VDD pchl L=3u W=5u M=60
M11 N36 N35 VDD VDD pchl L=1u W=3u M=1
R12 VH N35 10K TC=0.0, 0.0
R13 VL N33 10K TC=0.0, 0.0
```

```

R14 VLADJ N34 10K TC=0.0, 0.0
.ENDS

.SUBCKT FB1 IOUT VH VIN1 VIN2 VL
M1 N37 N39 VDD VDD pchl L=1u W=3u M=2
M2 N34 N35 VSS VSS nchl L=1u W=1u M=2
M3 VSS N35 VSS VSS nchl L=3u W=5u M=20
M4 IOUT N40 VSS VSS nchl L=1u W=1u M=1
M5 N40 N40 VSS VSS nchl L=1u W=1u M=1
M6 N40 VIN1 N37 N37 pchl L=1u W=1u M=1
M7 IOUT N33 N38 N38 pchl L=1u W=1u M=1
M8 VDD N39 VDD VDD pchl L=3u W=5u M=60
M9 N38 N39 VDD VDD pchl L=1u W=3u M=2
M10 N34 N34 N37 N37 pchl L=1u W=1u M=1
M11 N34 N34 N38 N38 pchl L=1u W=1u M=1
R12 VL N35 10K TC=0.0, 0.0
R13 N33 VIN2 10K TC=0.0, 0.0
R14 VH N39 10K TC=0.0, 0.0
.ENDS

```

### 3.4 差動増幅回路

図 31 に、差動増幅回路のシンボルの一覧を示した。

差動増幅器関連の回路ブロックとして DIFA\_S 回路 (図 32)、DIFA\_M 回路 (図 34)、DIFA\_F 回路 (図 36)、DIFA\_TH 回路 (図 38)、DIF\_COMP 回路 (図 39)、ACC 回路 (図 40) を提示する。DIFA\_S 回路、DIFA\_M 回路、DIFA\_F 回路は、それぞれ低速、中速、高速用の差動増幅器回路であって、動作速度は内臓の容量値によって調整することができるようになっている。DIFA\_TH 回路は、差動増幅系において、コンパレータに信号を入力する前段においてスレッシュホールドを与えるための回路である。DIF\_COMP 回路は、差動入力型のコンパレータ回路である。ACC 回路は、差動増幅系において AC 結合を実現するための回路である。

また、DIFA\_S\_HALF 回路 (図 33)、DIFA\_M\_HALF 回路 (図 35)、DIFA\_F\_HALF 回路 (図 37) は、それぞれ DIFA\_S 回路、DIFA\_M 回路、DIFA\_F 回路において必要とする半分の電流で駆動することができるようになっている回路である。

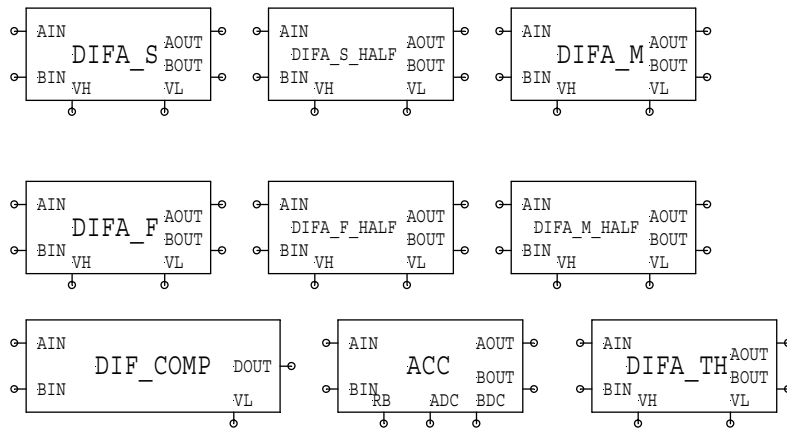


図 31: 差動増幅器及び関連する回路ブロックのシンボル一覧

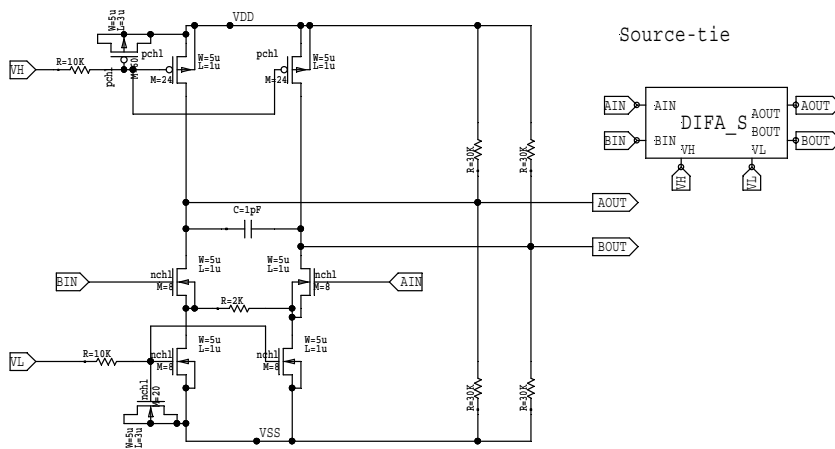


図 32: DIFA\_S 回路

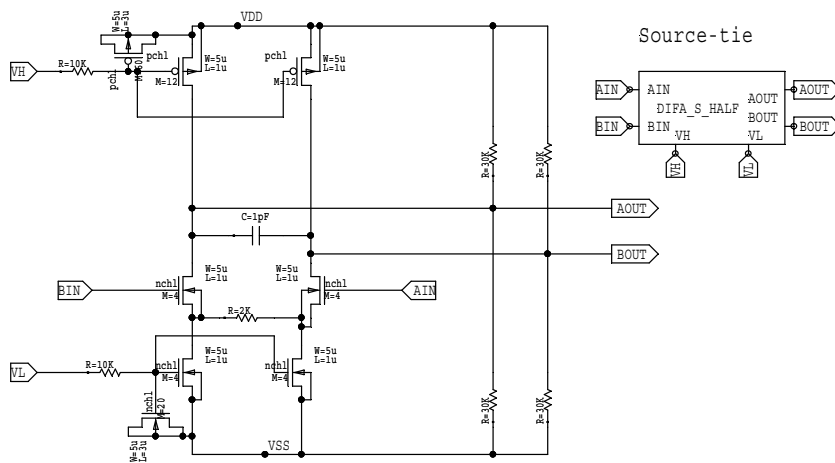


図 33: DIFA\_S\_HALF 回路

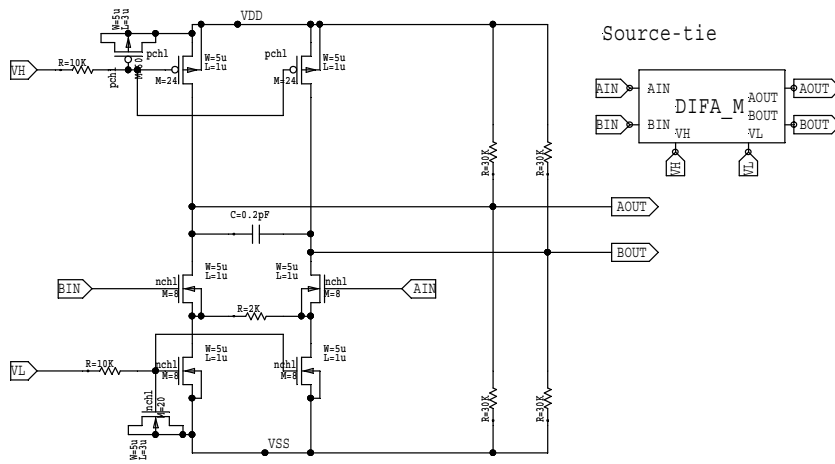


图 34: DIFA\_M 回路

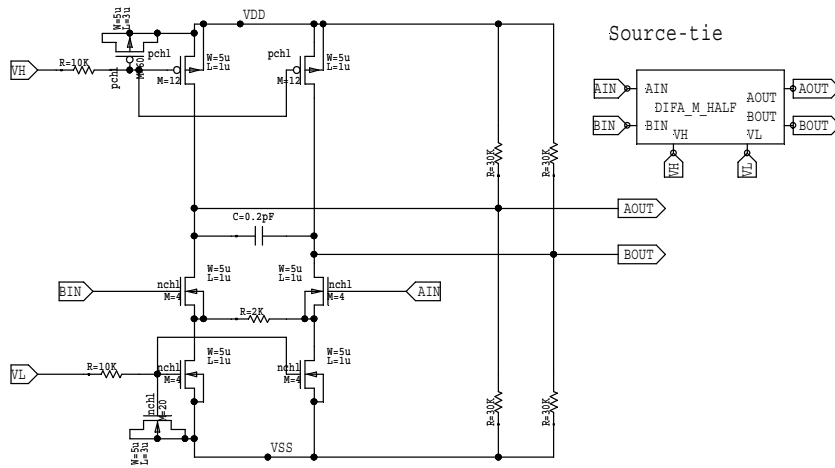


图 35: DIFA\_M\_HALF 回路

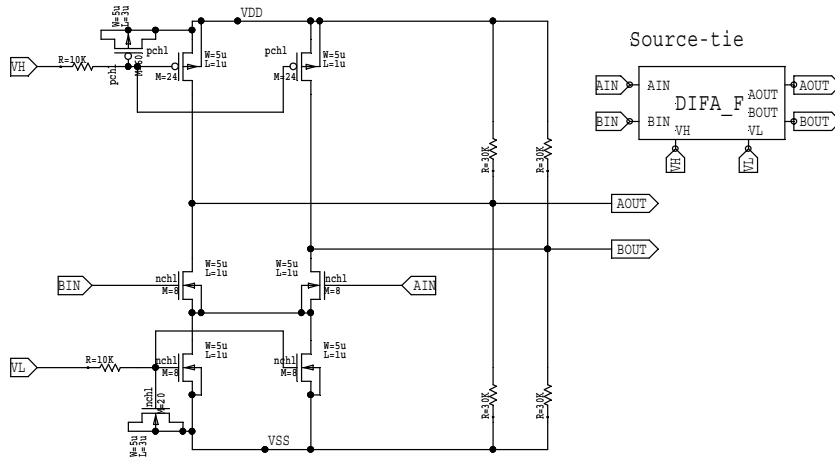


图 36: DIFA\_F 回路

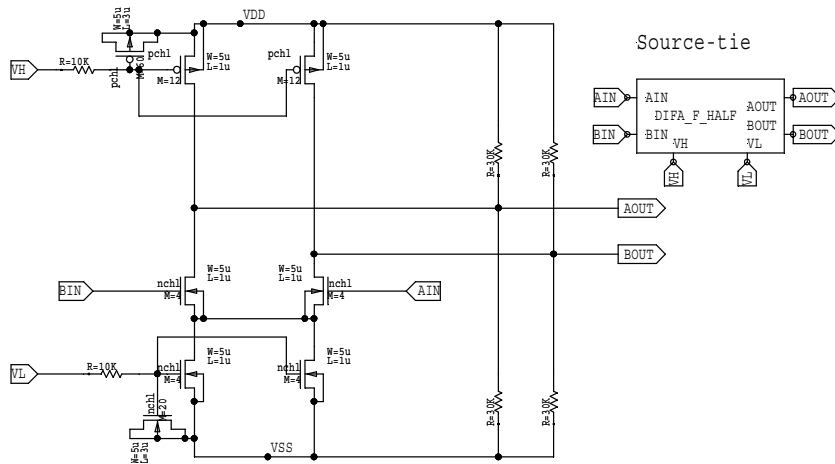


图 37: DIFA\_F\_HALF 回路

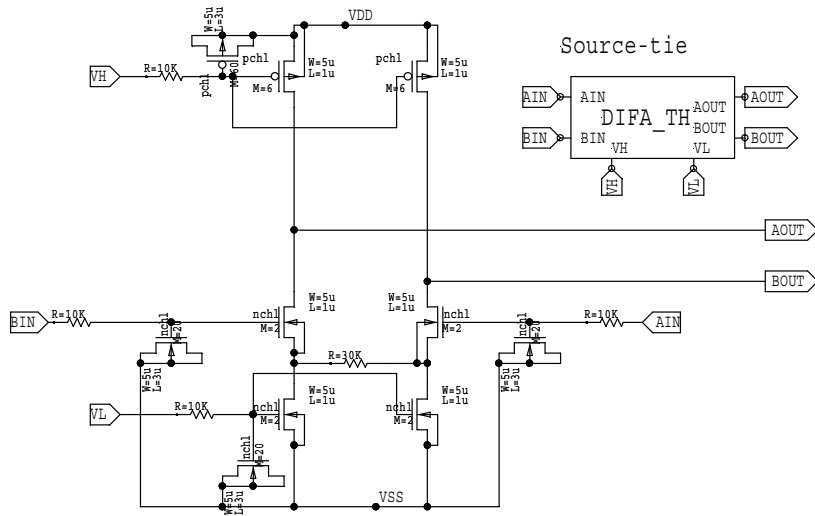


图 38: DIFA\_TH 回路

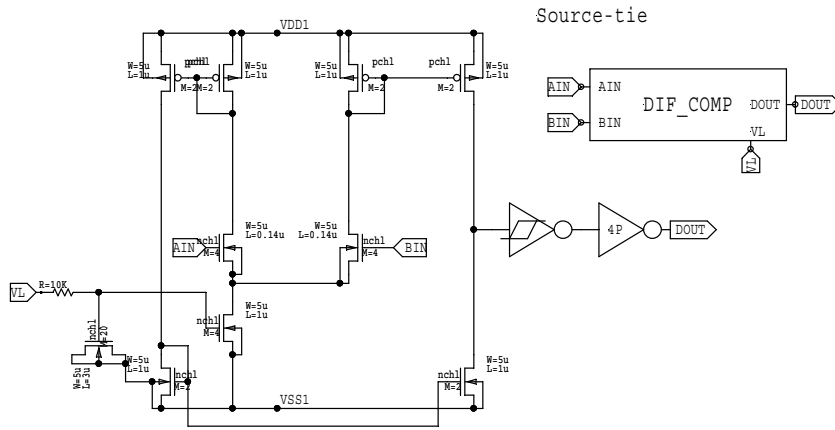


图 39: DIFA\_COMP 回路

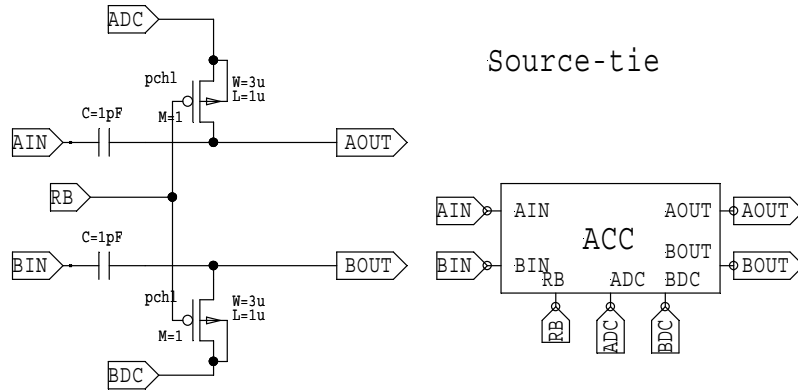


图 40: ACC 回路



以下、各回路ブロックのネットリストを掲げる。

```
.SUBCKT DIFA_F_HALF AIN AOUT BIN BOUT VH VL
M1 AOUT BIN N36 N36 nchl L=1u W=5u M=4
M2 N36 N33 VSS VSS nchl L=1u W=5u M=4
M3 N36 N33 VSS VSS nchl L=1u W=5u M=4
M4 BOUT AIN N36 N36 nchl L=1u W=5u M=4
M5 VSS N33 VSS VSS nchl L=3u W=5u M=20
M6 AOUT N34 VDD VDD pchl L=1u W=5u M=12
M7 BOUT N34 VDD VDD pchl L=1u W=5u M=12
M8 VDD N34 VDD VDD pchl L=3u W=5u M=60
R9 VH N34 10K TC=0.0, 0.0
R10 VL N33 10K TC=0.0, 0.0
R11 AOUT VDD 30K TC=0.0, 0.0
R12 VSS AOUT 30K TC=0.0, 0.0
R13 BOUT VDD 30K TC=0.0, 0.0
R14 VSS BOUT 30K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT DIFA_M_HALF AIN AOUT BIN BOUT VH VL
C1 AOUT BOUT 0.2pF
M2 AOUT BIN N33 N33 nchl L=1u W=5u M=4
M3 N37 N36 VSS VSS nchl L=1u W=5u M=4
M4 N33 N36 VSS VSS nchl L=1u W=5u M=4
M5 BOUT AIN N37 N37 nchl L=1u W=5u M=4
M6 VSS N36 VSS VSS nchl L=3u W=5u M=20
M7 AOUT N34 VDD VDD pchl L=1u W=5u M=12
M8 BOUT N34 VDD VDD pchl L=1u W=5u M=12
M9 VDD N34 VDD VDD pchl L=3u W=5u M=60
R10 N33 N37 2K TC=0.0, 0.0
R11 VH N34 10K TC=0.0, 0.0
R12 VL N36 10K TC=0.0, 0.0
R13 AOUT VDD 30K TC=0.0, 0.0
R14 VSS AOUT 30K TC=0.0, 0.0
R15 BOUT VDD 30K TC=0.0, 0.0
R16 VSS BOUT 30K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT DIFA_S_HALF AIN AOUT BIN BOUT VH VL
C1 AOUT BOUT 1pF
M2 AOUT BIN N33 N33 nchl L=1u W=5u M=4
M3 N37 N36 VSS VSS nchl L=1u W=5u M=4
M4 N33 N36 VSS VSS nchl L=1u W=5u M=4
M5 BOUT AIN N37 N37 nchl L=1u W=5u M=4
```

```

M6 VSS N36 VSS VSS nchl L=3u W=5u M=20
M7 AOUT N34 VDD VDD pchl L=1u W=5u M=12
M8 BOUT N34 VDD VDD pchl L=1u W=5u M=12
M9 VDD N34 VDD VDD pchl L=3u W=5u M=60
R10 N33 N37 2K TC=0.0, 0.0
R11 VH N34 10K TC=0.0, 0.0
R12 VL N36 10K TC=0.0, 0.0
R13 AOUT VDD 30K TC=0.0, 0.0
R14 VSS AOUT 30K TC=0.0, 0.0
R15 BOUT VDD 30K TC=0.0, 0.0
R16 VSS BOUT 30K TC=0.0, 0.0
.ENDS

```

```

.SUBCKT ACC ADC AIN AOUT BDC BIN BOUT RB
C1 AIN AOUT 1pF
C2 BIN BOUT 1pF
M3 AOUT RB ADC ADC pchl L=1u W=3u M=1
M4 BDC RB BOUT BDC pchl L=1u W=3u M=1
.ENDS

```

```

.SUBCKT DIFA_F AIN AOUT BIN BOUT VH VL
M1 AOUT BIN N34 N34 nchl L=1u W=5u M=8
M2 N34 N36 VSS VSS nchl L=1u W=5u M=8
M3 N34 N36 VSS VSS nchl L=1u W=5u M=8
M4 BOUT AIN N34 N34 nchl L=1u W=5u M=8
M5 VSS N36 VSS VSS nchl L=3u W=5u M=20
M6 AOUT N33 VDD VDD pchl L=1u W=5u M=24
M7 BOUT N33 VDD VDD pchl L=1u W=5u M=24
M8 VDD N33 VDD VDD pchl L=3u W=5u M=60
R9 VH N33 10K TC=0.0, 0.0
R10 VL N36 10K TC=0.0, 0.0
R11 AOUT VDD 30K TC=0.0, 0.0
R12 VSS AOUT 30K TC=0.0, 0.0
R13 BOUT VDD 30K TC=0.0, 0.0
R14 VSS BOUT 30K TC=0.0, 0.0
.ENDS

```

```

.SUBCKT DIFA_M AIN AOUT BIN BOUT VH VL
C1 AOUT BOUT 0.2pF
M2 AOUT BIN N37 N37 nchl L=1u W=5u M=8
M3 N35 N34 VSS VSS nchl L=1u W=5u M=8
M4 N37 N34 VSS VSS nchl L=1u W=5u M=8
M5 BOUT AIN N35 N35 nchl L=1u W=5u M=8

```

```

M6 VSS N34 VSS VSS nchl L=3u W=5u M=20
M7 AOUT N33 VDD VDD pchl L=1u W=5u M=24
M8 BOUT N33 VDD VDD pchl L=1u W=5u M=24
M9 VDD N33 VDD VDD pchl L=3u W=5u M=60
R10 N37 N35 2K TC=0.0, 0.0
R11 VH N33 10K TC=0.0, 0.0
R12 VL N34 10K TC=0.0, 0.0
R13 AOUT VDD 30K TC=0.0, 0.0
R14 VSS AOUT 30K TC=0.0, 0.0
R15 BOUT VDD 30K TC=0.0, 0.0
R16 VSS BOUT 30K TC=0.0, 0.0
.ENDS

```

```

.SUBCKT DIFA_S AIN AOUT BIN BOUT VH VL
C1 AOUT BOUT 1pF
M2 AOUT BIN N37 N37 nchl L=1u W=5u M=8
M3 N35 N34 VSS VSS nchl L=1u W=5u M=8
M4 N37 N34 VSS VSS nchl L=1u W=5u M=8
M5 BOUT AIN N35 N35 nchl L=1u W=5u M=8
M6 VSS N34 VSS VSS nchl L=3u W=5u M=20
M7 AOUT N33 VDD VDD pchl L=1u W=5u M=24
M8 BOUT N33 VDD VDD pchl L=1u W=5u M=24
M9 VDD N33 VDD VDD pchl L=3u W=5u M=60
R10 N37 N35 2K TC=0.0, 0.0
R11 VH N33 10K TC=0.0, 0.0
R12 VL N34 10K TC=0.0, 0.0
R13 AOUT VDD 30K TC=0.0, 0.0
R14 VSS AOUT 30K TC=0.0, 0.0
R15 BOUT VDD 30K TC=0.0, 0.0
R16 VSS BOUT 30K TC=0.0, 0.0
.ENDS

```

```

.SUBCKT DIFA_TH AIN AOUT BIN BOUT VH VL
M1 AOUT N38 N39 N39 nchl L=1u W=5u M=2
M2 VSS N37 VSS VSS nchl L=3u W=5u M=20
M3 N39 N34 VSS VSS nchl L=1u W=5u M=2
M4 N36 N34 VSS VSS nchl L=1u W=5u M=2
M5 BOUT N37 N36 N36 nchl L=1u W=5u M=2
M6 VSS N38 VSS VSS nchl L=3u W=5u M=20
M7 VSS N34 VSS VSS nchl L=3u W=5u M=20
M8 AOUT N33 VDD VDD pchl L=1u W=5u M=6
M9 BOUT N33 VDD VDD pchl L=1u W=5u M=6
M10 VDD N33 VDD VDD pchl L=3u W=5u M=60

```

```

R11 VH N33 10K TC=0.0, 0.0
R12 N39 N36 30K TC=0.0, 0.0
R13 VL N34 10K TC=0.0, 0.0
R14 BIN N38 10K TC=0.0, 0.0
R15 N37 AIN 10K TC=0.0, 0.0
.ENDS

.SUBCKT inv1S A Y
M1 N3 A VSS1 VSS1 nchl L=0.14u W=0.85u M=1
M2 Y A N3 VSS1 nchl L=0.14u W=0.85u M=1
M3 Y A N8 VDD1 pchl L=0.14u W=1.6u M=1
M4 N8 A VDD1 VDD1 pchl L=0.14u W=1.6u M=1
M5 VDD1 Y N3 VSS1 nchl L=0.84u W=0.85u M=1
M6 VSS1 Y N8 VDD1 pchl L=0.84u W=1.6u M=1
.ENDS

.SUBCKT inv4P A Y
M1 Y A VSS1 VSS1 nchl L=0.14u W=3.36u M=1
M2 Y A VDD1 VDD1 pchl L=0.14u W=6.4u M=1
.ENDS

.SUBCKT DIF_COMP AIN BIN DOUT VL
Xinv1S_1 N34 N35 inv1S
Xinv4P_1 N35 DOUT inv4P
M1 VSS1 N38 VSS1 VSS1 nchl L=3u W=5u M=20
M2 N36 BIN N37 N37 nchl L=0.14u W=5u M=4
M3 N37 N38 VSS1 VSS1 nchl L=1u W=5u M=4
M4 N33 AIN N37 N37 nchl L=0.14u W=5u M=4
M5 N40 N40 VSS1 VSS1 nchl L=1u W=5u M=2
M6 N34 N40 VSS1 VSS1 nchl L=1u W=5u M=2
M7 N33 N33 VDD1 VDD1 pchl L=1u W=5u M=2
M8 N36 N36 VDD1 VDD1 pchl L=1u W=5u M=2
M9 N34 N36 VDD1 VDD1 pchl L=1u W=5u M=2
M10 N40 N33 VDD1 VDD1 pchl L=1u W=5u M=2
R11 VL N38 10K TC=0.0, 0.0
.ENDS

```

### 3.5 スイッチ回路

図 41 にスイッチ回路のシンボルの一覧を示した。

スイッチ回路として、SW0(図 42) 回路と SW1(図 43) 回路を提示する。SW0 回路は、集積回路の内部においてアナログ信号をマルチプレクスする目的で使用する。SW0 回路においては、オフ時のアイソレーションの向上を図っている。一方、SW1 回路は、集積回路から外部へアナログ信号を出力する

際に用いるようになっている。SW1 においては、出力インピーダンスの低減を図っている。

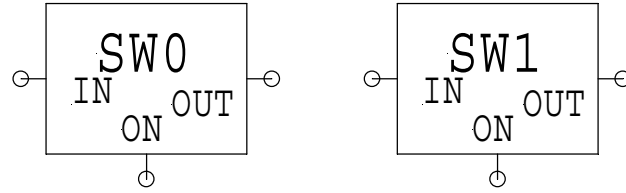


図 41: スイッチ回路のシンボル一覧

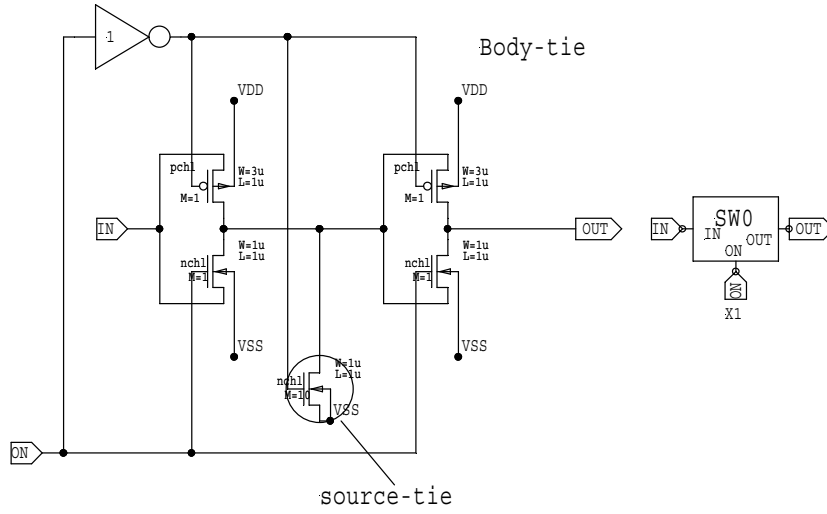


図 42: SW0 回路

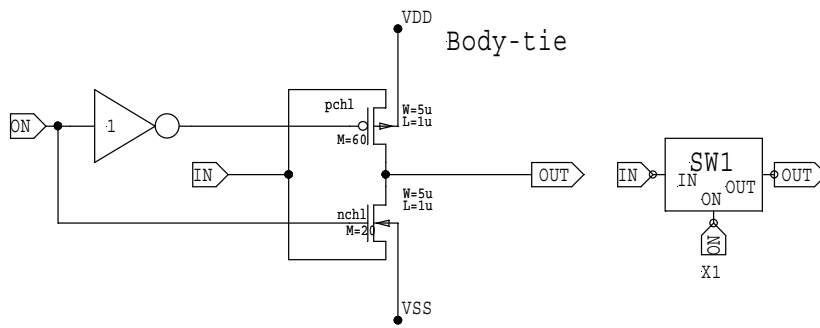


图 43: SW1 回路

以下、各回路ブロックのネットリストを掲げる。

```
.SUBCKT SW0 IN ON OUT
Xinv1_1 ON N1 inv1
M1 OUT ON N2 VSS nchl L=1u W=1u M=1
M2 N2 N1 VSS VSS nchl L=1u W=1u M=10
M3 N2 ON IN VSS nchl L=1u W=1u M=1
M4 OUT N1 N2 VDD pchl L=1u W=3u M=1
M5 N2 N1 IN VDD pchl L=1u W=3u M=1
.ENDS
```

```
.SUBCKT SW1 IN ON OUT
Xinv1_1 ON N2 inv1
M1 OUT ON IN VSS nchl L=1u W=5u M=20
M2 OUT N2 IN VDD pchl L=1u W=5u M=60
.ENDS
```

以上