

---

# 高度センサー信号処理のための Analog-VLSI Open-IP(12)

池田 博一\*

宇宙航空研究開発機構 宇宙科学研究本部

初版：平成 17 年 1 月 3 日

---

## 概要

本仕様書は、TSMC 社の 0.25  $\mu\text{m}$  CMOS プロセスを用いて試作開発された、A/D-mixed 集積回路と、周辺制御回路との接続条件を規定することによって、当該集積回路の試験評価の迅速化と適正化を図るものです。

## 目次

<b>1</b>	<b>Analog-VLSI インターフェースの概要</b>	<b>201</b>
1.1	目的	201
1.2	定義	202
<b>2</b>	<b>下り信号インターフェース</b>	<b>204</b>
2.1	高速下りインターフェース	204
2.2	中速下りインターフェース	207
2.3	低速下りインターフェース	211
<b>3</b>	<b>上り信号インターフェース</b>	<b>214</b>
3.1	中速上りインターフェース	214
3.2	低速上りインターフェース	217
<b>A</b>	<b>関連する電子部品のデータシート</b>	<b>219</b>

## 表目次

1	アナログ電源	202
2	デジタル電源	202
3	インターフェース電源	202

## 図目次

1	電源系統	203
2	高速下りインターフェース	204

---

\*ikedata@post.kek.jp

3	仮想 LVDS ドライバ	205
4	高速下りインターフェースにおける入出力信号波形	206
5	高速下りインターフェースにおけるケーブル信号波形	206
6	中速下りインターフェース	207
7	SN74113 の主要部に対応する等価回路	208
8	SN74115 の主要部に対応する等価回路	209
9	中速下りインターフェースにおける入出力信号波形	209
10	中速下りインターフェースにおけるケーブル信号波形	210
11	低速下りインターフェース	211
12	低速下りインターフェースにおける入出力信号波形	212
13	低速下りインターフェースにおけるケーブル信号波形	213
14	中速上りインターフェース	214
15	中速上りインターフェースにおける入出力信号波形	215
16	中速上りインターフェースにおけるケーブル信号波形	216
17	低速上りインターフェース	217
18	低速上りインターフェースにおける入出力信号波形	217
19	低速上りインターフェースにおけるケーブル信号波形	218

## 1 Analog-VLSI インターフェースの概要

### 1.1 目的

本インターフェース仕様書は、H02 及び M01 の評価試験を目的として、それらと周辺制御回路との接続条件を規定するものです。

H02 及び M01 においては、TSMC 社の  $0.25 \mu\text{m}$  CMOS プロセスを用いています。当該 CMOS プロセスでは、電源につき最低電位と最高電位の差が  $2.5 \text{ V}$  と制限されています。さらに、回路設計上、この電圧を  $\pm 1.25$  に振り分けて使用しています。そうすると、従来、例えば ROHM 社の  $0.35 \mu\text{m}$  CMOS プロセスで製造された集積回路では、電源の振り分けを  $+2.0 \text{ V}$ ,  $-1.3 \text{ V}$  とすることにより、LVDS の信号を直接受信することができたものが、H02 及び M01 では、これを直接受信することができなくなります。一般に市販の LVDS ドライバーは、 $1.2 \text{ V}$  を中心として  $\pm 0.2 \text{ V}$  の信号を伝送しているからです。

また、M01 では、 $40 \text{ MHz}$  ないし  $160 \text{ MHz}$  の高速クロック信号を用いているため、従来の低速ないし中速のインターフェース方式では不足です。さらに、この際、低速の論理信号についても統一的な手法を提示しておく必要があると考えます。これによって、確実な制御系を速やかに実現することができるようにしたいと思います。

なお、これらのインターフェース回路については、Tanner 社の SEDIT による回路既述が別途用意されていますので、請求あればこれを提供することができます。

さらに、これらのインターフェースを適用する場合には、事前に回路実験によって動作を確認した上で実回路の設計製造に移行するようにして下さい。使用した素子の型番の違い、動作電圧の制限等によって、ここでの記載どおりに動作しないことも考えられるからです。また、本仕様書記載のインターフェース回路は、 $3.3 \mu\text{m}$  プロセスにおいて、電源の振り分けを  $+2/-1.3 \text{ V}$  ないし  $\pm 1.65 \text{ V}$  とした場合にも、適用可能です。すなわち、本仕様書において  $+1.25 \text{ V}$  とあるところを  $+2 \text{ V}$  ないし  $+1.65 \text{ V}$  と、 $-1.25 \text{ V}$  とあるところを  $-1.3 \text{ V}$  ないし  $-1.65 \text{ V}$  と読み替えることで所要のインターフェースを

表 2: デジタル電源

電源名称	電源電圧
VDD1	+1.25
VSS1	-1.25
VDD0	+1.25
DGND	0
VSS0	-1.25

表 1: アナログ電源

電源名称	電源電圧
VDD	+1.25
AGND	0
VSS	-1.25

表 3: インターフェース電源

電源名称	電源電圧
VCC1	+5.0
VCC2	+3.5
VEE1	0

構成することができるようになってきました。ただし、既述のように事前の回路実験によって適正動作を確認することを怠らないようにして下さい。

## 1.2 定義

以下、H02 ないし M01 の集積回路を搭載した基板を「ターゲット側」と、周辺制御回路を「コントロール側」と呼びます。また、「コントロール側」から「ターゲット側」に向かって伝送される信号を「下り信号」と呼びます。一方、「ターゲット側」から「コントロール側」に向かって伝送される信号を「上り信号」と呼びます。

「ターゲット側」においては、アナログ用として、VDD(+1.25 V)、AGND(0 V)、VSS(-1.25 V) が用いられています。これらを「アナログ電源」(表 1) と呼びます。

一方、デジタル用として、VDD1(+1.25 V)、VSS1(-1.25 V) が集積回路のコア部分につき、VDD0(+1.25 V)、DGND(0 V)、VSS0(-1.25 V) が集積回路のデジタル入出力回路及び「コントロール側」とのインターフェースにつき充たすべき電源として用意されています。これらを「デジタル電源」(表 2) と呼びます。

「コントロール側」においては、VDD0、DGND、VSS0 を「ターゲット側」と共用します。しかし、インターフェースの目的を達成するためには、 $\pm 1.25$  V と 0 V だけでは不足ですので、これ以外に、VCC1(+5.0 V) 及び VCC2(+3.5 V)、さらに VCC1 に対応する VEE1(0 V) を用意しています。一方、VCC2 に対応する VEE2 が忘れられているように見えますが、VCC2 は DGND をパワーリターンとして使用することを想定しています。これらを「インターフェース電源」(表 3) と呼びます。

アナログ用の周辺回路については、本仕様書では規定していませんが、そこでは、電源が必要であれば、「ターゲット側」と「アナログ電源」を共用することを想定しています。

図 1 には、これらの電源の系統図を示しました。TARGET と表示した部分には評価対象となる集積回路が搭載されます。ANALOG PERIPHERAL と表示した部分において、TARGET 部から送出されるアナログ信号のバッファ-中継を行うようになってきました。また、DIGITAL PERIPHERAL と表示された部分では、論理信号のレベル変換及び中継を行うようになってきました。さらに、POWER

BANK と表示された部分には、必要な電源装置が集約されています。また、電源装置において、基準となる接地電位が定められるように構成されています。

デジタルの電源系統では、VSS1 と VSS0 の間、及び DGND と VEE1 の間に一對の(相互に逆極性の)ダイオードが設けられていることに注意して下さい。これは、別系統ではあっても相互に同一電位あるべき基準電位が相互に区々となることを可及的に防止するためです。具体的には、デジタル信号のトランジェントに付随する過大な電圧スパイク発生のおそれに対する対策となっています。

一方、アナログの VSS、AGND とデジタルの同電位電源間でも同様の事情が原理的にはあり得ま

す。しかし、このような対策を行うことによって、デジタルシステムにおける電圧スパイクがアナログシステムに回り込む弊害を考慮して、上記対策は敢えて採用していません。

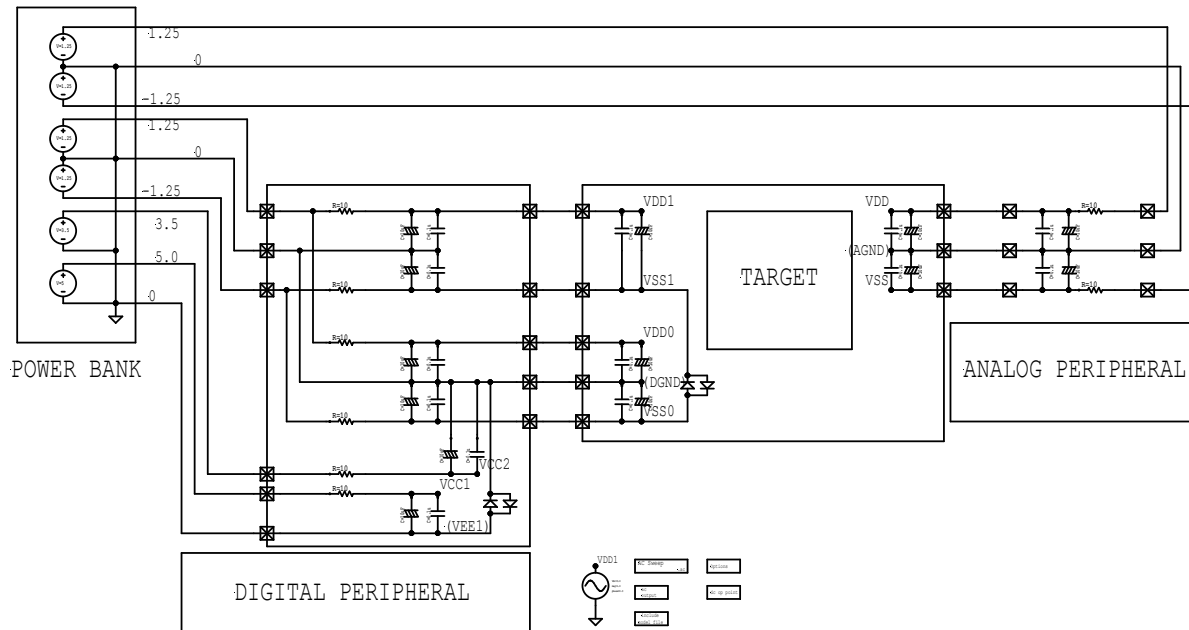


図 1: 電源系統

## 2 下り信号インターフェース

下り信号インターフェースとして高速下りインターフェース(サブセクション 2.1)、中速下りインターフェース(サブセクション 2.2)、及び低速下りインターフェース(サブセクション 2.3)を用意しました。

### 2.1 高速下りインターフェース

高速下りインターフェースとは、高周波の繰り返し信号をコントロール側からターゲット側に伝送するためのインターフェースをいいます。ここでは、LVDS 規格での信号伝送を想定しています。

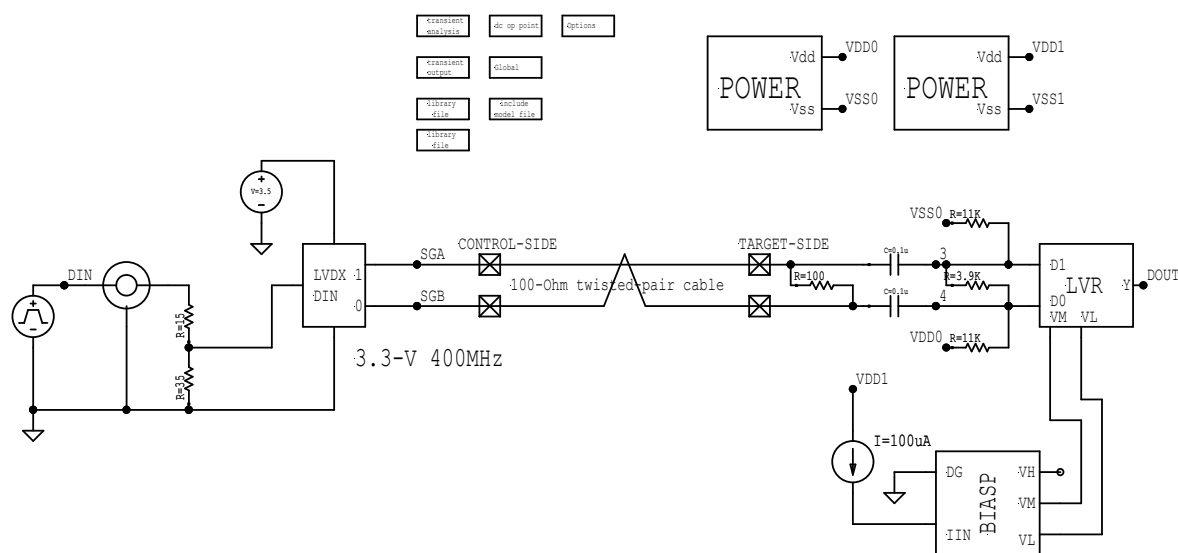


図 2: 高速下りインターフェース

図 2 には、高速下りインターフェースの回路図を模式的に示しました。パルスジェネレータで生成された TTL 信号 (DIN) は、 $50 \Omega$  の同軸ケーブル、同軸コネクタを経由して  $50 \Omega$  の終端抵抗に導かれるようになっています。終端抵抗は、 $15 \Omega$  と  $35 \Omega$  に分割されており、これによって TTL 信号を分圧するようになっています。分圧された TTL 信号は、LVDS ドライバ LVDX に入力されるようになっています。LVDX は高電位側電源として  $VCC2(+3.5 V)$  を用いていますので、低電位側は、 $DGND(0 V)$  となります。したがって、終端抵抗、同軸コネクタの接地側は、 $DGND$  の接続されるようになっています。具体的な LVDS ドライバとしては、 $3.3 - V$  系の  $400 \text{ MHz}$  クラスのもの<sup>1</sup>を使用することを想定しています。そうするとここでは電源電圧が少し高めであることとなりますが、それでも通常の LVDS ドライバの定格内に収まっていると思います。LVDX の出力信号は、ターゲット側において  $100 \Omega$  の抵抗によって終端されるとともに、 $0.1 \mu F$  の容量を介して LVR 回路の入力部に導かれるようになっています。LVR の入力部は、無信号時に DOUT が "L" となるように抵抗チェーン ( $11 k\Omega \sim 3.9 k\Omega \sim 11 k\Omega$ ) が設けられています。

<sup>1</sup>例えば Texas instruments 社の SN55(65)LVDS31 が該当します。

本模式図において、LVR 回路、及び BIASP 回路は、M01 ないし H02 の設計書において定義されているものです。なお、LVDX 回路は、LVDS ドライバ回路を等価的に記載したものに過ぎません。その内部構成は、図 3 に掲げてあります。入力信号 (DIN) は、back-to-back ダイオード回路に導かれた後、インバータ回路を 2 段経由し、4 個の VCCS (Voltage-controller current-source) 素子を駆動するようになっています。各 VCCS 素子は、4 mA の電流を送出するように設定してあります。また、出力部 (D1,D0) の平衡電位を +1.2 V とするためのバイアス回路が設けられています。

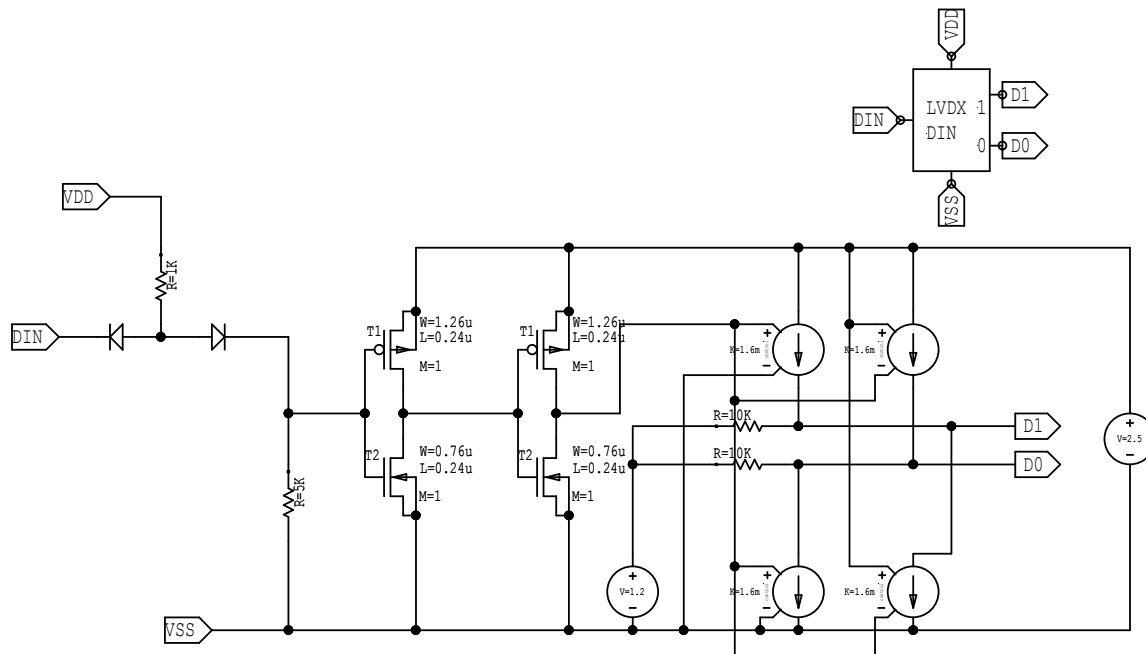


図 3: 仮想 LVDS ドライバ

図 4 には、DIN に入力された TTL 信号と、DOUT 端子において再生された CMOS 信号とが示されています。DOUT のベースラインは、DIN のベースラインに対して 1.25 V だけ低電位側にシフトするとともに、DOUT の振幅は 2.5 V まで圧縮されているのが分かります。また、信号の伝播遅延が短くなっていることも "高速" たる所以です。さらに、"高速" を実効あるものになっているのは、伝送線路 ("100-Ω twisted pair cable") のインピーダンスと終端抵抗の整合がとれていることが必須の要件となっています。

図 5 には、LVDX の送信端における信号波形 (+1.2 V を中心としてトグルしている波形) (SGA, SGB) と、LVR の受信端における信号波形 (0 V を中心としてトグルしている波形) (V(3), V(4)) とが示されています。高速下り信号インターフェースが、容量結合を用いて、送信端と受信端の電位差を確保している様子が分かります。

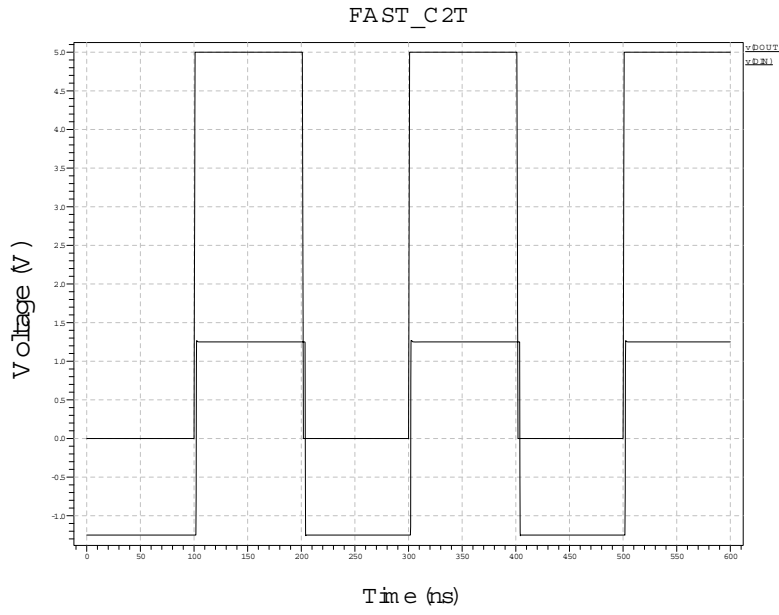


図 4: 高速下りインターフェースにおける入出力信号波形

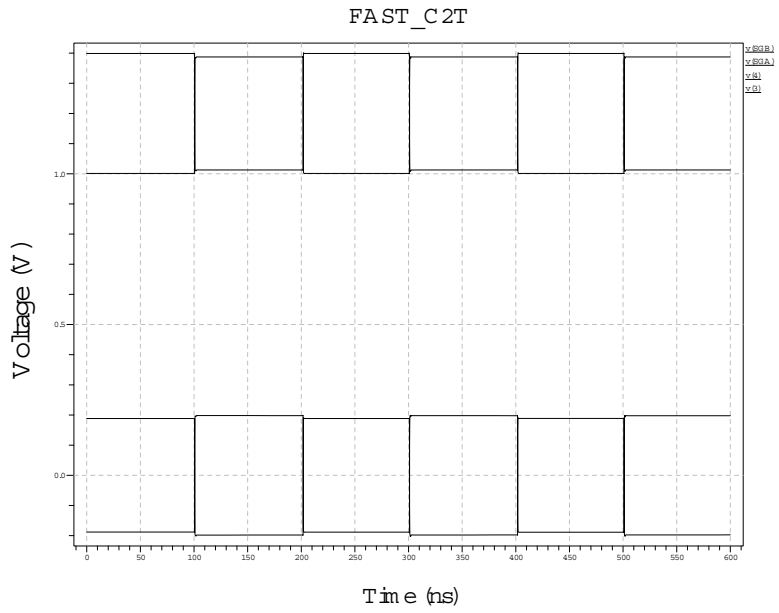


図 5: 高速下りインターフェースにおけるケーブル信号波形

## 2.2 中速下りインターフェース

中速下りインターフェースとは、コントロール側からターゲット側に伝送される信号を取り扱うインターフェースであって、ダイナミックにトグルする可能性はあるけれども、高速下りインターフェースの範疇に属さないものをいいます。ここでも LVDS 規格による信号伝送を想定しています。

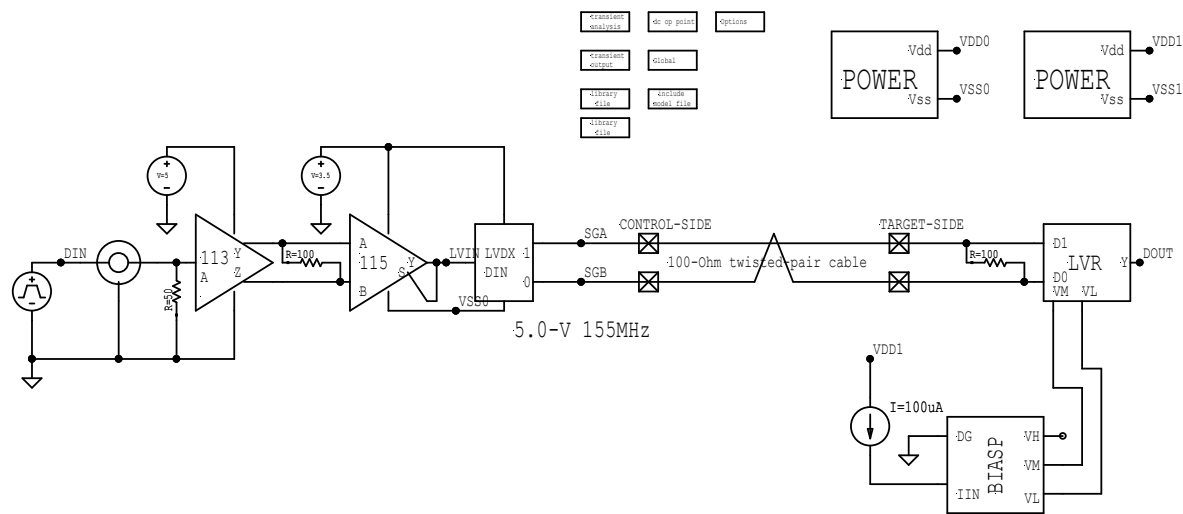


図 6: 中速下りインターフェース

図 6 には、中速下りインターフェースの回路図を模式的に示しました。パルスジェネレータで生成された TTL 信号 (DIN) は、50 Ω の同軸ケーブル、同軸コネクタを経由して 50 Ω の終端抵抗及び TTL 差動ドライバ回路 SN75(55)113<sup>2</sup>に導かれるようになっていています。SN75(55)113 は、高電位側電源として VCC1(+5.0 V) を用いていますので、低電位側は、VEE1(0 V) となります。したがって、終端抵抗、同軸コネクタの接地側も VEE1 に接続されるようになっていています。SN75(55)113 の出力信号は、100 Ω の終端抵抗を経て TTL 差動レシーバ回路 SN75(55)115 へ導かれるようになっていています。SN75(55)115 は、高電位側の電源として VCC2(+3.5 V) を、低電位側の電源として VSS0(-1.25 V) を用いています。そうすると、高電位と低電位の電位差が 4.75 V となって、標準規格の +5.0 V に足りませんが、それでも”55”、”75”いずれの規格をも一応満たしています。SN75(55)115 は、受信側コモンモードレンジとして ±15 V を許容するため、通常は相互の接地電位の電位差が不確かな長距離間の信号伝送に用いられていますが、本インターフェース記載のようなレベルシフトの目的でも利用することができます。SN75(55)115 の出力信号は、LVDS 回路によって LVDS 信号に変換され、100 Ω の伝送線路を経てターゲット側において 100 Ω の終端抵抗及び LVR 回路に導かれるようになっていています。ここで用いられている LVDS ドライバとしては、5-V 系 155 MHz 程度のもの<sup>3</sup>が想定されています。

ちなみに、本模式図における SN75(55)113 回路<sup>4</sup>の主要部を図 7 に示しました。ベース接地の npn トランジスタのエミッタ側 (A) から入力された TTL 信号は、それにつづく差動増幅回路によって、

<sup>2</sup>SN75\*は、民生用の規格を満足する一方、SN55\*はより厳しい軍用の規格を満足するものとなっています。

<sup>3</sup>例えば、National semiconductor 社の DS90C031 が該当します。

<sup>4</sup>SN75(55)113 回路は、その CMOS 版である National semiconductor 社の DS26C31T またはその同等品で置き換えることも可能です。



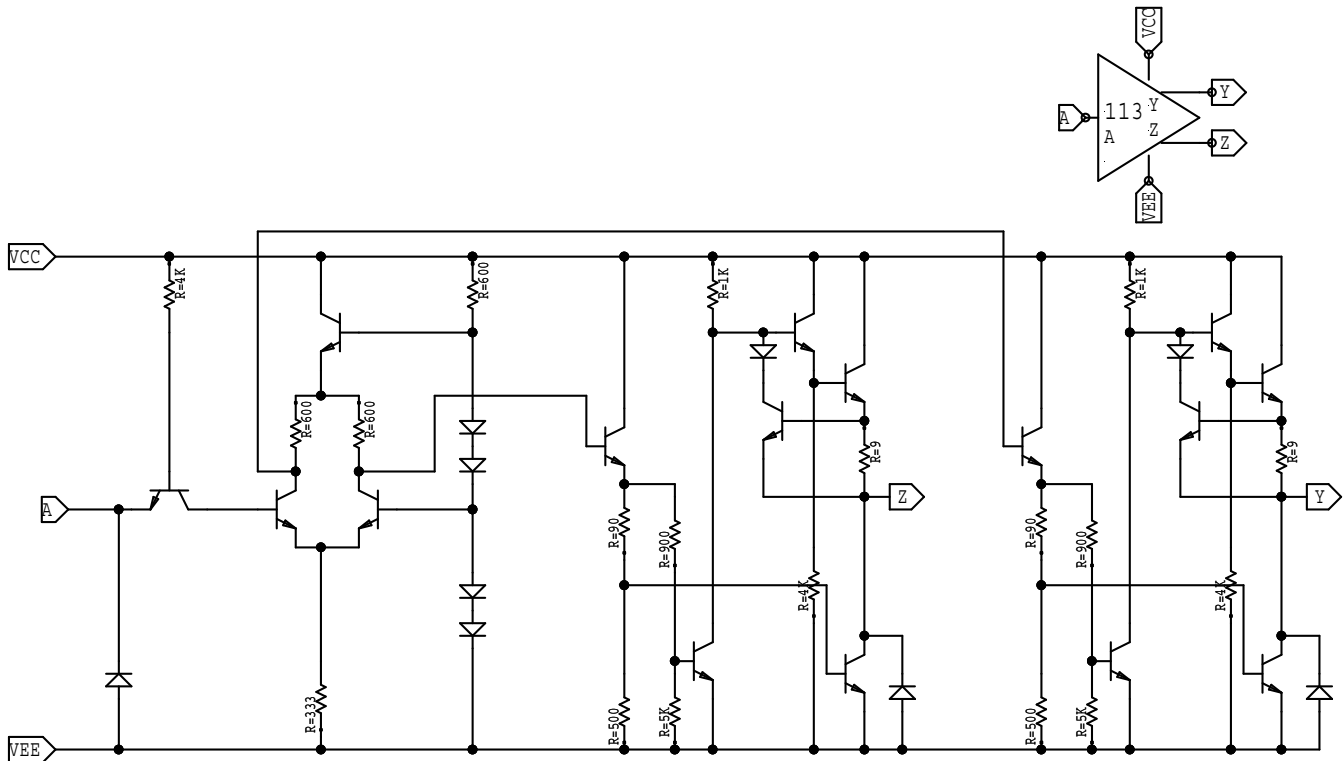


図 7: SN74113 の主要部に対応する等価回路

位相分割されたのち、エミッタフォロウ回路、分圧回路を経て、トーテンポール出力ポート (Y,Z) から信号を送出するようになっています。

さらに、本模式図における SN75(55)115 回路<sup>5</sup>の主要部を図 8 に示しました。差動信号 (A,B) は、第一のエミッタ結合差動増幅回路に入力される前に、減衰回路レベルシフト回路によってその直流レベルが自動調整されるようになっています。すなわち、コモンモード電圧が高すぎる場合にはそれを引き下げ、コモンモード電圧が低すぎる場合にはそれを引き上げるようになっています。第一のエミッタ結合差動増幅回路の出力信号は、エミッタフォロウ及び分圧回路を経由して第二のエミッタ結合差動増幅器に導かれるようになっています。第二のエミッタ結合差動増幅器によって、差動信号は、シングルエンド信号に変換され、その後トーテンポール出力ポート (Y,S) に導かれます。トーテンポール出力ポートは、ダーリントン出力側 (Y) と、オープンコレクタ出力側 (S) に分離して出力されており、様々な応用に適切に対応することができるようになっています。

図 9 には、DIN に入力された TTL 信号と、DOUT において再生された CMOS 信号とが示されています。DOUT のベースラインは、DIN のベースラインに対して 1.25 V だけ低電位側にシフトするとともに、DOUT の振幅は、2.5 V まで圧縮されているのが分かります。信号の伝播遅延時間が 30 – 40 ns あるところが "中速" たる所以です。また、レベル信号のインターフェースが可能である点においても、"高速" 下りインターフェースと区別することができます。

図 10 には、SN75(55)115 の出力信号 (LVIN) と LVDS 差動信号 (SGA, SGB) を示しました。LVDX 回路における伝播遅延は、最小化されていますので、本インターフェースにおける主たる遅延の原因は、SN75(55)113 及び SN75(55)115 にあることが分かります。

<sup>5</sup>SN75(55)115 回路は、その CMOS 版である National semiconductor 社の DS26C32A またはその同等品で置き換えることも可能です。ただし、コモンモードレンジが  $\pm 7V$  と減少しますが、実際上問題となることはないと思います。

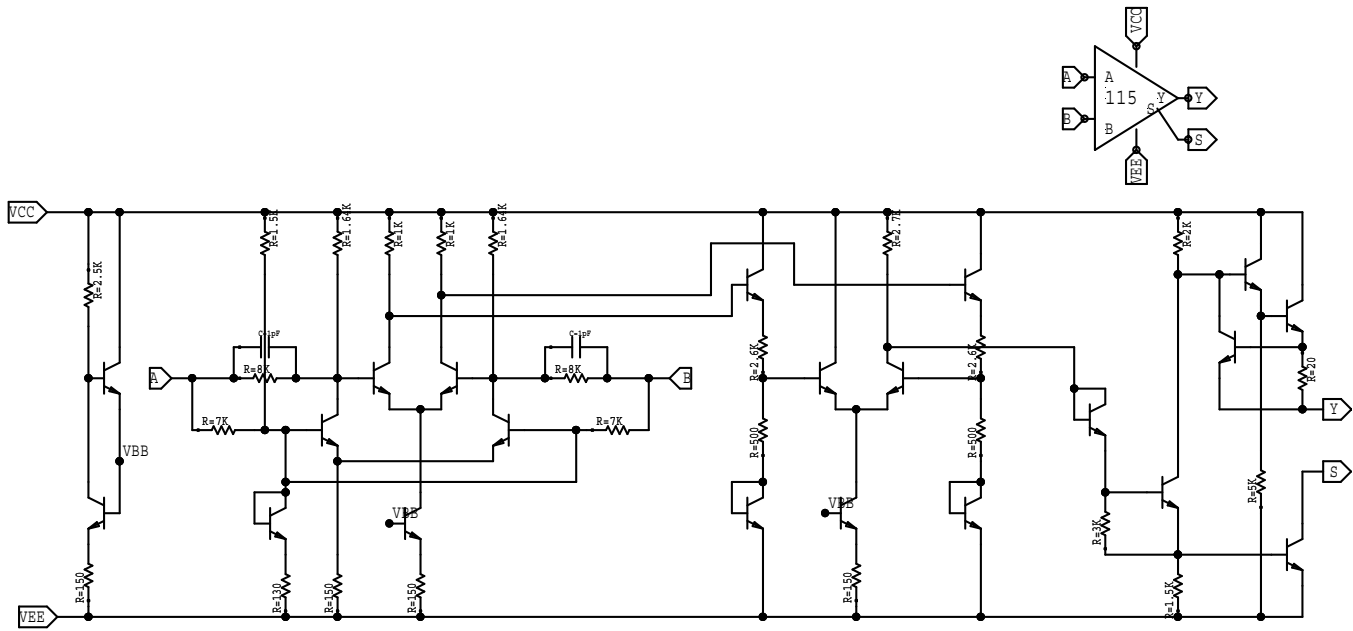


図 8: SN74115 の主要部に対応する等価回路

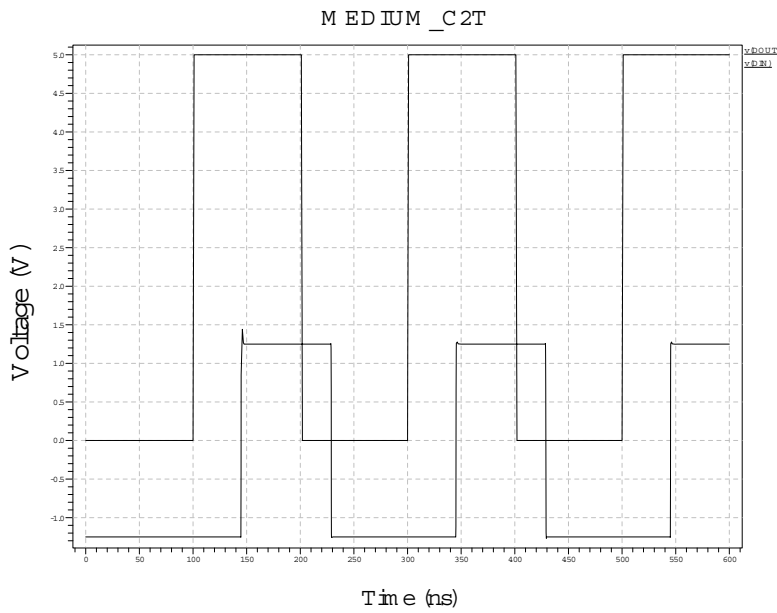


図 9: 中速下りインターフェースにおける入出力信号波形

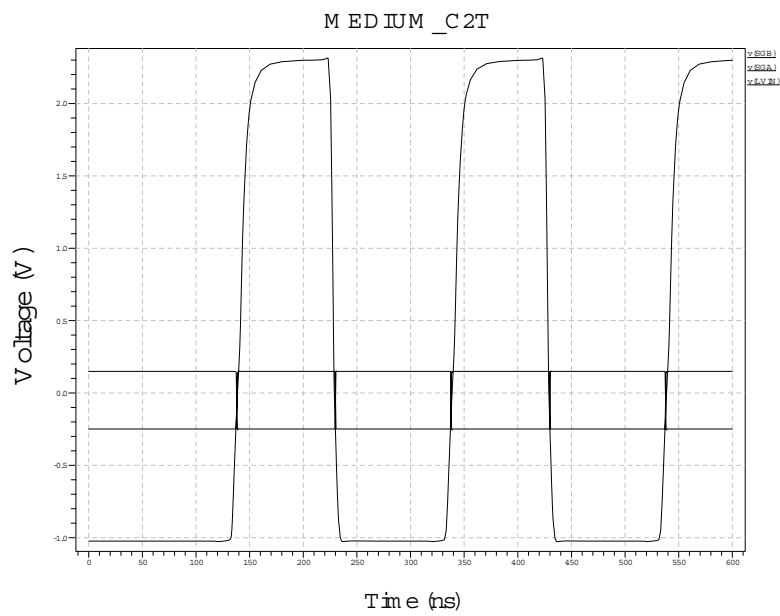


図 10: 中速下りインターフェースにおけるケーブル信号波形

## 2.3 低速下りインターフェース

低速下りインターフェースとは、コントロール側からターゲット側に伝送される信号を取り扱うインターフェースであって、コントロール側の TTL 信号を、ターゲット側の CMOS レベルに適合させるものをいいます。

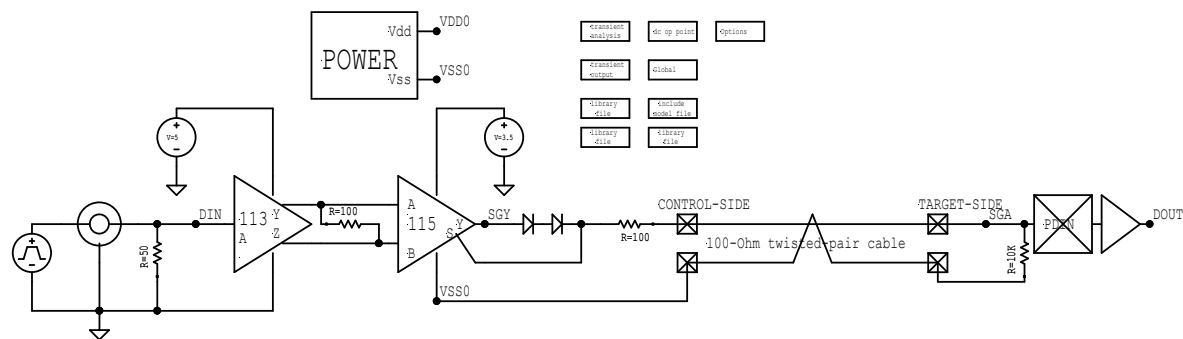


図 11: 低速下りインターフェース

図 11 には、低速下りインターフェースの回路図を模式的に示しました。パルスジェネレータで生成された TTL 信号 (DIN) は、50  $\Omega$  の同軸ケーブル、同軸コネクタを経由して 50  $\Omega$  の終端抵抗及び TTL 差動ドライバ回路 SN75(55)113 に導かれるようになっていいます。SN75(55)113 は、高電位側電源として VCC1(5.0 V) を用いていますので、低電位側は、VEE1(0 V) となります。したがって、終端抵抗、同軸コネクタの接地側も VEE1 に接続されるようになっていいます。SN75(55)113 の出力信号は、100  $\Omega$  の終端抵抗を経て TTL 差動レシーバ回路 SN75(55)115 へ導かれるようになっていいます。SN75(55)115 は、高電位側の電源として VCC2(+3.5 V) を、低電位側の電源として VSS0(-1.25 V) を用いています。ここまでの構成は、中速下りインターフェースの場合と同様です。SN75(55)115 の一方の出力端子 (Y) と他方の出力端子 (S) との間には 2 連のダイオードが設けられています。ダイオードからの出力信号は、100  $\Omega$  の伝送路に導かれる前に、100  $\Omega$  の直列抵抗を経由するようになっていいます。ターゲット側では、10 k $\Omega$  の抵抗でプルダウンされた後、PDIN 回路に入力されるようになっていいます。

なお、本模式図における PDIN 回路は、M01 ないし H02 の設計書において定義されているものです。

図 12 には、DIN 端子に入力された TTL 信号と、DOUT 端子において再生された CMOS 信号とが示されています。DOUT のベースラインは、DIN のベースラインに対して 1.25 V だけ低電位側にシフトするとともに、DOUT の振幅は 2.5 V まで圧縮されているのが分かります。信号の伝播遅延時間は、“中速”のそれと遜色ありません。しかし、伝送線路のインピーダンスとターゲット側での終端抵抗 (プルダウン抵抗) が大きく異なるため終端側での高速信号の反射が発生するおそれがあります。この反射は、コントロール側に設けられた 100  $\Omega$  の直列抵抗によって吸収されます (バックターミネーションといいます。)。また、浮遊容量とプルダウン抵抗とによって発生する時定数によって高速信号のエッジが積分され、追加的な遅延が発生するおそれがあります。このような事由により、低速下りインターフェースは、中速下りインターフェースと区別されます。さらに、信号リターンが VSS0 となっており、これがコントロール側とターゲット側を跨いでいることにも注意して下さい。

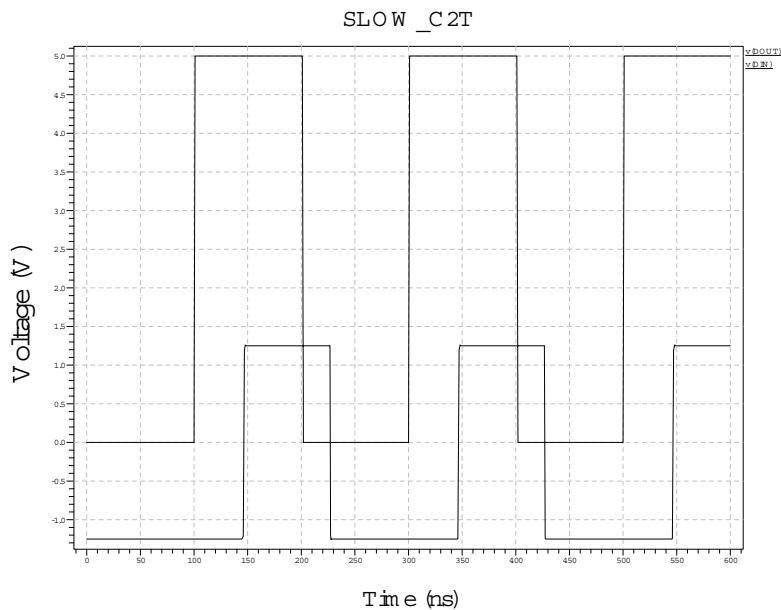


図 12: 低速下りインターフェースにおける入出力信号波形

図 13 には、SN75(55)115 の Y 端子の信号 (SGY) と、受信端における信号 (SGA) とが示されています。SGA 信号のハイレベルは、SN75(55)115 の Y 端子に設けられた 2 連のダイオードの効果により SGY 信号のハイレベル電位から約 2 ダイオードドロップ分だけ減少していることが分かります。また、SGY 信号のローレベルが VSS0 のレベルまで落ちて来ないことにも気がつきます。Y 端子には、積極的に電流を引き込んでその電位を下げるような機構が備わっていないからです。一方、SGA 信号は、そのローレベルにおいて、SN75(55)115 の S 端子が電流を引き込むように働くため、VSS0 のレベルを確保することができます。

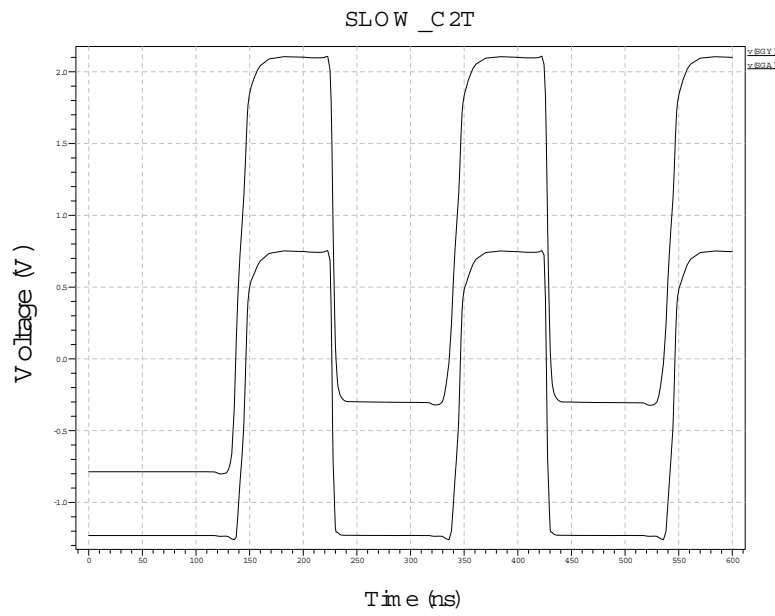


図 13: 低速下りインターフェースにおけるケーブル信号波形

### 3 上り信号インターフェース

上り信号インターフェースとして、中速上りインターフェース(サブセクション 3.1) 及び低速上りインターフェース(サブセクション 3.2) を用意しました。高速上りインターフェースについては、現在のところ具体的な必要に迫られていないことから規定していません。もっとも高速上りインターフェースを LVDS の正規のドライブ規格にしたがって構成すればほぼ自明な態様において実現することができるものと考えています。

#### 3.1 中速上りインターフェース

中速上りインターフェースとは、ターゲット側からコントロール側に伝送される信号を取り扱うインターフェースであって、ターゲット側の Low-drive LVDS 信号(正規の  $4\text{ mA}$  電流ループに対して  $0.36\text{ mA}$  電流ループのものをいいます。)をコントロール側において TTL 信号に変換するものをいいます。

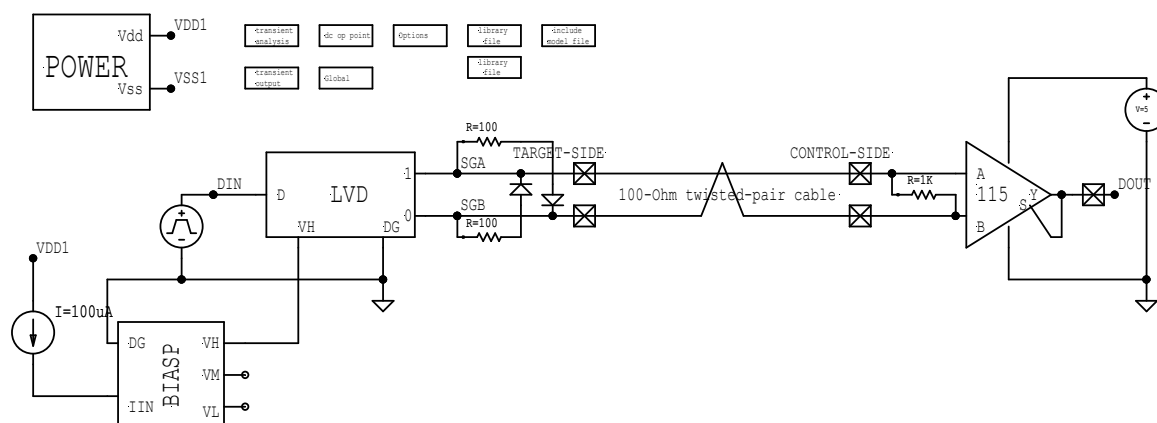


図 14: 中速上りインターフェース

図 14 には、中速上りインターフェースの回路図を模式的に示しました。評価対象となる集積回路の内部で発生された CMOS 信号 (DIN) は、低レベル LVDS ドライバ回路 (LVD) によって、 $0.36\text{ mA}$  の電流差動信号に変換されて、 $100\ \Omega$  の伝送線路に送出されるようになっています。LVD 回路は、高電位側電源として  $VDD1(+1.25\text{ V})$  を、低電位側電源として  $VSS1(-1.25\text{ V})$  を用いています。また、DG 端子は、DGND( $0\text{ V}$ ) に接続されるようになっています。伝送線路のターゲット側には、 $100\ \Omega$  の抵抗とダイオードの直列回路が一对、伝送線路に対して並列に設けられています。差動信号は、コントロール側では、 $1\text{ k}\Omega$  の終端抵抗を経て SN75(55)115 によって受信され、TTL 信号 (DOUT) として再生されるようになっています。SN75(55)115 の高電位側の電源は  $VCC1(+5.0\text{ V})$ 、低電位側の電源は、 $VEE1(0\text{ V})$  となっています。

なお、上記模式図における、LVD 回路及び BIASP 回路は、H02 ないし M01 の設計書において定義されているものです。

図 15 には、DIN 端子に入力された CMOS 信号と、DOUT 端子において再生された TTL 信号とが

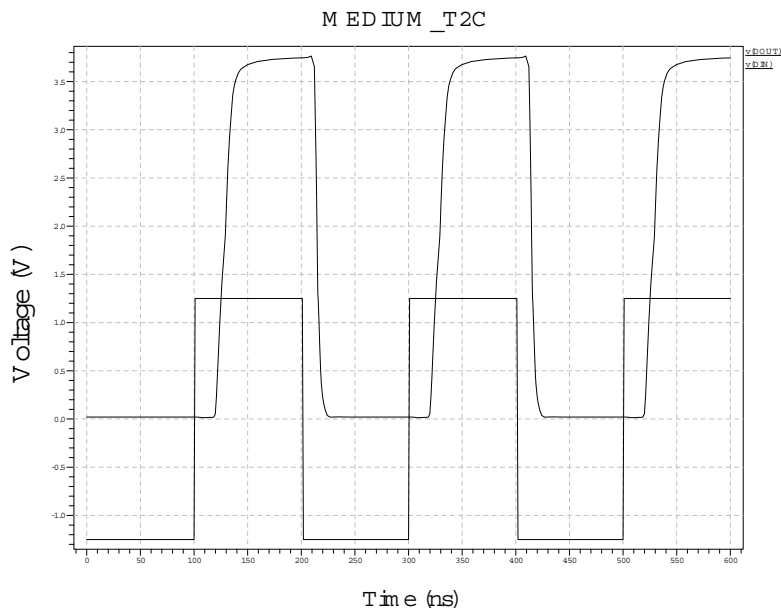


図 15: 中速上りインターフェースにおける入出力信号波形

示されています。DOUT のベースラインは、DIN に対して  $1.25\text{ V}$  だけ高電位側にシフトするとともに、その振幅が  $3.5\text{ V}$  強まで拡大されているのが分かります。

図 16 には、LVR 回路のターゲット側における信号波形 (SGA、SGB) が示されています。  $0.36\text{ mA}$  の電流差動信号は、コントロール側に設けられた終端抵抗  $1\text{ k}\Omega$  によって電圧に変換され、約  $360\text{ mV}$  の振幅をもつトグル信号となっていることが分かります。SN75(55)115 での遅延を除けば、一見相当高速の信号伝送が可能であるようにも思えます。しかし、中速下りインターフェースの "中速" たる所以は、伝送線路のインピーダンス ( $100\ \Omega$ ) と、終端抵抗 ( $1\text{ k}\Omega$ ) との不一致にあります。この不一致によりコントロール側における高速信号端の反射、ないしは終端抵抗と浮遊容量との結合により不可避免的に信号伝達速度の劣化がもたらされます。ターゲット側に設けられた一対の抵抗とダイオードとの直列回路は、上記コントロール側における信号の反射を、ターゲット側において吸収役割を果たします。したがってこれもバックターミネーションの一類型となっています。



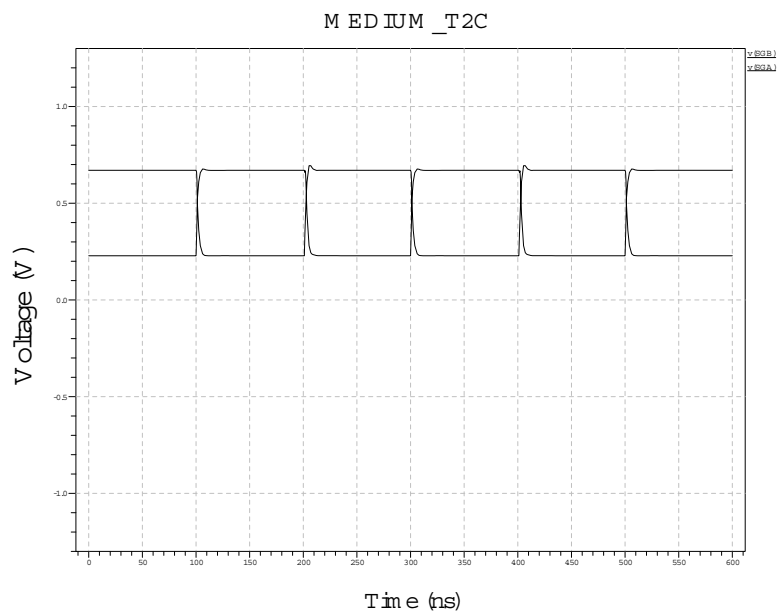


図 16: 中速上りインターフェースにおけるケーブル信号波形

### 3.2 低速上りインターフェース

低速上りインターフェースとは、ターゲット側からコントロール側に伝送される信号を取り扱うインターフェースであって、ターゲット側における CMOS 信号を、コントロール側において TTL 信号に変換するものをいいます。

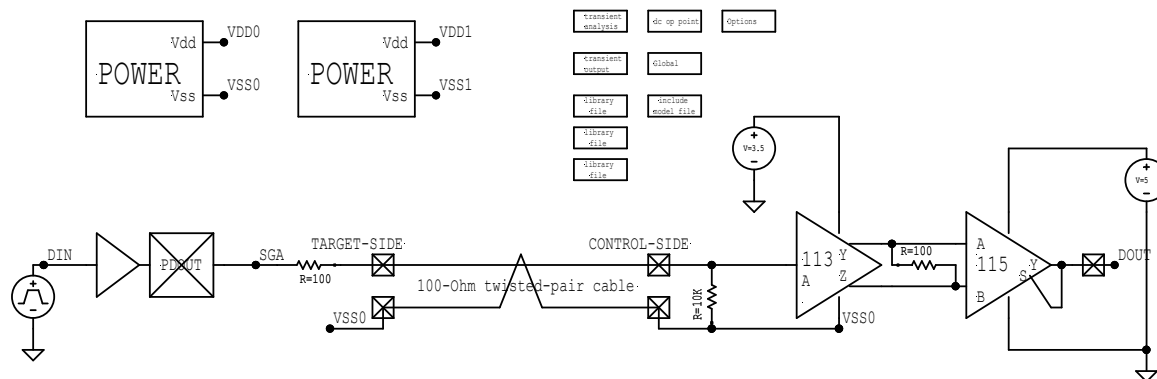


図 17: 低速上りインターフェース

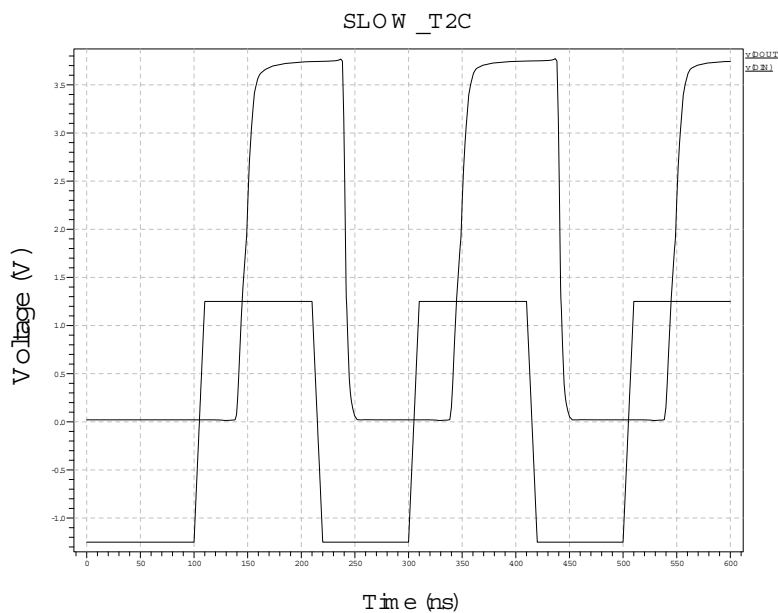


図 18: 低速上りインターフェースにおける入出力信号波形

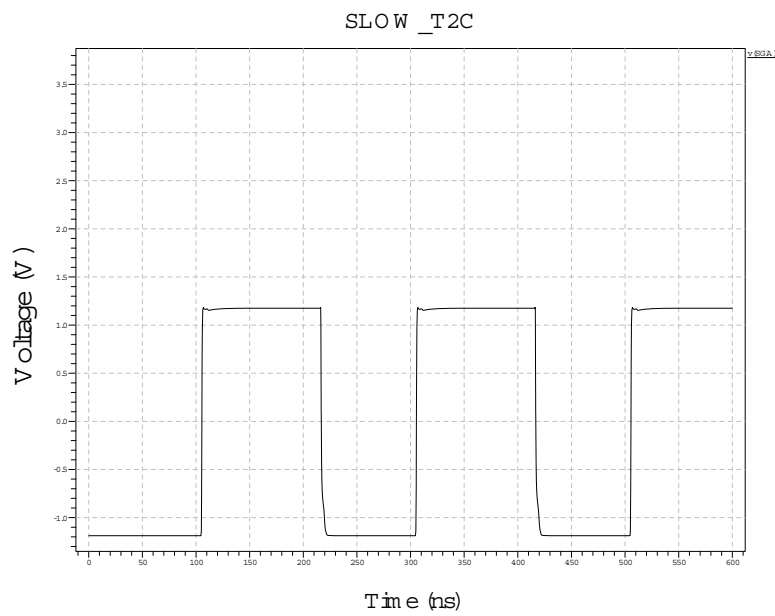


図 19: 低速上りインターフェースにおけるケーブル信号波形

## A 関連する電子部品のデータシート

本インターフェース仕様書で想定している電子部品のデータシートを以下に添付します。ただし、これによって使用するべき部品を限定する趣旨ではありません。

- SN75(55)113: Dual differential driver (RS422,TTL), Texas instruments
- DS26C31T: Quad differential driver (RS422,CMOS), National semiconductor  
SN75(55)113 をこの素子で置換することができます。
- SN75(55)115: Dual differential receiver (RS422,TTL), Texas instruments
- DS26C32A: Quad differential receiver (RS422,CMOS), National semiconductor  
SN75(55)115 をこの素子で置換することができます。
- SN55(65)LVDS31: High speed differential line driver (VLDS,CMOS), Texas instruments  
3.3 V 400 MHz 用として使用することができます。
- DS90C031: Quad CMOS differential line driver (VLDS,CMOS), national semiconductor  
5.0 V 155 MHz 用として使用することができます。

以上