
高度センサー信号処理のための Analog-VLSI Open-IP(11)

池田 博一*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 8 月 23 日

概要

高機能高性能の Analog-VLSI を短期間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 11 章では、代表的な波形整形回路の構成例と、それらについての電子雑音の評価手法とを示します。

目次

1 二重相関サンプリング方式における電子雑音	185
2 四重相関サンプリング方式における電子雑音	190
3 微分積分フィルター方式における電子雑音	195
A 来歴	199

表目次

1 二重相関サンプリング方式による雑音評価のまとめ	187
2 四重相関サンプリング方式による雑音評価のまとめ	193
3 微分積分方式による雑音評価のまとめ	199

図目次

1 DCS 回路	185
2 二重相関サンプリング方式の回路構成例	188
3 二重相関サンプリング方式における雑音評価回路	189
4 QCS 回路	190
5 四重相関サンプリング方式の回路構成例	191
6 四重相関サンプリング方式における雑音評価回路	194
7 微分積分方式の回路構成例	195
8 微分積分方式における雑音評価回路	198

*ikedada.hirokazu@jaxa.jp

1 二重相関サンプリング方式における電子雑音

二重相関サンプリング方式とは、前置増幅器の出力信号を低周波フィルタを通した後、当該信号の波高値を一定の時間間隔を置いて2点採取し、その差額をもって出力信号とするものです。

現実の回路方式では、スイッチを用いたいわゆるSC回路として実現されることが多いのですが、ここでは雑音評価の都合上¹遅延線をもちいた二重相関サンプリング回路となっています。

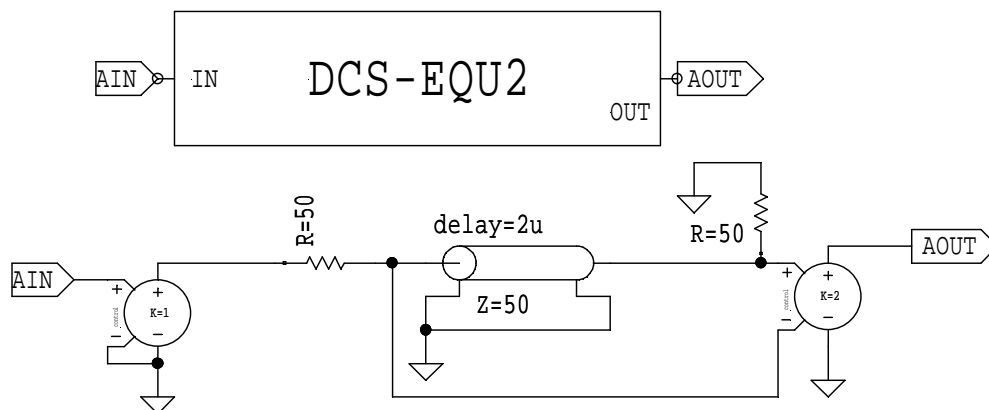


図 1: DCS 回路

```
.SUBCKT DCSEQU2 AIN AOUT Gnd
R1 N5 N3 50 TC=0.0, 0.0
R2 N7 Gnd 50 TC=0.0, 0.0
T3 N3 Gnd N7 Gnd z0=50 td=2u
e4 N5 Gnd AIN Gnd 1
e5 AOUT Gnd N7 N3 2
.ENDS
```

```
* Main circuit: TESTDCS1
XBIAS_1 N4 VH1 VL1 VM1 Gnd BIAS
XBIAS_2 N8 VH2 VL2 VM2 Gnd BIAS
XBIAS_3 N2 VH3 VL3 VM3 Gnd BIAS
XBIAS_4 N5 VH4 VL4 VM4 Gnd BIAS
C1 N6 AOUT1 0.01p
C2 TP N6 0.1p
C3 N3 N10 2pF
C4 N10 AOUT2 1pF
C5 Gnd AOUT2 0.5pF
XDCSEQU2_1 AOUT2 AOUT3 Gnd DCSEQU
.op
XFB5_1 N9 RB1 AOUT1 N6 VL2 FB5
```

¹雑音解析は AC 解析の一環としてなされる都合上、スイッチを用いることができません。

```

.global VSS VDD
Xinv1_1 RB2 N1 inv1
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_1 N6 AOUT1 VH1 VL1 VM1 prC
XRF2_1 N3 VH3 AOUT1 N3 VL3 VM3 RF2
XSHPR2_1 AOUT2 N10 VM4 VH4 VL4 VM4 SHPR2
i6 VDD N4 100uA
i7 VDD N8 7u
i8 VDD N2 5u
i9 VDD N5 100u
v10 TP Gnd pulse(0 -20m 5u 10n 10n 100u 200u)
v11 RB1 Gnd pulse(-1.65 1.65 1u 10n 10n 100u 200u)
v12 RB2 Gnd pulse(-1.65 1.65 3u 10n 10n 100u 200u)
XSWO_1 N10 N1 AOUT2 SWO
.tran 10n 20u
.print tran v(RB1) v(RB2) v(TP) v(AOUT1) v(AOUT2) v(AOUT3)
* End of main circuit: TESTDCS1

```

テストパルスは、 0.1 pF の容量を介して、 20 mV の電圧ステップに相当する電荷を前置増幅器に注入するようになっていきます。このとき、最終段 AOUT3 は、 244 mV のピーク値を有するパルスとなります。ピーキングタイムは、二重相関フィルターの遅延時間である $2\text{ }\mu\text{s}$ です。

```

* Main circuit: TESTDCS2
.ac DEC 20 100 1G
XBIAS_1 N69 VH1 VL1 VM1 Gnd BIAS
XBIAS_2 N68 VH2 VL2 VM2 Gnd BIAS
XBIAS_3 N66 VH3 VL3 VM3 Gnd BIAS
XBIAS_4 N16 VH4 VL4 VM4 Gnd BIAS
C1 AIN AOUT1 0.01p
C2 Gnd AIN 0.001p
C3 N56 N71 2pF
C4 N71 AOUT2 1pF
C5 Gnd AOUT2 0.5pF
XDCSEQU2_1 AOUT2 AOUT3 Gnd DCSEQU
.op
XFB5_1 N65 TH AOUT1 AIN VL2 FB5
.global VSS VDD
.noise v(AOUT3) ins
.print noise onoise onoise(tot)
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_1 AIN AOUT1 VH1 VL1 VM1 prC
R6 AIN N65 1T TC=0.0, 0.0
R7 N71 AOUT2 1G TC=0.0, 0.0

```

```

XRF2_1 N56 VH3 AOUT1 N56 VL3 VM3 RF2
XSHPR2_1 AOUT2 N71 VM4 VH4 VL4 VM4 SHPR2
ins Gnd AIN 0.0 AC 1.0 0.0
i8 VDD N69 100uA
i9 VDD N68 7u
i10 VDD N66 5u
i11 VDD N16 100u
XTHTL_1 TH TL THTL
* End of main circuit: TESTDCS2

```

表 1 には、二重相関サンプリング方式による雑音評価を掲げておきました。

表 1: 二重相関サンプリング方式による雑音評価のまとめ

前置増幅器の IP	Gate 容量	ドレイン電流	$C_D = 0 \text{ pF}$	$C_D = 1 \text{ pF}$	$C_D = 10 \text{ pF}$
PrB	10.4 pF	500 μA			
PrB	10.4 pF	100 μA			
PrC	1.84 pF	100 μA			
PrC	1.84 pF	10 μA			
PrD	0.17 pF	10 μA			

遅延線を用いた回路における雑音解析にどうも一部不具合がある、ないしは取り扱い方に制限が必要であるようなので、上記テーブルは差し替えの対象となるかも知れません。次節のテーブルも同様の事情です。

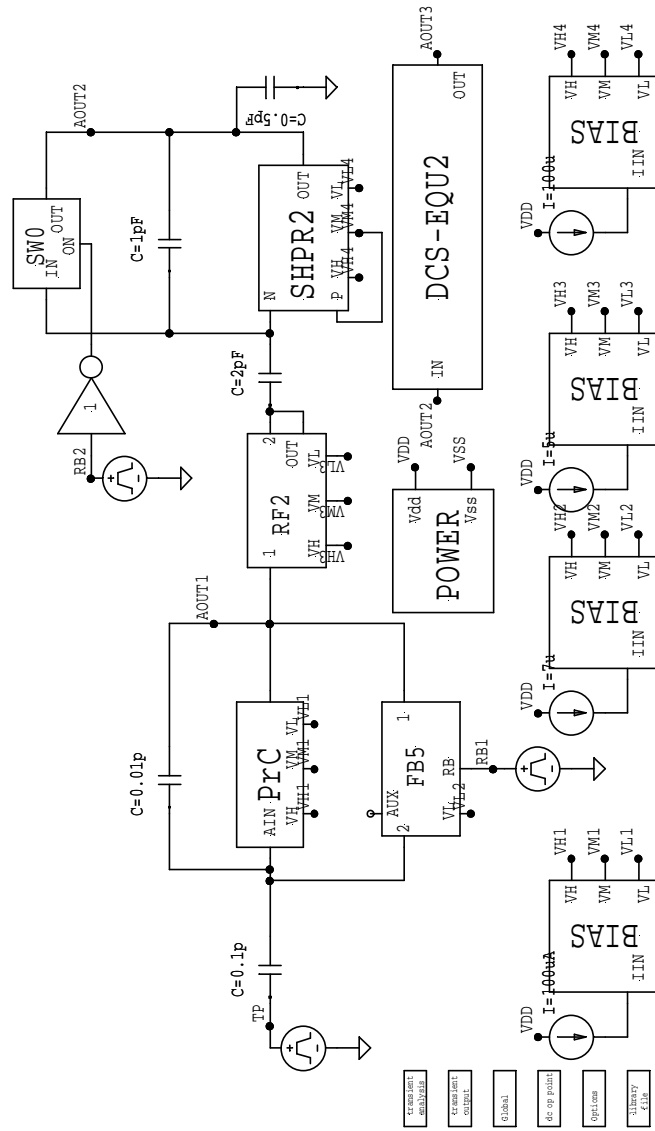


図 2: 二重相関サンプリング方式の回路構成例

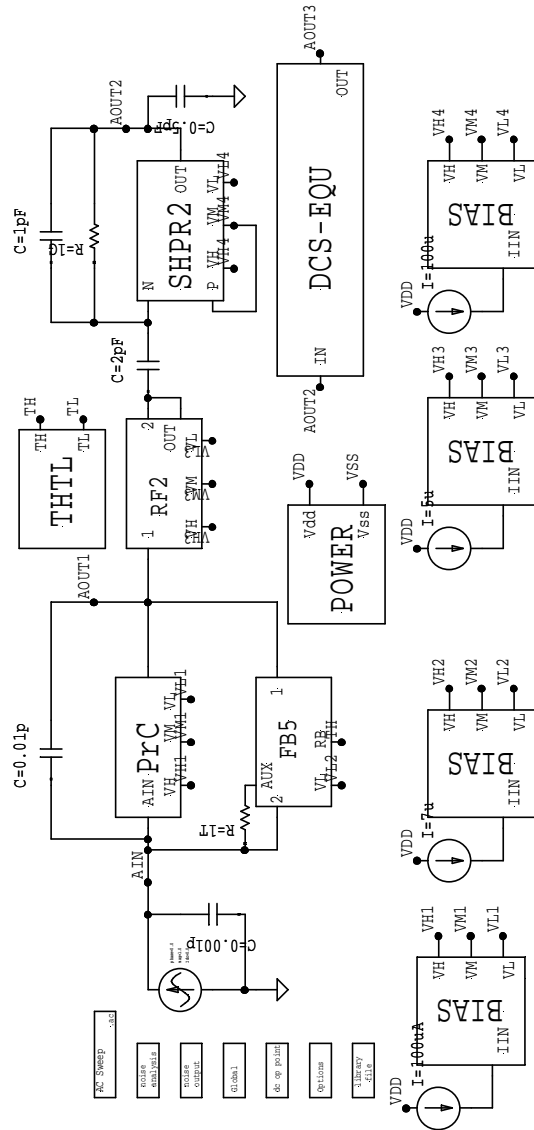


図 3: 二重相関サンプリング方式における雑音評価回路

2 四重相関サンプリング方式における電子雑音

ここで議論の対象とする四重サンプリング方式とは、一定時間間隔での連続した4点のうち最初の2点の平均値と残りの2点の平均値の差額をもって波高値として評価するものです。

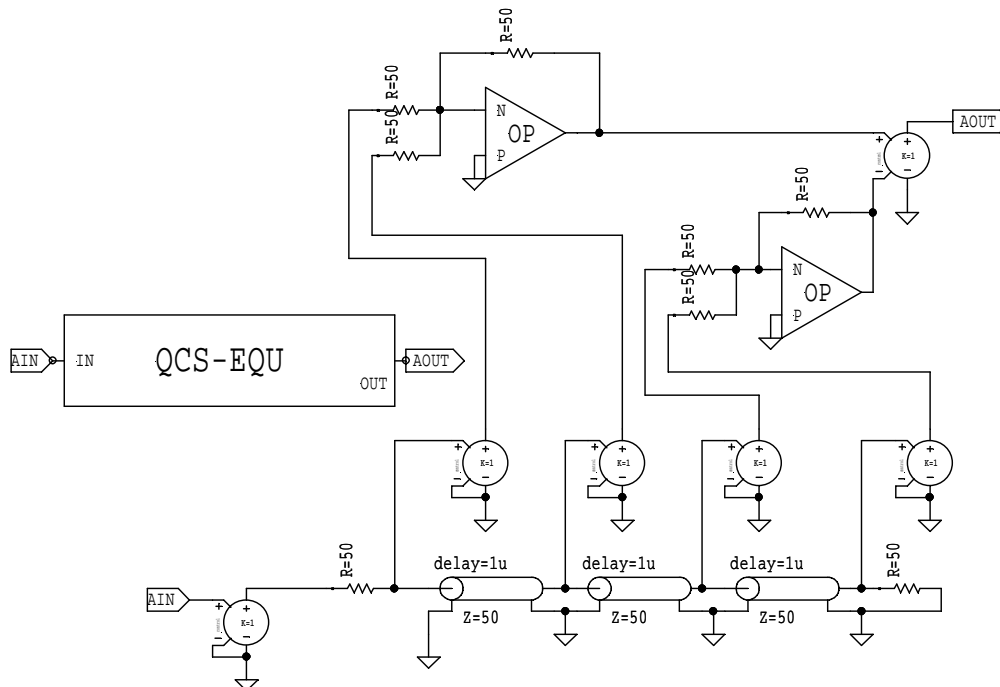


図 4: QCS 回路

```
.SUBCKT QCSEQU AIN AOUT Gnd
XidealOP_1 N38 Gnd N41 Gnd idealOP
XidealOP_2 N39 Gnd N40 Gnd idealOP
R1 N36 N37 50 TC=0.0, 0.0
R2 N29 Gnd 50 TC=0.0, 0.0
R3 N35 N38 50 TC=0.0, 0.0
R4 N45 N39 50 TC=0.0, 0.0
R5 N44 N38 50 TC=0.0, 0.0
R6 N33 N39 50 TC=0.0, 0.0
R7 N38 N41 50 TC=0.0, 0.0
R8 N39 N40 50 TC=0.0, 0.0
T9 N37 Gnd N21 Gnd z0=50 td=1u
T10 N21 Gnd N30 Gnd z0=50 td=1u
T11 N30 Gnd N29 Gnd z0=50 td=1u
e12 N44 Gnd N21 Gnd 1
e13 N36 Gnd AIN Gnd 1
e14 N33 Gnd N30 Gnd 1
e15 N45 Gnd N29 Gnd 1
```

e16 N35 Gnd N37 Gnd 1
 e17 AOUT Gnd N41 N40 1
 .ENDS

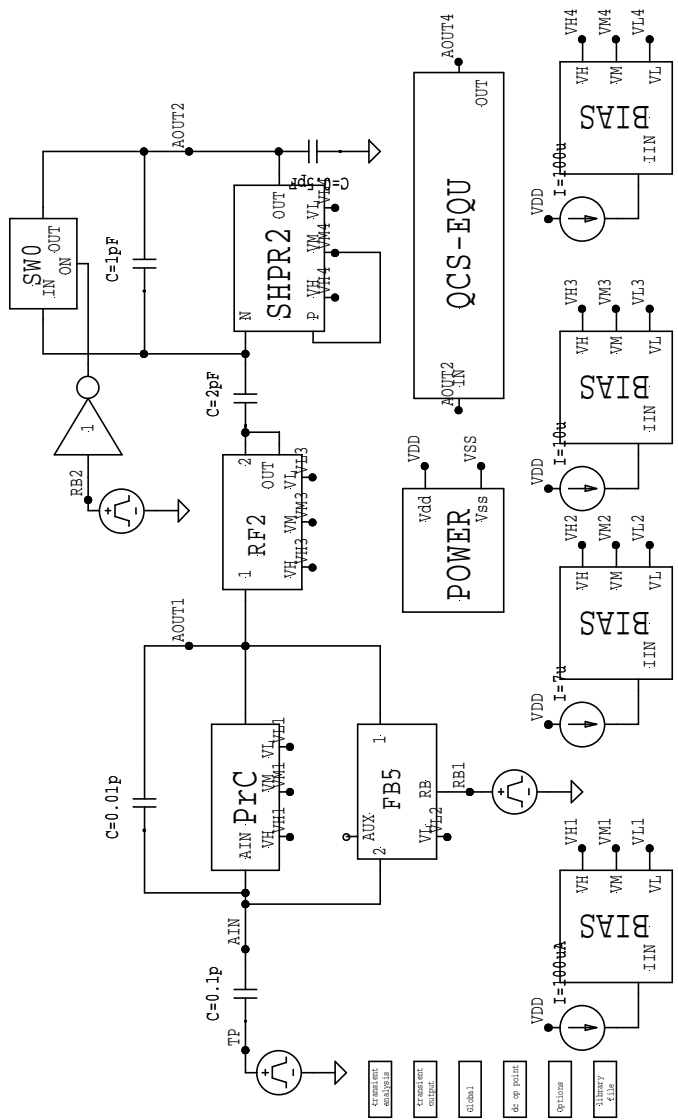


図 5: 四重相関サンプリング方式の回路構成例

```
* Main circuit: TESTQCS1
XBIAS_1 N6 VH1 VL1 VM1 Gnd BIAS
XBIAS_2 N5 VH2 VL2 VM2 Gnd BIAS
XBIAS_3 N4 VH3 VL3 VM3 Gnd BIAS
XBIAS_4 N2 VH4 VL4 VM4 Gnd BIAS
C1 AIN AOUT1 0.01p
C2 TP AIN 0.1p
```



```

C3 N3 N8 2pF
C4 N8 AOUT2 1pF
C5 Gnd AOUT2 0.5pF
XDSC22_1 AOUT2 AOUT4 Gnd QCSEQU
.op
XFB5_1 N1 RB1 AOUT1 AIN VL2 FB5
.global Vss Vdd
Xinv1_1 RB2 N9 inv1
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_1 AIN AOUT1 VH1 VL1 VM1 prC
XRF2_1 N3 VH3 AOUT1 N3 VL3 VM3 RF2
XSHPR2_1 AOUT2 N8 VM4 VH4 VL4 VM4 SHPR2
i6 VDD N6 100uA
i7 VDD N5 7u
i8 VDD N4 10u
i9 VDD N2 100u
v10 TP Gnd pulse(0 -20m 5u 10n 10n 100u 200u)
v11 RB1 Gnd pulse(-1.65 1.65 1u 10n 10n 100u 200u)
v12 RB2 Gnd pulse(-1.65 1.65 1u 10n 10n 100u 200u)
XSW0_1 N8 N9 AOUT2 SW0
.tran 10n 20u
.print tran v(AOUTX) v(RB1) v(RB2) v(TP) v(AOUT1) v(AOUT2) v(AOUT3) v(AOUT4)
* End of main circuit: TESTQCS1

```

テストパルスは、 0.1 pF の容量を介して、 20 mV の電圧ステップに相当する電荷を前置増幅器に注入するようになっていました。出力信号は、 1 us で 119 mV の節を、 2 us で 244 mV のピーク値を、 3 us で 140 mV の節をもち、そして 4 us でほぼ 0 V に復帰するような信号波形を有しています。

```

* Main circuit: TESTQCS2
.ac DEC 10 10 1G
XBIAS_5 N2 VH4 VL4 VM4 Gnd BIAS
XBIAS_6 N4 VH3 VL3 VM3 Gnd BIAS
XBIAS_7 N1 VH2 VL2 VM2 Gnd BIAS
XBIAS_8 N5 VH1 VL1 VM1 Gnd BIAS
C1 Gnd AOUT2 0.5pF
C2 N16 AOUT2 1pF
C3 N12 N16 2pF
C4 Gnd AIN 0.001p
C5 AIN AOUT1 0.01p
XDSC22_1 AOUT2 AOUT3 Gnd QCSEQU
.op
XFB5_2 N3 TH AOUT1 AIN VL2 FB5
.global VSS VDD
.noise v(AOUT3) ins

```

```

.print noise onoise onoise(tot)
.options  reltol=1.e-9 abstol=1.e-18 numnd=1000  numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_2 AIN AOUT1 VH1 VL1 VM1 prC
R6 N16 AOUT2 1G TC=0.0, 0.0
R7 AIN N3 1T TC=0.0, 0.0
XRF2_2 N12 VH3 AOUT1 N12 VL3 VM3 RF2
XSHPR2_2 AOUT2 N16 VM4 VH4 VL4 VM4 SHPR2
ins Gnd AIN 0.0 AC 1.0 0.0
i8 VDD N2 100u
i9 VDD N4 10u
i10 VDD N1 7u
i11 VDD N5 100uA
XTHTL_1 TH TL THTL
* End of main circuit: TESTQCS2

```

表 2 には、四重サンプリング方式による雑音評価のまとめを掲げておきました。

表 2: 四重相関サンプリング方式による雑音評価のまとめ

前置増幅器の IP	Gate 容量	ドレイン電流	$C_D = 0 \text{ pF}$	$C_D = 1 \text{ pF}$	$C_D = 10 \text{ pF}$
PrB	10.4 pF	500 μA			
PrB	10.4 pF	100 μA			
PrC	1.84 pF	100 μA			
PrC	1.84 pF	10 μA			
PrD	0.17 pF	10 μA			

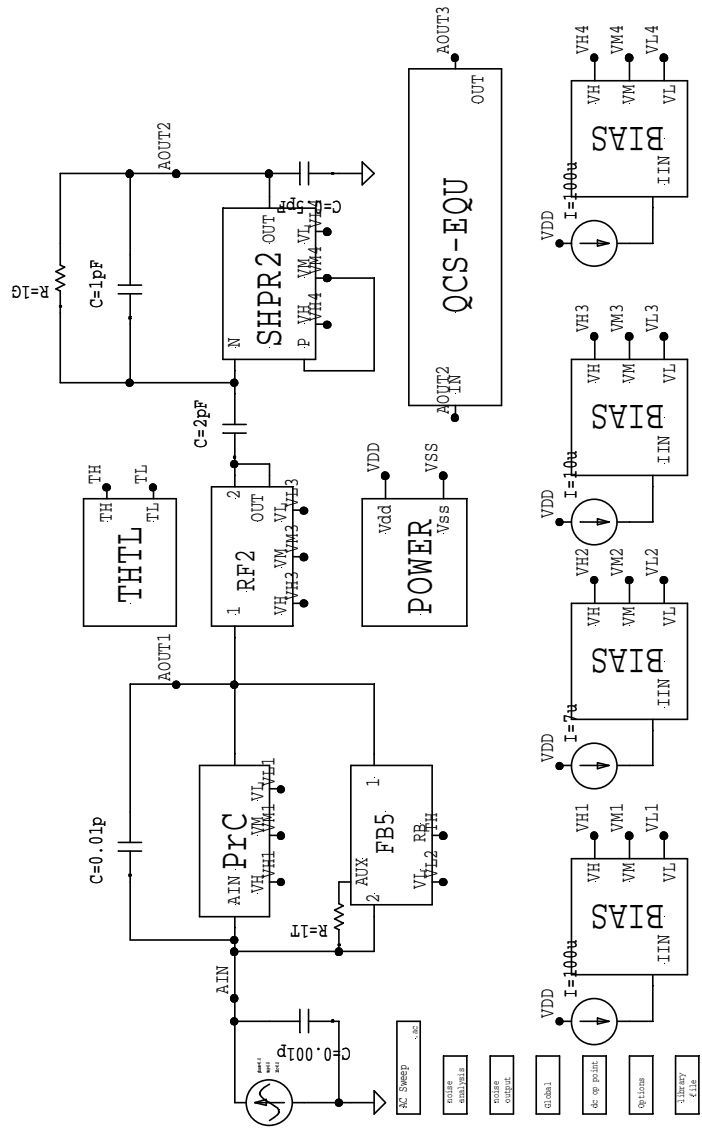


図 6: 四重相関サンプリング方式における雑音評価回路

3 微分積分フィルター方式における電子雑音

微分積分フィルター方式とは、前置増幅器の出力信号を微分一段、積分段を二ないし三段重ねることによって雑音フィルターを構成する方式です。

ここでは、前置増幅器の直後に積分段を設けて、その後微分一段積分一段のフィルター回路を設ける構成を採っています。

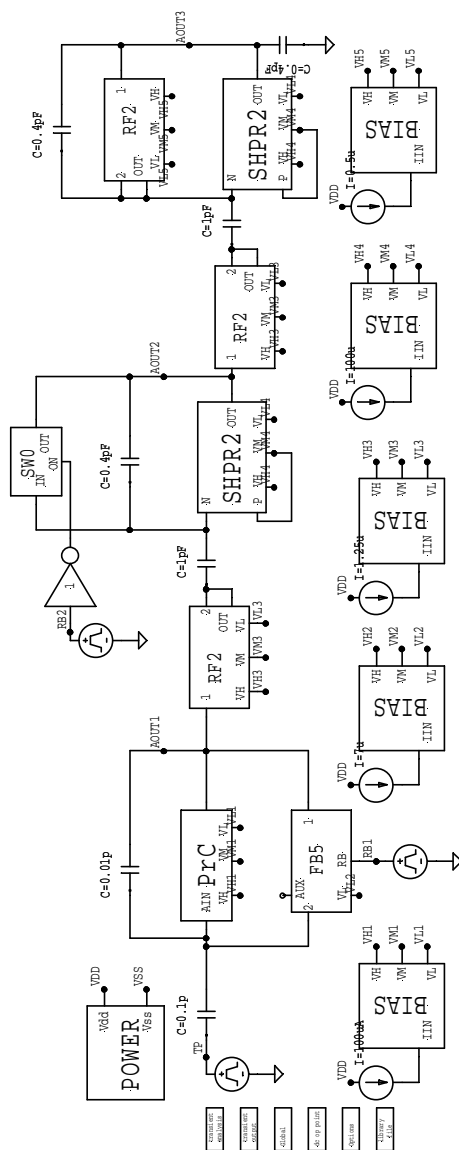


図 7: 微分積分方式の回路構成例

* Main circuit: TESTDIFF1

XBIAS_1 N7 VH1 VL1 VM1 Gnd BIAS

XBIAS_2 N4 VH2 VL2 VM2 Gnd BIAS

XBIAS_3 N9 VH3 VL3 VM3 Gnd BIAS

XBIAS_4 N6 VH4 VL4 VM4 Gnd BIAS

```

XBIAS_5 N11 VH5 VL5 VM5 Gnd BIAS
C1 N5 AOUT1 0.01p
C2 TP N5 0.1p
C3 N8 N10 1pF
C4 N10 AOUT2 0.4pF
C5 N13 N12 1pF
C6 N12 AOUT3 0.4pF
.op
XFB5_1 N1 RB1 AOUT1 N5 VL2 FB5
.global VSS VDD
Xinv1_1 RB2 N14 inv1
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_1 N5 AOUT1 VH1 VL1 VM1 prC
XRF2_1 N8 VH3 AOUT1 N8 VL3 VM3 RF2
XRF2_2 N13 VH3 AOUT2 N13 VL3 VM3 RF2
XRF2_3 N12 VH5 AOUT3 N12 VL5 VM5 RF2
XSHPR2_1 AOUT2 N10 VM4 VH4 VL4 VM4 SHPR2
XSHPR2_2 AOUT3 N12 VM4 VH4 VL4 VM4 SHPR2
i7 VDD N7 100uA
i8 VDD N4 7u
i9 VDD N9 1.25u
i10 VDD N6 100u
i11 VDD N11 0.5u
v12 TP Gnd pulse(0 -20m 5u 10n 10n 100u 200u)
v13 RB1 Gnd pulse(-1.65 1.65 1u 10n 10n 100u 200u)
v14 RB2 Gnd pulse(-1.65 1.65 3u 10n 10n 100u 200u)
XSWO_1 N10 N14 AOUT2 SWO
.tran 10n 20u
.print tran v(RB1) v(RB2) v(TP) v(AOUT1) v(AOUT2) v(AOUT3)
* End of main circuit: TESTDIFF1

```

テストパルスは、 0.1 pF の容量を介して、 20 mV の電圧ステップに相当する電荷を前置増幅器に注入するようになっています。このとき、最終段 AOUT3 は、 234 mV のピーク値と $2\text{ }\mu\text{s}$ のピーキングタイムを有するパルスとなります。

```

* Main circuit: TESTDIFF2
.ac DEC 10 100 1G
XBIAS_6 N23 VH5 VL5 VM5 Gnd BIAS
XBIAS_7 N5 VH4 VL4 VM4 Gnd BIAS
XBIAS_8 N22 VH3 VL3 VM3 Gnd BIAS
XBIAS_9 N4 VH2 VL2 VM2 Gnd BIAS
XBIAS_10 N7 VH1 VL1 VM1 Gnd BIAS
C1 Gnd AOUT3 0.4pF
C2 Gnd N3 0.001p

```

```

C3 N6 AOUT3 0.4pF
C4 N9 N6 1pF
C5 N11 AOUT2 0.4pF
C6 N14 N11 1pF
C7 N3 AOUT1 0.01p
.op
XFB5_2 N1 TH AOUT1 N3 VL2 FB5
.global VSS VDD
.noise v(AOUT3) ins
.print noise onoise onoise(tot)
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_2 VDD VSS Gnd POWER
XprC_1 N3 AOUT1 VH1 VL1 VM1 prC
R8 N3 N1 1G TC=0.0, 0.0
R9 N11 AOUT2 1G TC=0.0, 0.0
XRF2_5 N6 VH5 AOUT3 N6 VL5 VM5 RF2
XRF2_6 N9 VH3 AOUT2 N9 VL3 VM3 RF2
XRF2_7 N14 VH3 AOUT1 N14 VL3 VM3 RF2
XSHPR2_4 AOUT3 N6 VM4 VH4 VL4 VM4 SHPR2
XSHPR2_5 AOUT2 N11 VM4 VH4 VL4 VM4 SHPR2
ins Gnd N3 0.0 AC 1.0 0.0
i10 VDD N23 0.5u
i11 VDD N5 100u
i12 VDD N22 1.25u
i13 VDD N4 7u
i14 VDD N7 100uA
XTHTL_1 TH TL THTL
* End of main circuit: TESTDIFF2

```

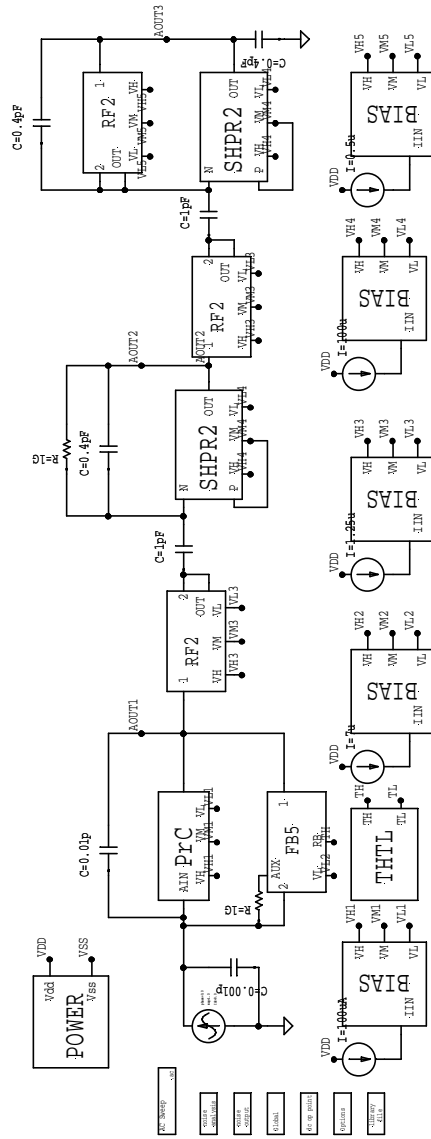


図 8: 微分積分方式における雑音評価回路

表 3 には、微分積分方式による雑音評価のまとめを掲げておきました。

表 3: 微分積分方式による雑音評価のまとめ

前置増幅器の IP	Gate 容量	ドレイン電流	$C_D = 0 \text{ pF}$	$C_D = 1 \text{ pF}$	$C_D = 10 \text{ pF}$
PrB	10.4 pF	$500 \text{ }\mu\text{A}$	87.7e	96.8e	229e
PrB	10.4 pF	$100 \text{ }\mu\text{A}$	98.1e	115e	352e
PrC	1.84 pF	$100 \text{ }\mu\text{A}$	40.8e	54.2e	241e
PrC	1.84 pF	$10 \text{ }\mu\text{A}$	50.1e	88.4e	522e
PrD	0.17 pF	$10 \text{ }\mu\text{A}$	26.5e	82.8e	752e

A 来歴

- 第 4 章において定電流源のトランジスタの L 値を $3 \text{ }\mu\text{m}$ とし、さらにバイアス回路の低雑音化を図ったことから、表 3 に掲げる雑音の値を再評価しました (H160831)。

以上