

---

# 高度センサー信号処理のための Analog-VLSI Open-IP(10)

池田 博一\*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 8 月 16 日

---

## 概要

高機能高性能の Analog-VLSI を短時間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 10 章では、信号変換回路の IP として、T-to-A 変換器の IP と、ランプ信号を用いた比較的単純な構成の A-to-D 変換器の IP を提示します。

## 目次

1	T-to-A 変換回路の IP	168
2	A-to-D 変換回路の IP	172
3	Q-to-T 変換回路の IP	177
4	Q-to-Q 増幅回路の IP	179
A	来歴	183

## 表目次

## 図目次

1	CSW0 回路	168
2	SW0P 回路	169
3	TAC 回路	170
4	TAC 回路の試験治具	171
5	CSW1 回路	172
6	RAMPD 回路	173
7	COUNTB 回路	173
8	ランプダウン型 A-to-D 変換回路の構成例	175
9	Q-to-T 変換回路の構成例	177
10	FB4C 回路	179

---

\*ikedada.hirokazu@jaxa.jp

## 1 T-to-A 変換回路の IP

T-to-A 変換回路とは、時間差を電圧値に変換する回路をいいます。後述の A-to-D 変換器と組み合わせることにより、T-to-D 変換器を構成することができます。

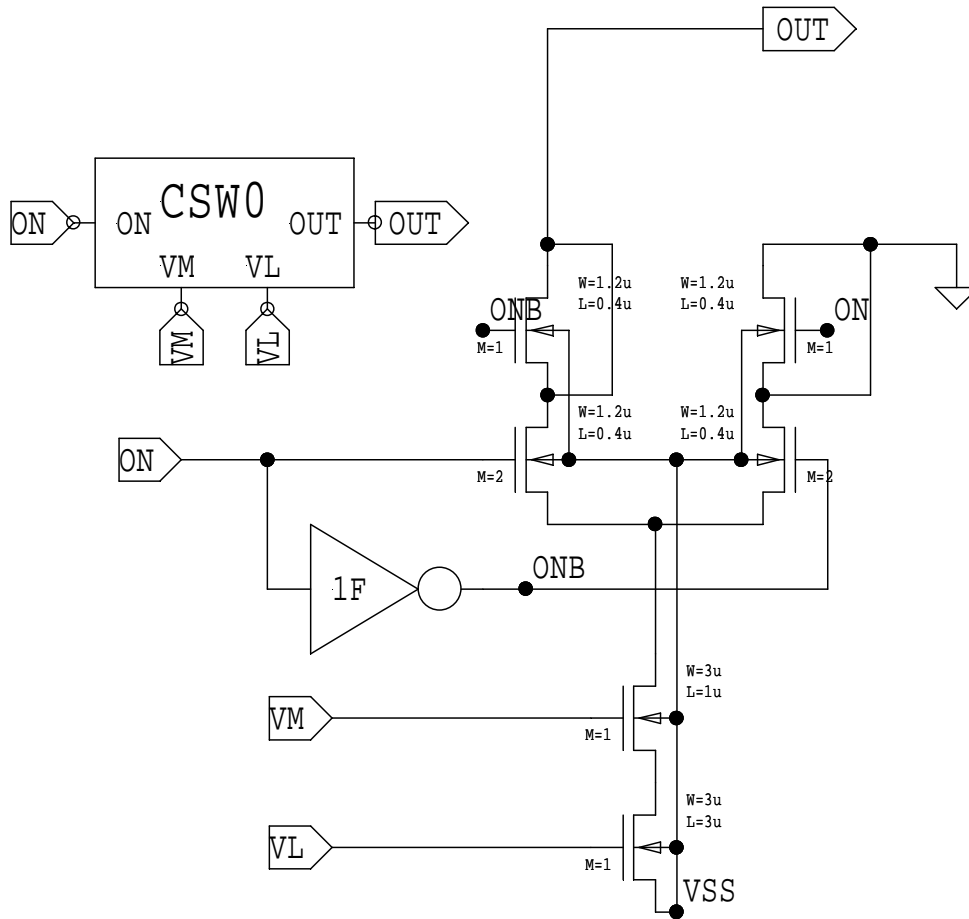


図 1: CSW0 回路

```
.SUBCKT CSW0 ON OUT VL VM Gnd
Xinv1F_1 ON ONB inv1F
M1 OUT ONB OUT VSS nch L=0.4u W=1.2u M=1
M2 N3 VL VSS VSS nch L=3u W=3u M=1
M3 OUT ON N2 VSS nch L=0.4u W=1.2u M=2
M4 Gnd ONB N2 VSS nch L=0.4u W=1.2u M=2
M5 Gnd ON Gnd VSS nch L=0.4u W=1.2u M=1
M6 N2 VM N3 VSS nch L=1u W=3u M=1
```

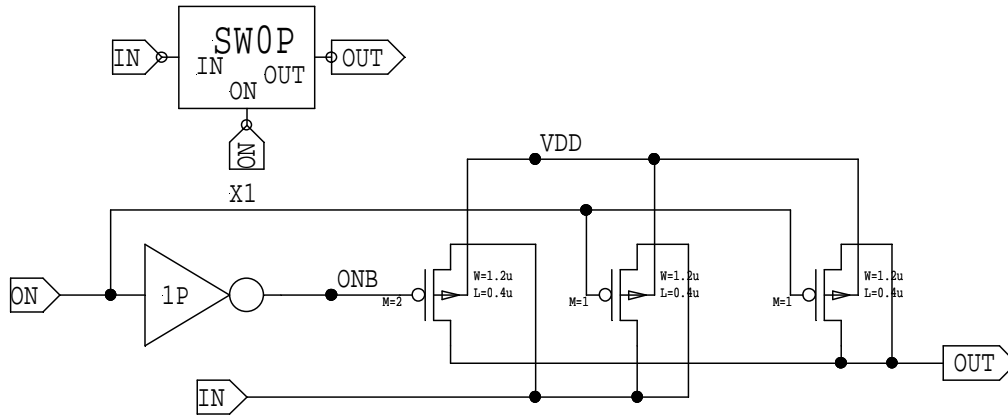


图 2: SWOP 回路

.ENDS

.SUBCKT SWOP IN ON OUT

Xinv1P\_1 ON ONB inv1P

M1 OUT ONB IN VDD pch L=0.4u W=1.2u M=2

M2 IN ON IN VDD pch L=0.4u W=1.2u M=1

M3 OUT ON OUT VDD pch L=0.4u W=1.2u M=1

.ENDS

.SUBCKT TAC GATE IN INITB LV1 OUT RB VH2 VL2 VM1 VM2 Gnd

C1 N7 OUT 0.2pF

XCSWO\_1 N10 N7 LV1 VM1 Gnd CSWO

XDFFP\_1 IN GATE N3 N2 N9 DFFP

Xinv1F\_1 N6 N9 inv1F

Xinv1F\_2 N4 N10 inv1F

XNANDP\_1 N3 GATE N4 NANDP

XNANDP\_2 GATE INITB N6 NANDP

XNANDP\_3 RB INITB N5 NANDP

XSHPR1\_1 OUT N7 VM2 VH2 VL2 VM2 SHPR1

XSWOP\_1 N7 N5 OUT SWOP

.ENDS

\* Main circuit: TESTTAC

XBIAS\_1 N27 VH2 VL2 VM2 Gnd BIAS

XBIAS\_2 N1 VH1 VL1 VM1 Gnd BIAS

.op

.global VSS VDD VSS1 VDD1

.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse

XPOWER\_1 VDD VSS Gnd POWER

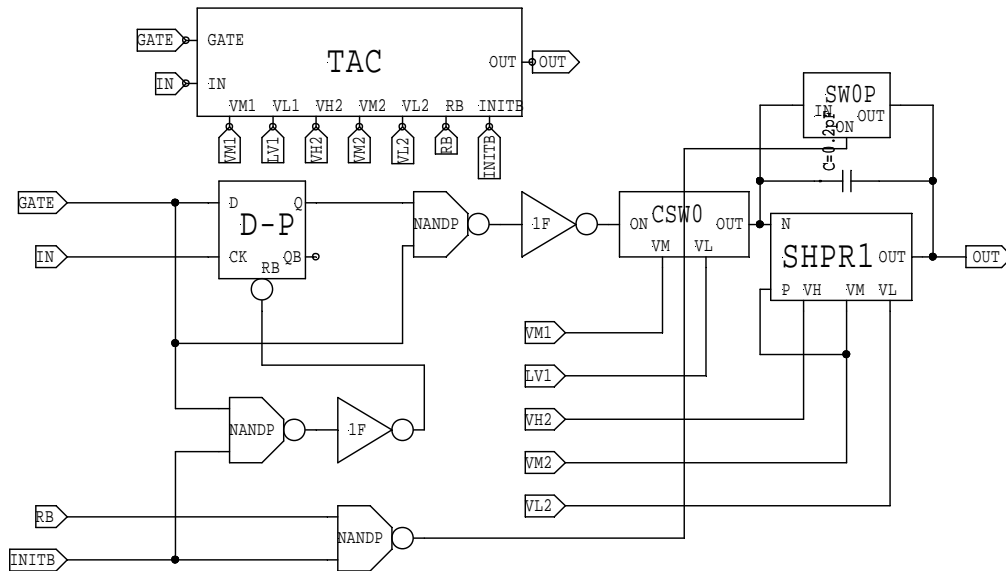


图 3: TAC 回路

```

XPOWER_2 VDD1 VSS1 Gnd POWER
i1 VDD N27 100uA
i2 VDD N1 2uA
v3 RB Gnd pulse(-1.65 1.65 1u 10n 10n 2u 4u)
v4 GATE Gnd pulse(-1.65 1.65 1.5u 1n 1n 1u 4u)
v5 IN Gnd pulse(-1.65 1.65 1.6u 1n 1n 20n 4.2u)
v6 INIT Gnd pulse(-1.65 1.65 0.5u 1n 1n 100u 200u)
XTAC_1 GATE IN INIT VL1 AOUT RB VH2 VL2 VM1 VM2 Gnd TAC
.tran 1n 5u
.print tran v(GATE) v(AOUT) v(IN) v(RB) v(INIT)
* End of main circuit: TESTTAC

```

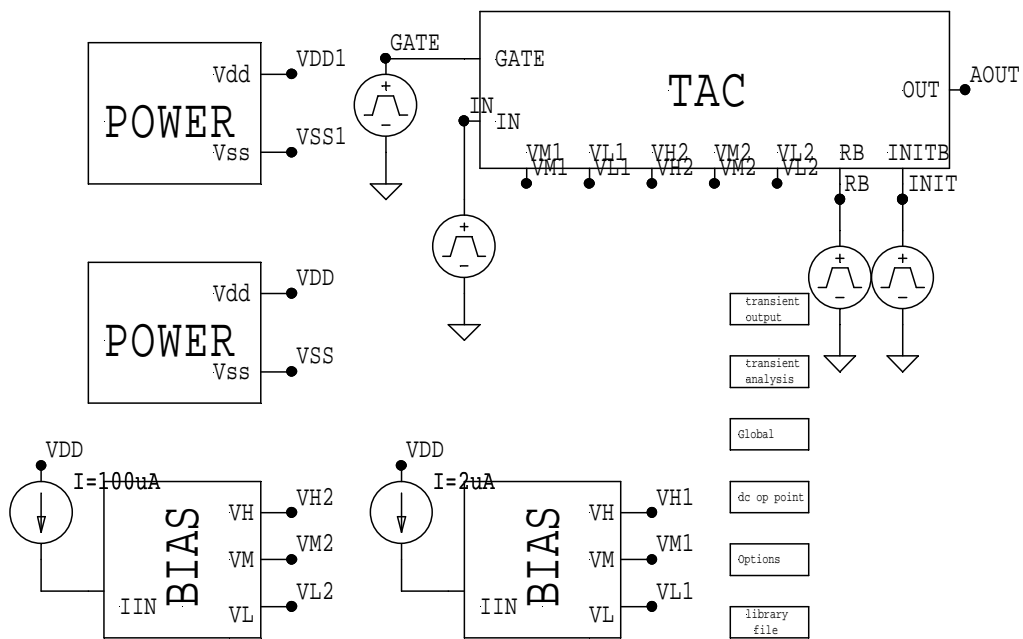


図 4: TAC 回路の試験治具



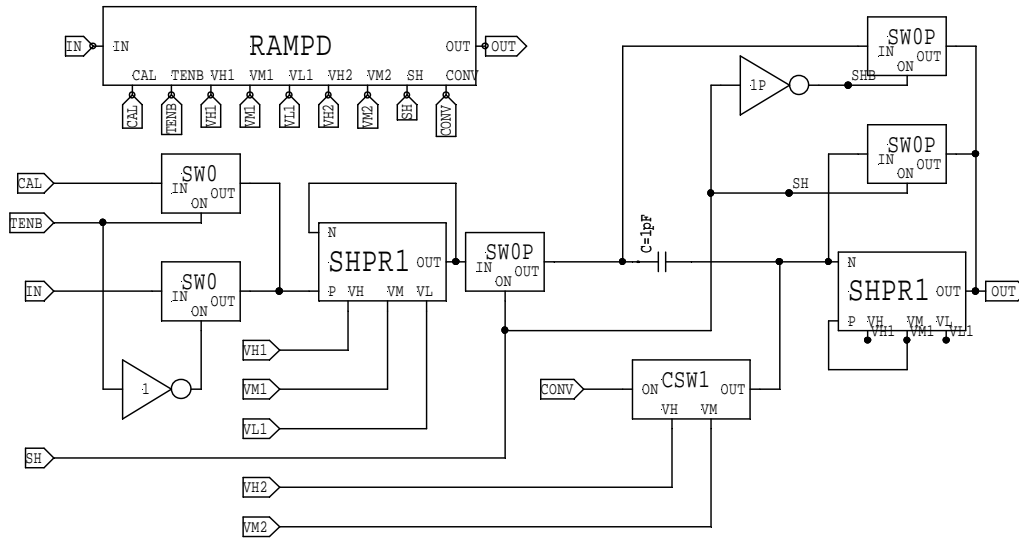


图 6: RAMPD 回路

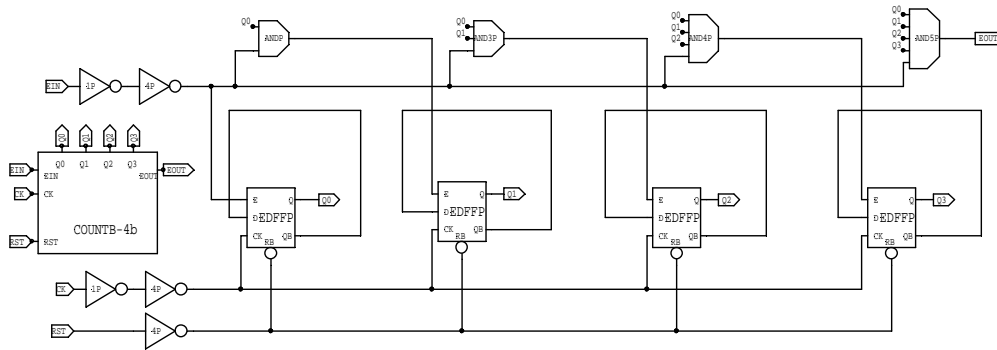


图 7: COUNTB 回路

```

XCSW1_1 CONV N29 VH2 VM2 Gnd CSW1
Xinv1P_1 SH SHB inv1P
Xinv1_1 TENB N35 inv1
XSHPR1_1 N11 N11 N34 VH1 VL1 VM1 SHPR1
XSHPR1_2 OUT N29 VM1 VH1 VL1 VM1 SHPR1
XSWOP_1 N11 SH N9 SWOP
XSWOP_2 N29 SH OUT SWOP
XSWOP_3 N9 SHB OUT SWOP
XSWO_1 CAL TENB N34 SWO
XSWO_2 IN N35 N34 SWO
.ENDS

.SUBCKT COUNTB CK EIN EOUT Q0 Q1 Q2 Q3 RST
X1 EIN N1 inv1P

```

X2 N1 N69 inv4P  
X5 CK N7 inv1P  
X6 N7 N89 inv4P  
X7 RST N84 inv4P  
X13 Q0 N69 N67 ANDP  
X15 Q0 Q1 N69 N66 AND3P  
X17 Q0 Q1 Q2 N69 N74 AND4P  
X24 N89 N73 N69 Q0 N73 N84 EDFFP  
X25 N89 N79 N67 Q1 N79 N84 EDFFP  
X26 N89 N85 N66 Q2 N85 N84 EDFFP  
X27 N89 N91 N74 Q3 N91 N84 EDFFP  
XAND5P\_1 Q0 Q1 Q2 Q3 N69 EOUT AND5P  
.ENDS





```

* Main circuit: TESTRAMPD
XANDP_1 DOUT CONV N21 ANDP
XBIAS_1 N1 VH1 VL1 VM1 Gnd BIAS
XBIAS_2 N2 VH2 VL2 VM2 Gnd BIAS
XBIAS_3 N11 VH3 VL3 VM3 Gnd BIAS
XCOUNTB_1 CK N21 N12 Q0 Q1 Q2 Q3 SH COUNTB
XCOUNTB_2 CK N12 N14 Q4 Q5 Q6 Q7 SH COUNTB
.op
XDFFP_1 CK N10 CONV N13 RB DFFP
XDTA2R_1 N15 AOUT N9 N8 Gnd VH3 VL3 DTA2R
XDTA2R_2 N9 N8 N7 N6 Gnd VH3 VL3 DTA2R
XDTA2R_3 N7 N6 N5 N3 Gnd VH3 VL3 DTA2R
XDTA2R_4 N5 N3 MONO MON1 Gnd VH3 VL3 DTA2R
.global VSS VDD VSS1 VDD1
Xinv1P_1 RB SH inv1P
XLVR_1 MONO MON1 VL3 VM3 DOUT LVR
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XPOWER_2 VDD1 VSS1 Gnd POWER
XRAMPD_1 Gnd CONV N4 AOUT SH TL VH1 VH2 VL1 VM1 VM2 Gnd RAMPD
i1 VDD N1 100uA
i2 VDD N2 0.5uA
i3 VDD N11 100uA
v4 N4 Gnd 200m
v5 N15 Gnd -10m
v6 RB Gnd pulse(-1.65 1.65 1u 10n 10n 100u 200u)
v7 N10 Gnd pulse(-1.65 1.65 2u 10n 10n 100u 200u)
v8 CK Gnd pulse(-1.65 1.65 10n 1n 1n 11.5n 25n)
XTHTL_1 TH TL THTL
.tran 10n 20u
.print tran v(MON1) v(MONO) v(RB) v(DONE)
+ v(Q0) v(Q1) v(Q2) v(Q3) v(Q4) v(Q5) v(Q6) v(Q7)
+ v(SH) v(AOUT) v(CONV) v(DOUT)
* End of main circuit: TESTRAMPD

```

### 3 Q-to-T 変換回路の IP

Q-to-T 変換回路とは、検出器の発生するインパルス状の電流信号を積分して電荷として蓄積した後、当該電荷量に対応した時間幅のパルスが発生するようになっている回路をいいます。Q-to-T 変換回路の発生する時間幅の間、計数回路が高速クロックを数え上げるようにしておくと、前節記載のランブダウン型 A-to-D 変換回路と同様にして、電荷量をデジタル値に変換することも可能です。このような回路構成を TOT 型 Q-to-T 変換回路ということがあります。

ここでは、積分回路として前置増幅器 PrC に直流帰還回路 FB4 を適用したものを我们用います。直流帰還回路 FB4 を用いると、積分回路の出力信号は、電荷を収集した後ベースラインに向かって直線的に復帰するようになります。したがって、電荷量と信号幅の比例関係を良好に保つことができます。

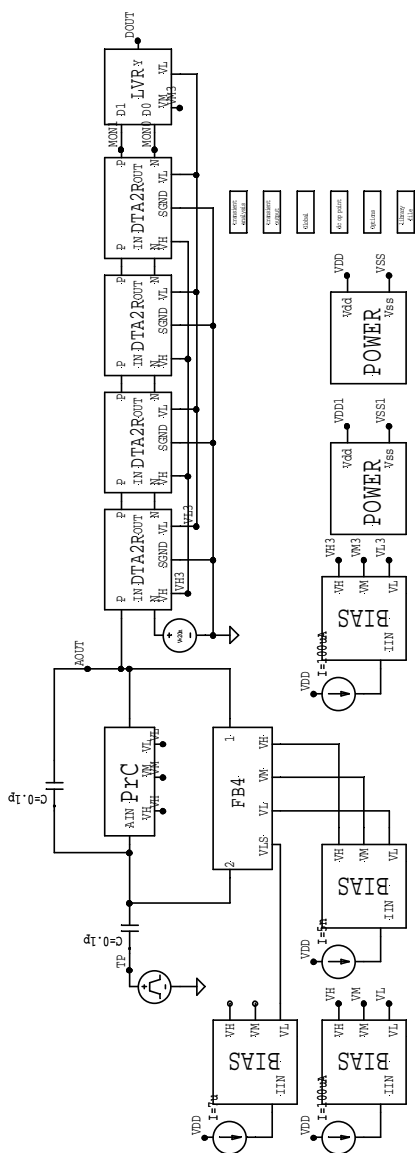


図 9: Q-to-T 変換回路の構成例

\* Main circuit: TESTQTC

```

XBIAS_1 N6 VH VL VM Gnd BIAS
XBIAS_2 N18 N5 N19 N8 Gnd BIAS
XBIAS_3 N9 N15 N12 N10 Gnd BIAS
XBIAS_4 N13 VH3 VL3 VM3 Gnd BIAS
C1 N16 AOUT 0.1p
C2 TP N16 0.1p
.op
XDTA2R_1 N17 AOUT N14 N7 Gnd VH3 VL3 DTA2R
XDTA2R_2 N14 N7 N4 N3 Gnd VH3 VL3 DTA2R
XDTA2R_3 N4 N3 N2 N1 Gnd VH3 VL3 DTA2R
XDTA2R_4 N2 N1 MONO MON1 Gnd VH3 VL3 DTA2R
XFB4_1 N5 AOUT N16 N19 N12 N8 FB4
.global VSS VDD VSS1 VDD1
XLVR_1 MONO MON1 VL3 VM3 DOUT LVR
.options reltol=1.e-10 abstol=1.e-20 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XPOWER_2 VDD1 VSS1 Gnd POWER
XprC_1 N16 AOUT VH VL VM prC
i3 VDD N6 100uA
i4 VDD N18 5n
i5 VDD N9 7u
i6 VDD N13 100uA
v7 N17 Gnd 20m
v8 TP Gnd pulse(0 -500m 100u 10n 10n 300u 350u)
.tran 10n 250u
.print tran v(TP) v(AOUT) v(DOUT)
* End of main circuit: TESTQTC

```

## 4 Q-to-Q 増幅回路の IP

FB4 回路類似の回路を用いて電流対電流増幅器の IP を提示します。図 12 では、FB4C 回路を用いて電荷を 50 倍に増幅する回路の構成例を示しました。

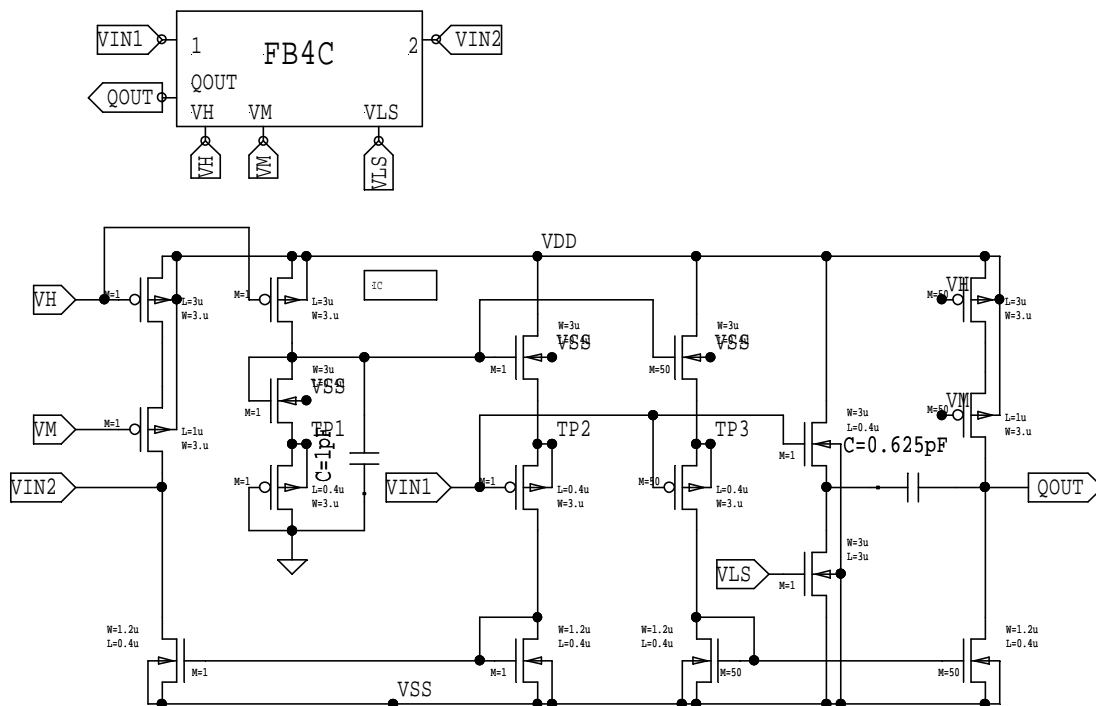


図 10: FB4C 回路

```
.SUBCKT FB4C QOUT VH VIN1 VIN2 VLS VM Gnd
M1 VDD VH N7 VDD pch L=3u W=3.u M=1
M2 N7 VM VIN2 VDD pch L=1u W=3.u M=1
M3 VIN2 N36 VSS VSS nch L=0.4u W=1.2u M=1
M4 N36 N36 VSS VSS nch L=0.4u W=1.2u M=1
M5 TP2 VIN1 N36 TP2 pch L=0.4u W=3.u M=1
M6 VDD N33 TP2 VSS nch L=0.4u W=3u M=1
M7 VDD N33 TP3 VSS nch L=0.4u W=3u M=50
M8 VDD VH N53 VDD pch L=3u W=3.u M=50
M9 N53 VM QOUT VDD pch L=1u W=3.u M=50
C10 N46 QOUT 0.625pF
C11 Gnd N33 1pF
.ic v(TP3,TP2)=0
M12 N2 N2 VSS VSS nch L=0.4u W=1.2u M=50
M13 QOUT N2 VSS VSS nch L=0.4u W=1.2u M=50
M14 VDD VIN1 N46 VSS nch L=0.4u W=3u M=1
```

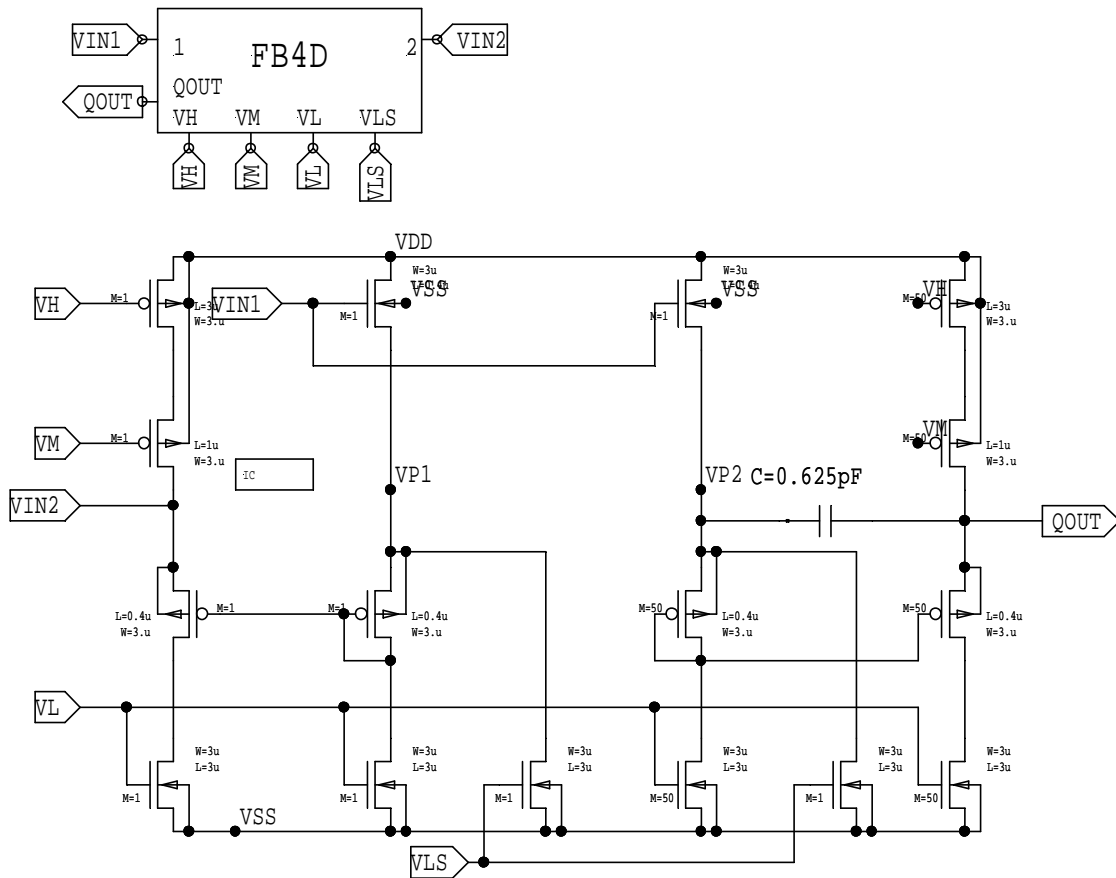


图 11: FB4D 回路

```

M15 N46 VLS VSS VSS nch L=3u W=3u M=1
M16 N33 N33 TP1 VSS nch L=0.4u W=3u M=1
M17 TP1 Gnd Gnd TP1 pch L=0.4u W=3.u M=1
M18 TP3 VIN1 N2 TP3 pch L=0.4u W=3.u M=50
M19 VDD VH N33 VDD pch L=3u W=3.u M=1
.ENDS

```

```

.SUBCKT FB4D QOUT VH VIN1 VIN2 VL VLS VM
M1 VDD VH N7 VDD pch L=3u W=3.u M=1
M2 N7 VM VIN2 VDD pch L=1u W=3.u M=1
M3 VIN2 N21 N15 VIN2 pch L=0.4u W=3.u M=1
M4 N15 VL VSS VSS nch L=3u W=3u M=1
M5 N21 VL VSS VSS nch L=3u W=3u M=1
M6 VP1 N21 N21 VP1 pch L=0.4u W=3.u M=1
M7 VDD VIN1 VP1 VSS nch L=0.4u W=3u M=1
M8 VP1 VLS VSS VSS nch L=3u W=3u M=1
C9 VP2 QOUT 0.625pF

```



```

XBIAS_1 N1 VH VL VM Gnd BIAS
XBIAS_2 N4 VH2 N11 VM2 Gnd BIAS
XBIAS_3 N9 N18 N5 N16 Gnd BIAS
XBIAS_4 N10 N7 N8 N2 Gnd BIAS
C1 N6 AOUT 0.01p
C2 TP N6 0.01p
C3 Gnd N6 0.5p
C4 N3 AOUT2 0.5p
C5 Gnd N3 1p
.op
XFB4C_1 N13 VH2 AOUT N6 N5 VM2 Gnd FB4C
.global VSS VDD
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprD_1 N6 AOUT VH VL VM prD
XprD_2 N3 AOUT2 VH VL VM prD
XRF2_1 N3 N7 AOUT2 Gnd N8 N2 RF2
i6 VDD N1 10uA
i7 VDD N4 5n
i8 VDD N9 10u
i9 VDD N10 10n
vamp N13 N3 0.
v10 TP Gnd pulse(0 -500m 100u 10n 10n 300u 350u)
.tran 10n 250u
.print tran v(AOUT2) i(vamp) v(TP) v(AOUT)
* End of main circuit: TESTQ2Q

```



## A 来歴

- 第4章において定電流源のトランジスタのL値を $3\ \mu\text{m}$ としたことに伴う改修を行いました(H160830)。
- FB4回路類似の回路を用いて電流対電流増幅器(Q-to-Q増幅回路)のIPを構成しました(H160831)。

以上