
高度センサー信号処理のための Analog-VLSI Open-IP(Index)

池田 博一*

宇宙航空研究開発機構 宇宙科学研究本部

平成 17 年 3 月 7 日

概要

高機能高性能の Analog-VLSI を短時間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。最初に、検索の便宜のために目次を集約しました。

Introduction

Contents

1 Analog-VLSI Open-IP プロジェクトの背景	13
2 Analog-VLSI Open-IP プロジェクトの目的	15
3 Analog-VLSI Open-IP プロジェクトの具体的内容	16
4 Analog-VLSI Open-IP プロジェクトから期待される波及効果	17

Figures

1 アナログ技術が必須とされる分野	14
2 Analog-VLSI Open-IP Project	15
3 ELDO のベンチマーク	17

1 Circuit Design

Contents

1 回路記述	19
1.1 回路図とネットリスト	19
1.2 フラット設計と階層化設計	20

*ikeda.hirokazu@jaxa.jp

2	回路記述の手順	21
2.1	トランジスタレベルでの記述	21
2.1.1	入出力端子	21
2.1.2	電源	21
2.1.3	デジタル回路とアナログ回路	22
2.2	シンボルの生成	22
2.3	上位階層の記述	22
2.4	最上位階層の記述	23
3	準拠する半導体プロセス	23
4	露光マスクのレイアウトについて	23

2 Pads

Contents

1	パッドとは	25
2	パッドの種類	25
3	open-IP におけるパッド回路	26
4	パッド配置の具体例	40

Tables

1	パッドの種類と用途	26
---	-----------	----

Figures

1	パッドのシンボル	27
2	PAD	27
3	PATHR	28
4	PATH	28
5	PDIN	29
6	PDOUT	29
7	PDTHR	30
8	PDTH	30
9	PVDD0	31
10	PVDD1	31
11	PVDDE	32
12	PVDD	32
13	PVSS0	33
14	PVSS1	33

15	PVSSE	34
16	PVSS	34
17	PNOT	35
18	TROUT	35
19	パッド配置の具体例	40

3 Logic Gates

Contents

1	アナログ回路における論理回路	42
2	論理ゲート回路	43
3	フリップフロップ回路	54
4	フリップフロップ回路の応用	59
A	INV1S 回路の試験回路	63

Tables

1	論理ゲート回路 IP	42
1	論理ゲート回路 IP	43
2	フリップフロップ回路 IP	54

Figures

1	論理ゲート回路のシンボル一覧	44
2	INV1 (アナログ回路用)	44
3	INV1P (デジタル回路用)	44
4	INV1F	45
5	INV4 (アナログ回路用)	45
6	INV4P (デジタル回路用)	45
7	NAND (アナログ回路用)	45
8	NANDP (デジタル回路用)	45
9	NAND3 (アナログ回路用)	46
10	NAND3P (デジタル回路用)	46
11	NOR (アナログ回路用)	46
12	NORP (デジタル回路用)	46
13	INV1S	47
14	TRBUF	47
15	ANDP	48
16	AND3P	48

17	AND4P	49
18	AND5P	49
19	フリップフロップ回路のシンボル一覧	54
20	RSFF1	55
21	RSFF2	55
22	GINVP	56
23	LATCHP	56
24	DFFP	57
25	EDFFP	57
26	SHIFT4	59
27	SELECTOR	59
28	COUNTA	60
29	INV1S 回路の試験回路	63

4 Bias Circuits

Contents

1	バイアス回路	64
A	来歴	72

Tables

1	バイアス回路 IP	65
---	-----------	----

Figures

1	バイアス回路のシンボル一覧	65
2	BIAS 回路	66
3	BIASP 回路	66
4	BIAS1 回路	67
5	BIAS2 回路	67
6	BIAS4 回路	68
7	BIAS8 回路	68
8	BIASF 回路	69
9	BIASGEN 回路	69

5 Interface Circuits

Contents

1	低レベルデジタル信号インターフェース	74
---	--------------------	----

2	電圧対電流変換型のアナログマルチプレクサ	81
A	LVD/LVR 回路の試験治具	88
B	HITR1 回路、HITR2 回路の試験治具	90
C	アナログマルチプレクサの試験治具	91
D	来歴	93

Tables

1	低レベルデジタル信号インターフェース回路 IP の一覧	74
2	マルチプレクサ回路 IP の一覧	81

Figures

1	低レベルデジタル信号インターフェース回路シンボルの一覧	75
2	LVD 回路	75
3	LVR 回路	76
4	LVR2 回路	76
5	LVR3 回路	77
6	LVR4 回路	77
7	HITR1 回路	78
8	HITR2 回路	78
9	電圧対電流変換型のアナログマルチプレクサ回路のシンボル一覧	82
10	MUX1 回路	82
11	MUX2B 回路	83
12	MUX3B 回路	83
13	SHPR2 回路	84
14	MUX4 回路	84
15	POWER 回路	88
16	LVD/LVR 回路の試験治具	88
17	HITR1 回路、HITR2 回路の試験治具	90
18	THTL 回路	91
19	理想演算増幅器回路	91
20	アナログマルチプレクサの試験治具	92

6 Resistance Circuits and DC-feed-back for a preamplifier

Contents

1	抵抗回路	95
2	前置増幅器の直流帰還回路	100

A	RF1 回路を用いた反転増幅回路	107
B	CFINV 回路を用いた非反転型微分積分回路	108
C	RF2 回路を用いた前置増幅器の構成例	109
D	FB1 回路を用いた前置増幅器の構成例	111
E	FB2 回路を用いた前置増幅器の構成例	112
F	FB3 回路を用いた前置増幅器の構成例	113
G	FB4 回路を用いた前置増幅器の構成例	114
H	FB5 回路を用いた前置増幅器の構成例	115
I	FBAMP 回路を用いた前置増幅器の構成例	116
J	来歴	117

Tables

1	抵抗回路の IP 一覧	96
2	前置増幅器用直流帰還回路の IP 一覧	100

Figures

1	抵抗回路のシンボル一覧	96
2	RF1 回路	97
3	RF2 回路	97
4	RF3 回路	98
5	CFINV 回路	98
6	前置増幅器用直流帰還回路のシンボル一覧	101
7	FB1 回路	101
8	FB2 回路	102
9	FB3 回路	102
10	FB4 回路	103
11	FB4B 回路	103
12	FB5 回路	104
13	FBAMP 回路	104
14	RF1 回路を用いた反転増幅回路	107
15	CFINV 回路を用いた非反転型微分積分回路	108
16	前置増幅器回路 PrC	109
17	RF1 回路を用いた前置増幅器の構成例	110
18	FB1 回路を用いた前置増幅器の構成例	111
19	FB2 回路を用いた前置増幅器の構成例	112

20	FB3 回路を用いた前置増幅器の構成例	113
21	FB4 回路を用いた前置増幅器の構成例	114
22	FB5 回路を用いた前置増幅器の構成例	115
23	FBAMP 回路を用いた前置増幅器の構成例	116

7 Preamplifiers

Contents

1	前置増幅器用増幅要素	119
A	PrC2 回路を用いた前置増幅器の構成例	126
B	PrD 回路を用いた前置増幅器の構成例	127
C	PrE2 回路を用いた前置増幅器の構成例	128
D	来歴	129

Tables

1	前置増幅器用増幅要素の IP 一覧	119
---	-----------------------------	-----

Figures

1	前置増幅器用増幅要素のシンボル一覧	119
2	PrB 回路	120
3	PrC 回路	120
4	PrC2 回路	121
5	PrD 回路	121
6	PrE 回路	122
7	PrE2 回路	122
8	PrF 回路	123
9	PrC2 回路を用いた前置増幅器の構成例	126
10	PrD 回路を用いた前置増幅器の構成例	127
11	PrE2 回路を用いた前置増幅器の構成例	128

8 Comparators

Contents

1	シングルエンド型コンパレータ回路の IP	131
---	--------------------------------	-----

2	差動型コンパレータ回路の IP	136
2.1	COMP4 回路	137
2.2	COMP5 回路	140
2.3	COMP6 回路	143
A	COMP3 の試験回路	146
B	COMP4 の試験回路	148
C	COMP5 の試験回路	150
D	COMP6 の試験回路	151
E	来歴	152

Tables

1	シングルエンド型コンパレータ回路の IP 一覧	131
2	差動型コンパレータ回路の IP 一覧	136

Figures

1	シングルエンド型コンパレータ回路 IP のシンボル一覧	132
2	COMP0 回路	132
3	COMP1 回路	133
4	COMP2 回路	133
5	HYS1 回路	134
6	COMP3 回路	134
7	差動型コンパレータ回路のシンボル一覧	136
8	DTA1 回路	137
9	HYS2 回路	137
10	COMP4 回路	138
11	DTA2R 回路	140
12	DTA2P 回路	141
13	COMP5 回路	142
14	DTA2 回路	143
15	COMPF 回路	144
16	COMP6 回路	145
17	DAC1 回路	146
18	COMP3 の試験回路	147
19	DAC2 回路	148
20	COMP4 の試験回路	149
21	COMP5 の試験回路	150
22	COMP6 の試験回路	151

9 Versatile Amplifiers and Peak-hold Circuitis

Contents

1	汎用増幅回路の IP	154
2	ピークホールド回路の IP	160
A	ワンショットタイマー	164
A	来歴	165

Tables

1	汎用増幅回路の IP 一覧	154
2	ピークホールド回路の IP 一覧	160

Figures

1	汎用増幅回路 IP のシンボル一覧	154
2	SHPR1 回路	155
3	SHPR2 回路	156
4	OP1 回路	157
5	OP1B 回路	158
6	OP2 回路	159
7	OP3 回路	159
8	ピークホールド回路 IP のシンボル一覧	160
9	SW0 回路	161
10	PH1 回路	161
11	PH2 回路	162
12	PH3 回路	162
13	OST 回路	164
14	OST 回路の試験回路	165

10 A-to-D Converters

Contents

1	T-to-A 変換回路の IP	168
2	A-to-D 変換回路の IP	172
3	Q-to-T 変換回路の IP	177
4	Q-to-Q 増幅回路の IP	179

Figures

1	CSW0 回路	168
2	SW0P 回路	169
3	TAC 回路	170
4	TAC 回路の試験治具	171
5	CSW1 回路	172
6	RAMPD 回路	173
7	COUNTB 回路	173
8	ランブダウン型 A-to-D 変換回路の構成例	175
9	Q-to-T 変換回路の構成例	177
10	FB4C 回路	179
11	FB4D 回路	180
12	Q-to-Q 増幅回路の構成例	181

11 Noise Evaluation

Contents

1	二重相関サンプリング方式における電子雑音	185
2	四重相関サンプリング方式における電子雑音	190
3	微分積分フィルター方式における電子雑音	195
A	来歴	199

Tables

1	二重相関サンプリング方式による雑音評価のまとめ	187
2	四重相関サンプリング方式による雑音評価のまとめ	193
3	微分積分方式による雑音評価のまとめ	199

Figures

1	DCS 回路	185
2	二重相関サンプリング方式の回路構成例	188
3	二重相関サンプリング方式における雑音評価回路	189
4	QCS 回路	190
5	四重相関サンプリング方式の回路構成例	191
6	四重相関サンプリング方式における雑音評価回路	194
7	微分積分方式の回路構成例	195

12 Test Fixtures

Contents

1	Analog-VLSI インターフェースの概要	201
1.1	目的	201
1.2	定義	202
2	下り信号インターフェース	204
2.1	高速下りインターフェース	204
2.2	中速下りインターフェース	207
2.3	低速下りインターフェース	211
3	上り信号インターフェース	214
3.1	中速上りインターフェース	214
3.2	低速上りインターフェース	217
A	関連する電子部品のデータシート	219

Tables

1	アナログ電源	202
2	デジタル電源	202
3	インターフェース電源	202

Figures

1	電源系統	203
2	高速下りインターフェース	204
3	仮想 LVDS ドライバ	205
4	高速下りインターフェースにおける入出力信号波形	206
5	高速下りインターフェースにおけるケーブル信号波形	206
6	中速下りインターフェース	207
7	SN74113 の主要部に対応する等価回路	208
8	SN74115 の主要部に対応する等価回路	209
9	中速下りインターフェースにおける入出力信号波形	209
10	中速下りインターフェースにおけるケーブル信号波形	210
11	低速下りインターフェース	211
12	低速下りインターフェースにおける入出力信号波形	212
13	低速下りインターフェースにおけるケーブル信号波形	213
14	中速上りインターフェース	214
15	中速上りインターフェースにおける入出力信号波形	215

16	中速上りインターフェースにおけるケーブル信号波形	216
17	低速上りインターフェース	217
18	低速上りインターフェースにおける入出力信号波形	217
19	低速上りインターフェースにおけるケーブル信号波形	218

13 FD-SOI(1)

Contents

1	Introduction	221
2	IP for logic circuits	222
3	アナログ回路の IP	231
3.1	バイアス回路	231
3.2	増幅要素	236
3.3	帰還回路	243
3.4	差動増幅回路	247
3.5	スイッチ回路	255

Tables

Figures

1	論理ゲートのシンボル一覧	223
2	inv1BF 回路 (ボディーフロート)	224
3	inv1 回路 (ボディータイ)	224
4	inv1PBF 回路 (ボディーフロート)	224
5	inv1P 回路 (ボディータイ)	225
6	inv1SBF 回路 (ボディーフロート)	225
7	inv1S 回路 (ボディータイ)	226
8	nand4PBF 回路 (ボディーフロート)	226
9	nand4P 回路 (ボディータイ)	227
10	and4PBF 回路 (ボディーフロート)	227
11	and4P 回路 (ボディータイ)	227
12	selector 回路	228
13	バイアス回路のシンボル一覧	231
14	BIAS 回路	232
15	BIAS_HALF 回路	233
16	BIAS_Q 回路	233
17	BIAS_P 回路	234
18	BIAS_P_HALF 回路	234
19	増幅回路要素のシンボル一覧	237
20	PR_1 回路	237

21	PR_1_HALF 回路	238
22	PR_2 回路	238
23	PR_2_HALF 回路	239
24	OP1 回路	239
25	OP1_HALF 回路	240
26	帰還回路のシンボル一覧	243
27	FB1 回路	244
28	FB4_A 回路	244
29	FB4_B 回路	245
30	FB6 回路	245
31	差動増幅器及び関連する回路ブロックのシンボル一覧	248
32	DIFA_S 回路	248
33	DIFA_S_HALF 回路	248
34	DIFA_M 回路	249
35	DIFA_M_HALF 回路	249
36	DIFA_F 回路	250
37	DIFA_F_HALF 回路	250
38	DIFA_TH 回路	250
39	DIFA_COMP 回路	251
40	ACC 回路	251
41	スイッチ回路のシンボル一覧	256
42	SW0 回路	256
43	SW1 回路	257

14 FD-SOI(2)

Contents

1	論理回路の IP	260
2	フリップフロップ回路の IP	269

Tables

Figures

1	論理ゲートのシンボル一覧 (追加分)	260
2	NANDPBF 回路 (ボディーフロート)	261
3	NANDP 回路 (ボディータイ)	261
4	NAND3PBF 回路 (ボディーフロート)	262
5	NAND3P 回路 (ボディータイ)	262
6	NAND5PBF 回路 (ボディーフロート)	263
7	NAND5P 回路 (ボディータイ)	263
8	NORPBF 回路 (ボディーフロート)	264

9	NORP 回路 (ボディータイ)	264
10	NOR4PBF 回路 (ボディーフロート)	265
11	NOR4P 回路 (ボディータイ)	265
12	AND2P 回路	266
13	AND3P 回路	266
14	AND5P 回路	266
15	フリップフロップ回路及びその構成要素のシンボル一覧	270
16	INVG1 回路	270
17	SWG2 回路	271
18	INVG3 回路	271
19	INVG4 回路	271
20	INVG5 回路	272
21	INVG6 回路	272
22	AO22 回路	273
23	DFFX 回路	273
24	DFFR 回路	274
25	EDFFR 回路	274
26	LATCH 回路	275

15 FD-SOI(3)

Contents

1	デジタル入出力パッド	280
2	アナログ入出力パッド	285

Tables

1	デジタル電源の種別	280
2	デジタル電源の種別	286

Figures

1	デジタル入出力パッドのシンボル一覧	280
2	CORNER_CELL 回路	281
3	ADD_VSS_CORE 回路	281
4	ADD_VDD_CORE 回路	281
5	ADD_VSS_OUT 回路	282
6	OBUF 回路	282
7	IBUF 回路	283
8	PAD_IBUF_DIGITAL 回路	283
9	アナログ入出力パッドのシンボル一覧	286

10	PAD_IOVDDA 回路	286
11	PAD_IORGND 回路	286
12	PAD_COREVDDA 回路	287
13	PAD_COREGND 回路	287
14	ADD_COREVDDA 回路	287
15	PAD_COREGND 回路	288
16	PAD_IBUF_ANALOG 回路	288
17	PAD_IBUF_WORES 回路	288

16 FD-SOI(4)

Contents

1	インターフェース回路	290
---	------------	-----

Tables

Figures

1	インターフェース回路のシンボル一覧	291
2	LVDS 回路 (LVDS ドライバ)	291
3	LVDSR 回路 (LVDS レシーバ)	292
4	DIFA_D 回路	292
5	DIFA_D_HALF 回路	292
6	HITSUMR 回路	293
7	TRBUF 回路	293

以上