

TMC入門

新井康夫

高エネルギー加速器研究機構、素粒子原子核研究所

〒305-0801 つくば市大穂1-1

yasuo.arai@kek.jp, <http://atlas.kek.jp/~araiy/>

Ver 0.1 平成11年6月3日

1.	はじめに.....	1
2.	TMC LSIの開発経過.....	4
3.	TMCの時間記録回路の概要.....	6
3.1.	リングオシレーター.....	6
3.2.	偶数段の信号取り出し.....	7
3.3.	同期化.....	8
3.4.	エンコードとメモリーへの書き込み.....	9
4.	最後に.....	10
5.	主要論文リスト.....	10

1. はじめに

TMC LSIは高エネルギー加速器実験用に開発された時間測定用LSIで、低消費電力(チャンネル当たり数 μ mW以下)、高精度(~ 700 ps/bit, RMS値で250 ps程度)、低価格(チャンネル当たり千円以下)という特徴を持ちます。さらに、高レートの実験に使用できるように内部回路はすべてパイプライン化されていますので、10ns程度離れたパルスの到達時間を分離出来るとともに、必要な読み出し速度を持った外部回路を接続することにより、全く不感時間なしに信号の時間情報を測定することが出来ます。

TMCは実験条件に合わせて数種類の物がすでに開発されていますので、データシート等をご覧の上、使用目的に合わせてチップを選択して下さい。また、チップはゲートアレイ技術で製造されているので、必要ならば周辺回路をカスタマイズすることも比較的容易に出来ます。

初期のTMCはDLL(Delay Locked Loop)という回路を仕様していましたが、現在のTMCではインバータチェーンによるリングオシレーターにPLL(Phase Locked Loop)回路を組み合わせることにより、クロック周期の1/32 - 1/16の時間間隔を持った基準信号を発生させています。

外部から入力された信号が変化すると、この基準信号とクロックカウンターの値がメモリーに保存されます。このメモリーはデュアルポートになっていますので、測定中に随時読み出すことが出来ます。TMCチップは上にも述べた通り、ゲートアレイ技術を使用していますが、これらの時間測定の心臓部はアナログシミュレーション、マニュアル配置配線を駆使し、フルカスタムチップと同等の性能を実現しています。表 1にTMCの主な特徴をまとめます。また、図 1にTMC304のチップ写真を図 2に内部構成を示します。

表 1. TMCの主な特徴

Least Time Count	0.6 - 3 ns/bit
Time Resolution	RMS = 250 ps (@40 MHz clock)
Integral/Diff Linearity Error	< 80 ps @40MHz
Stability	< 80 ps (3.0 - 3.6 V, 0 - 70 °C)
System Clock Frequency	2 - 60 MHz
No. of Channels	4 - 24 Channels/chip
Time Range	2.5 - 64 μ s
Double Hit Resolution	5 - 30 ns
Supply Voltage	3.3 V
Process	0.3 - 0.5 μ m CMOS Sea-of-Gate
Power Dissipation	< 50 mW/Channel
Package	0.5 mm lead pitch, 144 pin plastic QFP 0.8 mm lead pitch, 100 pin plastic QFP

(上記の値はチップにより異なるので、実際の値は各チップのデータシートで確認して下さい。)

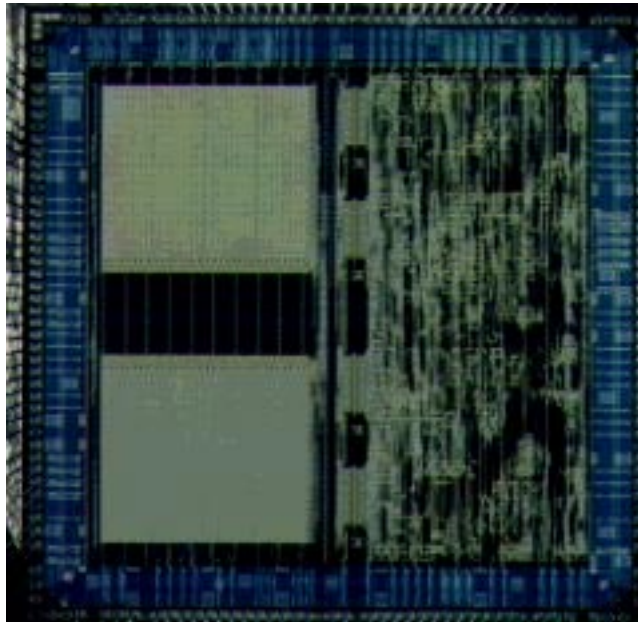


図 1。TMC304のチップ写真(5mm角)。

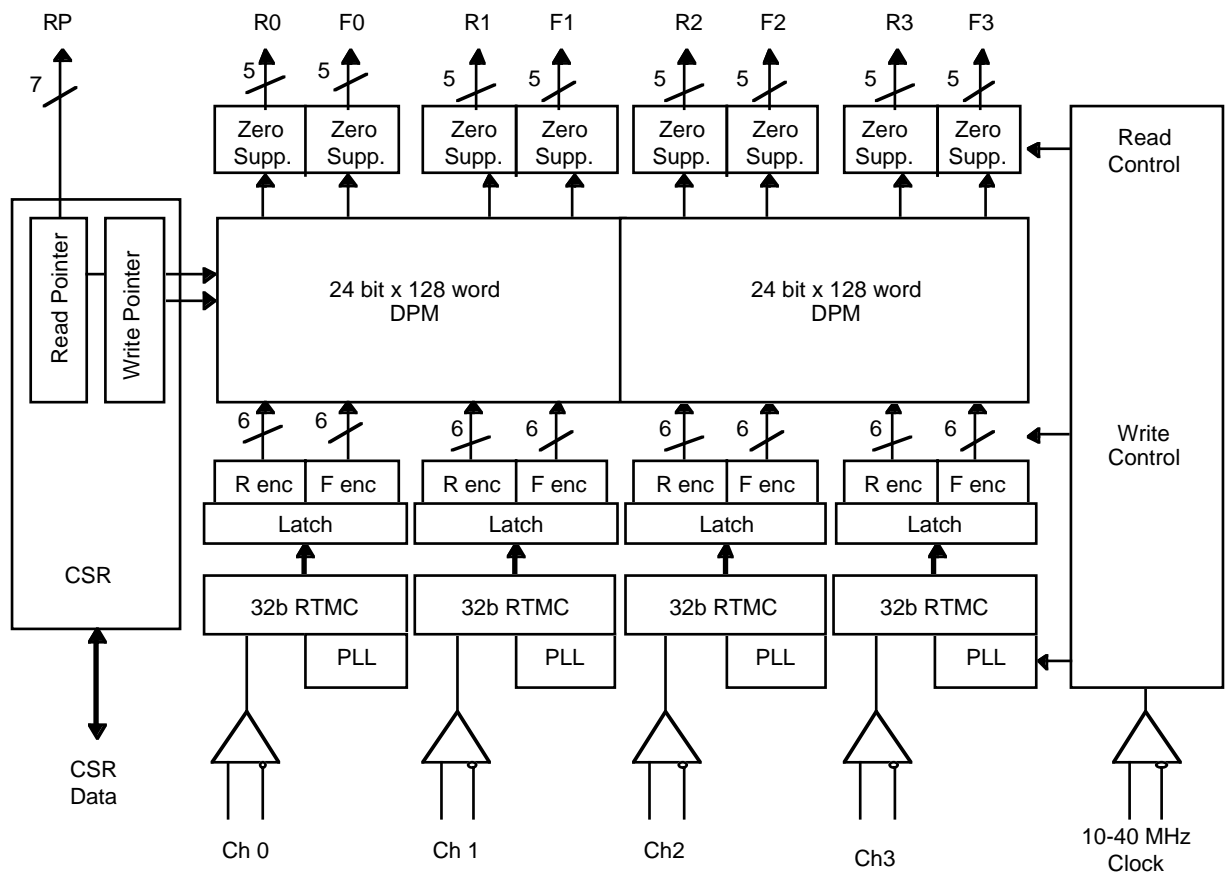


図 2. TMC LSIの構成例(TMC304チップ)

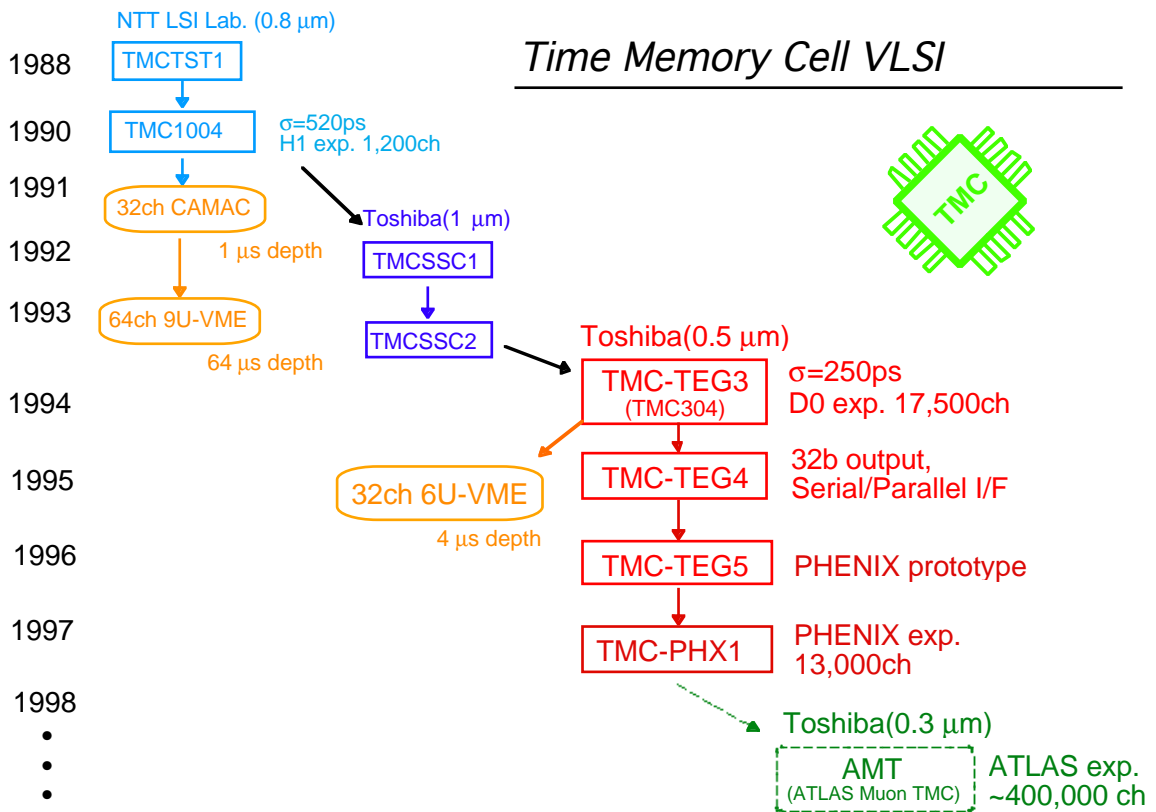


図 3. TMC LSIの開発の流れ。

2. TMC LSIの開発経過

図 3に現在までに開発されたTMC LSIの流れを図示します。以下に現在までの経過を、3つの期に別けて説明します。

[第一期：1988 - 1991. アイデア～NTT LSI研との共同研究]

TMC (Time Memory Cell) LSIのアイデアは、1986年に次期超大型加速器実験を検討していくうちに生まれた。この周長数 10km 、衝突エネルギー数 1TeV (10^{12} 電子ボルト)にも及ぶ加速器実験では、検出器も非常に大型になり、百万チャンネルにも及ぶ信号を読み出すにはLSIを多用しなければならないことは明らかであった。

なかでも、ドリフトチェンバーと呼ばれる荷電粒子の飛跡測定装置では、連続して発生するパルスエッジの時間情報を 1ns 以下の精度で測定し、数 μsec 間その情報すべてをLSI内に保持しなければならなかった。当時、実現の可能性があると考えられたのは、GaAsなどの高速デバイスを使用した 1GHz 数千ビット規模のシフトレジスタと、時間をアナログ電圧に変換した後Switched Capacitor Arrayに記録するなどの方法であったが、どちらも実装密度、発熱、価格等の面で多くの問題が残っていた。

そこで、CMOSのゲート遅延が 1ns 以下であること、またシフトレジスタに比べてデータを移動させないメモリのならばはるかに低消費電力であることに着目し、図1のような回路をTMC回路と題して考案した。

つまり、ゲートによる書き込み信号の遅延回路とメモリーを組み合わせ、これをアレー状に並べ外部信号の変化をメモリーに記録する。また遅延の精度を上げるためにDelay Locked Loop (DLL)回路と呼ばれる帰還回路を設けることにした。このLSIは高速回路技術に興味のあったNTT LSI研究所の協力により、 $0.8\mu\text{m}$ のCMOSフルカスタムLSIとして開発された。この成果は1988年のSymposium on VLSI Circuits, 1991年のIEEE Custom Integrated Circuits Conferenceで発表され、IEEE Journal of Solid-States Circuitに掲載された。

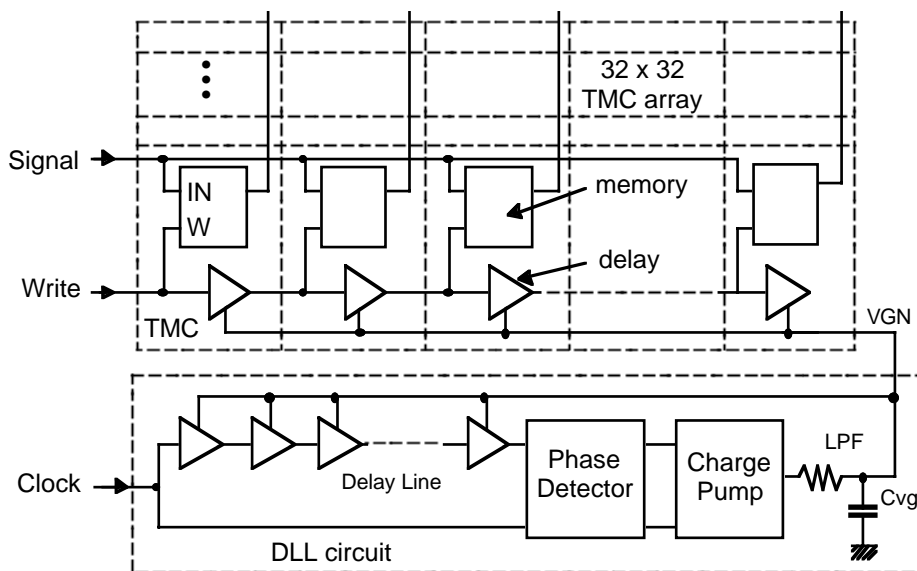


図 4. 初期のTMC回路

[第二期：1992 - 1997. 東芝との開発]

NTTと開発したTMCは、高い評価を受け、米国で計画されたSSC(Superconducting Super Collider)実験に採用されることになった。しかしながら、大量のチャンネルを処理するためには、直接検出器にLSIをマウ

ントする必要があった。当時TMCの使用を考えていた検出器は、加速器ビームに近い位置にあり、TMCには百krad程度の放射線耐性が求められた。

残念ながらNTTには放射線耐性のプロセスはなく、他の国内メーカーを探すこととなったが、ちょうど東芝の半導体技術研究所で開発した1 μ mのCMOS Gate-Arrayが適していることがわかり、1992年より（株）東芝産業用LSI開発部にお願いし、TC140Gシリーズをベースに、TMCコアの部分を手動設計するという手法で開発を開始した。

その後、残念ながらSSC計画は1993年に米国議会の反対により中止となってしまったが、ジュネーブにあるCERN（欧州合同原子核研究機関）で計画されていたLHC(Large Hadron Collider)実験に向けて開発を継続することとした。また、シカゴのフェルミ国立加速器研究所のD0(ディーゼロ) 実験、ニューヨークのブルックヘブン国立研究所のPHENIX実験でもTMCを使用することになった。

この時点で、開発目標を見直し、耐放射線性チップ開発には多くの費用がかかることもあり、目標を検出器のいちばん外側に位置するミュオン検出器に絞り、耐放射線性チップの開発は取りあえず中止することにした。ミュオン検出器に使用する場合、加速器ビームから遠く離れているために耐放射線性がそれほど必要でないからである。しかしながら、通常のプロセスのままどの程度の放射線にまで耐えられるのかを知っておくことは重要なので、完成したチップに対する放射線耐性試験は続けている。

また、性能を一層向上させるためプロセスを0.5 μ m TC180Gシリーズに変更し、回路もゲートアレイに向けた方式に変え、制御回路もPLL(Phase Locked Loop)方式とした。新しい方式を図 5に示す。

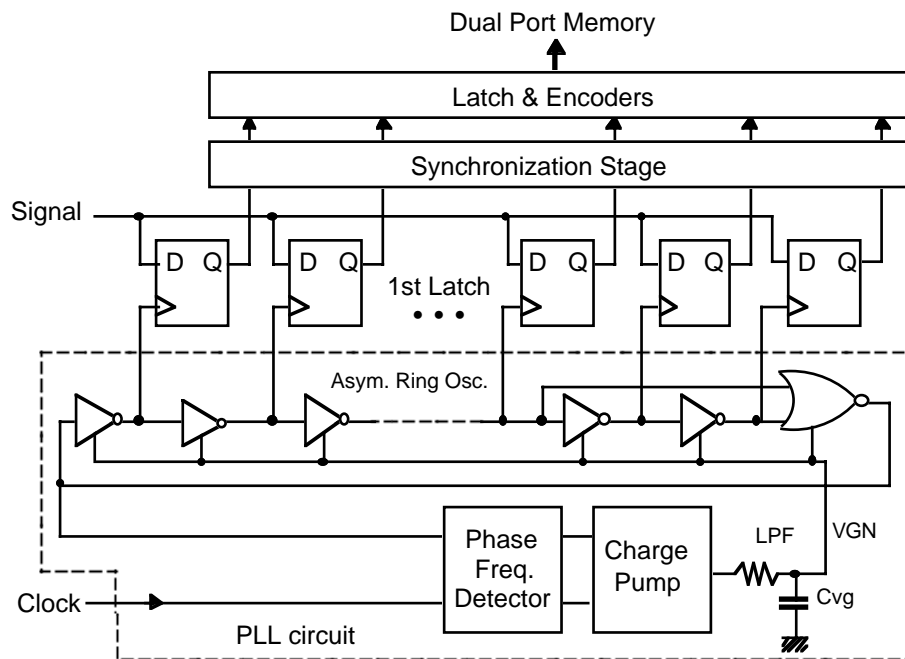


図 5。TC180G東芝ゲートアレイでのTMC回路。

1994年6月に完成したTMC304チップでは、時間分解能250psを達成し、フェルミ研向けのチップを約5,000個量産し納入した。また同時に、このチップを使用した3チャンネルのVMEモジュールも開発した。また、PHENIX実験用に開発したTMC-PHX1チップは、1997年に約4,000個量産した。

[第三期：1996 - . CERNとの開発]

1996年後半より、LHC加速器でのATLAS実験のミュオン飛跡検出器用TDC(Time to Digital Converter)の開発に向けてCERNとの共同開発がスタートした。LHCは2005年から実験開始予定の超大形の陽子—陽子

衝突型加速器で、円周27km、ジュネーブ郊外のスイスとフランスの国境にまたがるトンネル内に設置される。

時間測定部の設計は主に日本側が引き受け、その後のデータ処理部の設計をCERN側が担当することになった。このチップは今までの物に比べ、より高密度(24チャンネル/チップ)、高機能で、CMOS 0.3 μ m Processを使用して製造される予定である。製造は東芝で行う予定で、40万チャンネル(約2万チップ)を供給する予定である。

これ以前のTMCはすべて同期式で、信号の変化があろうが無かろうがメモリーに記録されていきましたが、AMTからはデータの記録方式がデータ駆動型になり、信号に変化があった場合にのみメモリー中に記録されるので、メモリーがより有効利用され長い時間記録が可能になりました。

3. TMCの時間記録回路の概要

TMCの時間記録回路は前にも述べたように初期のものはゲートの遅延時間を制御するDLL(Delay Lock Loop)方式であったが、その後より安定で高精度の期待できるPLL(Phase Lock Loop)方式に移った。PLLではリングオシレーターの発振の位相/周波数を制御する。ここでは主にPLLを使用した回路方式について説明する。

PLL回路方式の要点としては次の3点が上げられる。

- (1) リングオシレーターの出力から時間記録のための信号を取り出す方法、
- (2) リングオシレーターでは奇数段のゲートが必要となり、周期/奇数段の信号しか得られないが、これから周期/偶数段の信号を取り出す方法、
- (3) 非同期に出てくる信号を同期化する方法。

次に上記の3点についてそれぞれ説明する。

3.1. リングオシレーター

図6にリングオシレーターの回路と各部の波形を示す。段数は簡単のため5段にしてあるが実際には16ないし32段使用する。

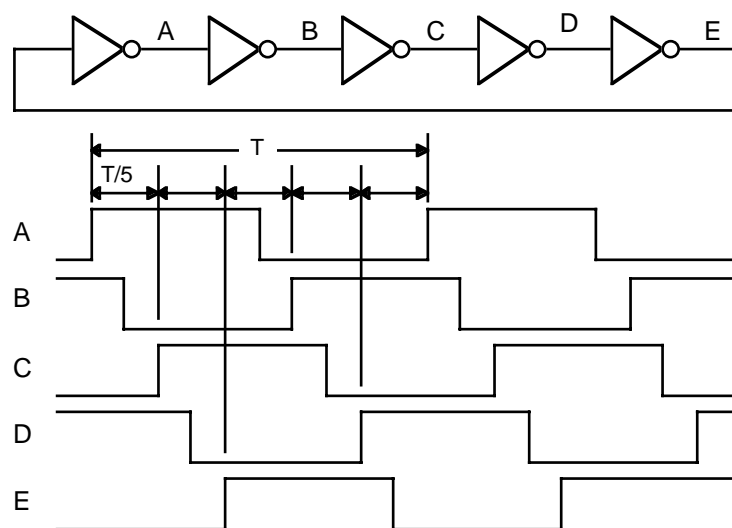


図6. 5段のインバーターを使ったリングオシレーター。

信号の立ち上がりで入力信号が記録されるとすると、A → C → E → B → D → A ... の順番でインバーター2段分ずつ信号が遅れて回っていることがわかる。これにより発振周期Tの5分の1の時間間隔を持った信号を取り出すことが出来る。

3.2. 偶数段の信号取り出し

列の段数が2のn乗になっていると、時間情報を2進数で出力する際に非常に便利である。しかしながら、リングオシレーターを発振させるためにはゲートが奇数段必要であり、周期/奇数段の時間信号しか得られない。そこで立ち上がり信号に対しては5段、立ち下がり信号に対しては7段の遅延に見えるようにしてやれば、平均6段となり偶数段の信号を得ることが可能となる。図7にこの様子を示す。Fの後ろにあるスイッチは立ち上がりエッジの信号に対してはDを選択し、立ち下がりエッジの信号に対してはFを選択するものとする。波形の図からわかるように立ち上がりエッジは A(F) → C → E → G → B → D → A(F) ... の順番にゲート2段分ずつ遅れて回っており、周期/6段の信号が得られる。

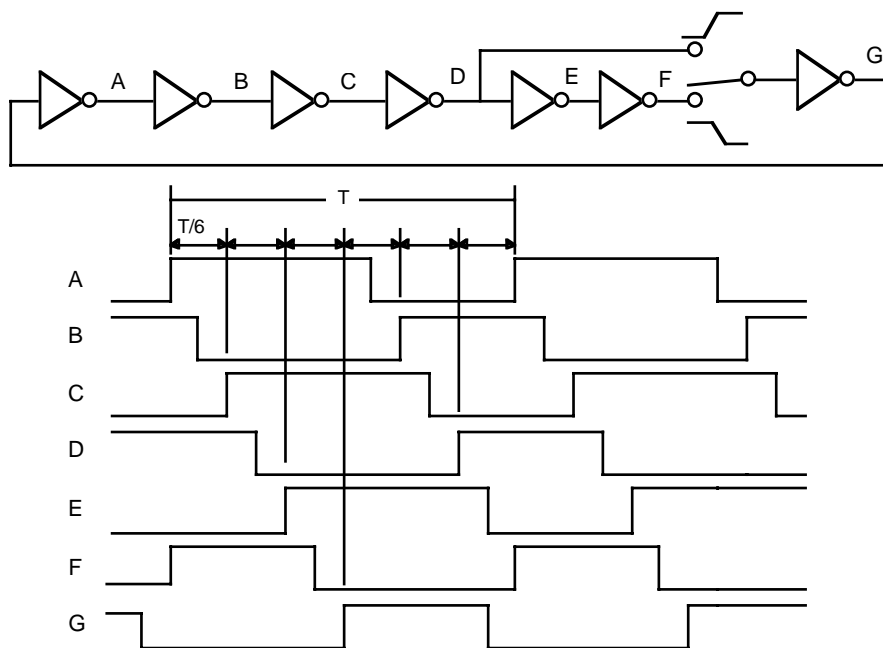


図 7. Asymmetric Ring Oscillator

しかし、実際の回路において、スイッチの所で遅れを生じては意味がない。遅れを生じさせないように設計したスイッチ部の回路を図8に示す。この図では簡単のため遅延時間の制御のためのゲートは省略した。

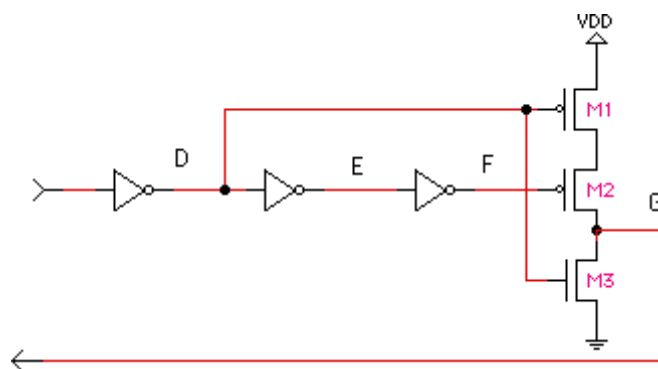


図 8. スイッチ回路

M1,M2,M3はスイッチ回路+インバーターとして働く。Dの所の信号が立ち上がるとM1がOFF, M3がONになり出力Gが低レベルになる。一方、Dの所の信号が立ち下がるとまずM1がON、M3がOFFになるがこの時M2はまだOFFのままなので出力Gは低レベルのままである。立ち下がり信号が E → Fと伝わった時に初めてM2がONになりGが高レベルとなる。

3.3. 同期化

上記の時間信号の変化点で外部入力信号の値をラッチすることにより、外部信号の変化点を捉えることが出来る(TMC-ATLASチップでは逆に外部信号でリングオシレーターからの信号をラッチしている)。ただ、このままではラッチした後の信号も次々とT/Nの時間間隔で変化していくので、次段に安定して信号を伝えられない。このため半周期ずつのデータをラッチして同期化する手法を取っている。この様子を図5に示す。Latch1の信号でB0, B1, B2の信号をラッチし、Latch2の信号でB3, B4, B5及びLatch1の出力信号をそれぞれラッチする。これにより、すべてのビットが同期して出力されることになる。

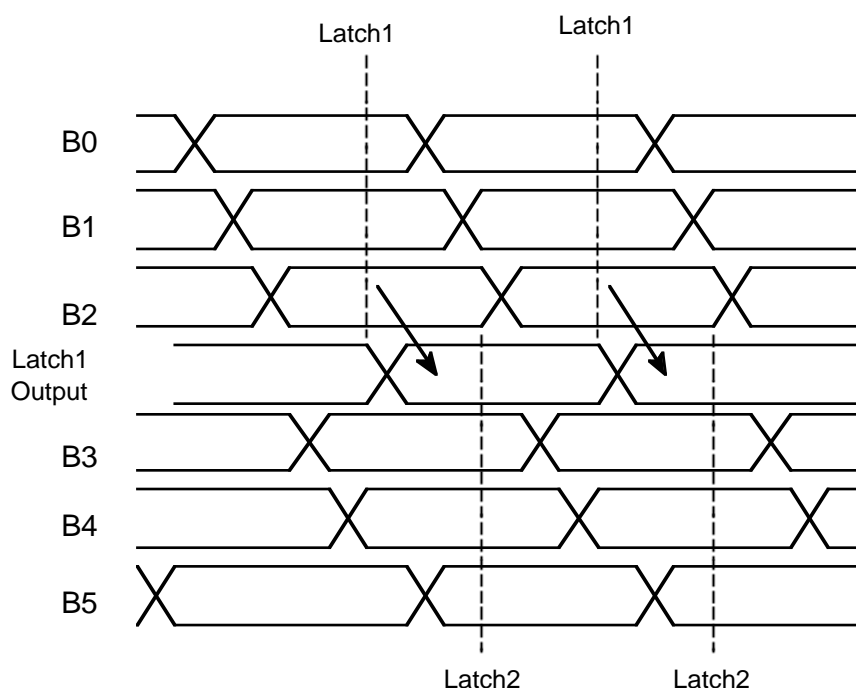


図 9. ラッチタイミング

図 10に簡単化した全体の回路図を示す。ここではTMCの段数を8段としている。ここではラッチ部はダイナミック回路で構成しているが、実際にはスタティックなフリップフロップを使用している。レイアウトの際には各部の遅延時間、付加容量等を考慮に入れ微分直線性を損なわないように設計している。

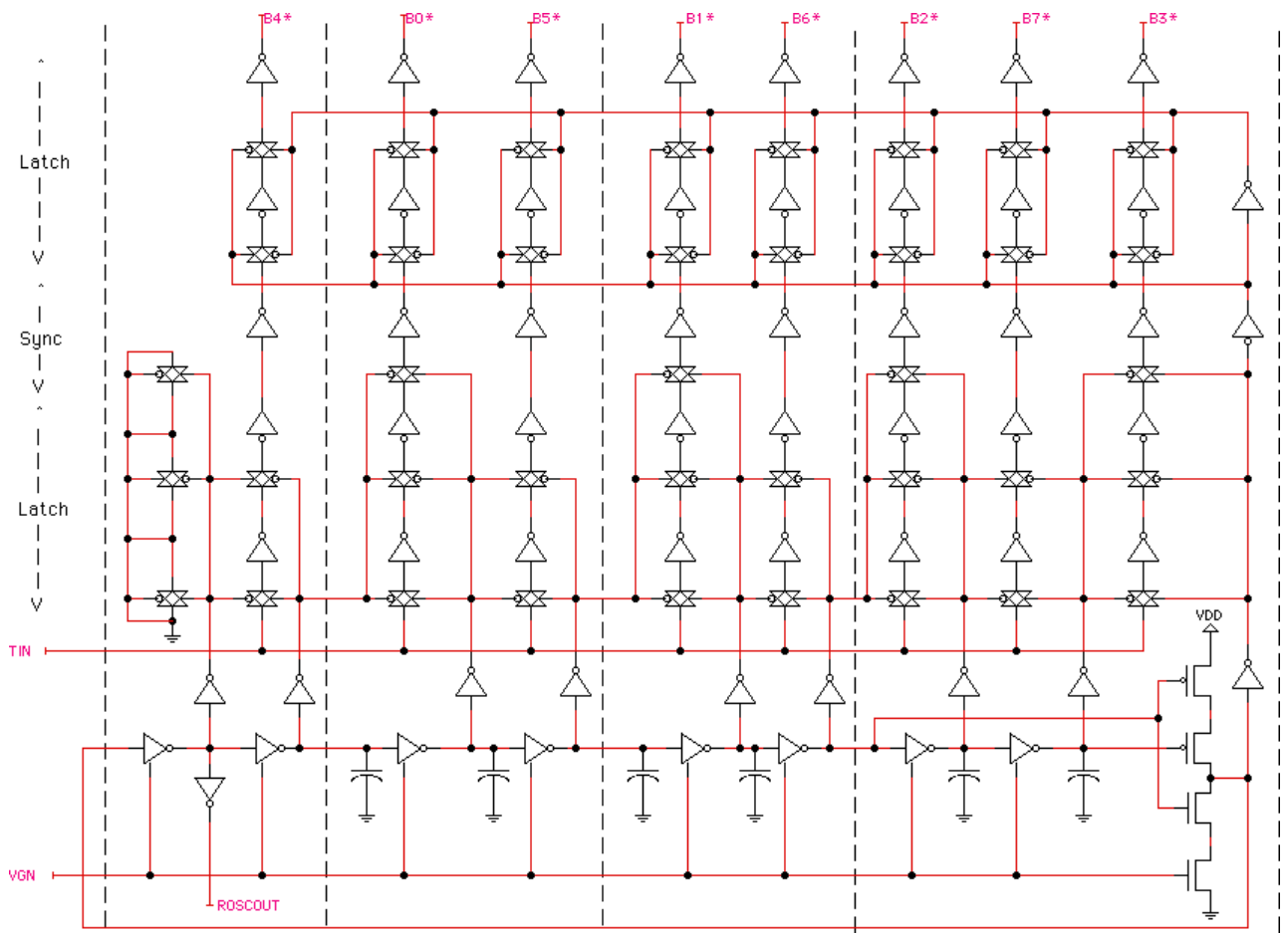


図 10. 簡易化したTMCの時間測定回路。

3.4. エンコードとメモリーへの書き込み

図 11にリングオシレーターからメモリーまでの構成を示す。ここではTMC304の例を示しており、このチップは入力信号の立ち上がり時間と立ち下がり時間を独立にエンコードしている。立ち上がりエッジのエンコードの表を表 2に示す。

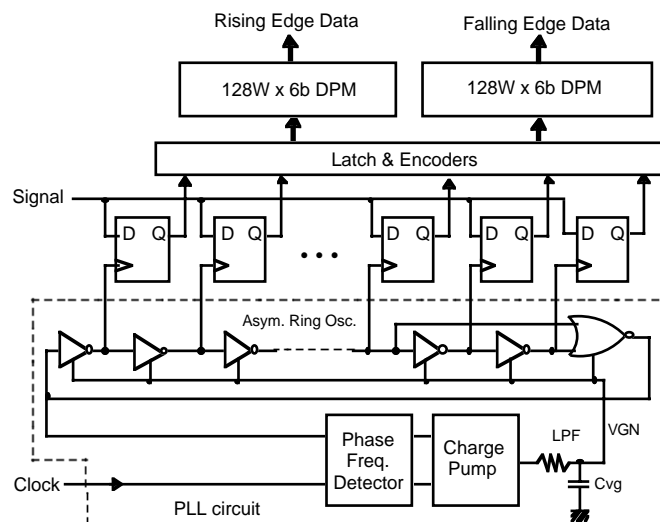


図 11. TMC304の内部構成。

表 2。TMC304のエンコード方式(Rising Edge)

row data												next cycle	[Rx5] Hit Tag	[Rx4..0] Encoded Data	Comment
0	1	2	3	4	5	30	31	0					
0	0	0	0	0	0	•	•	•	0	0	0	0	0	all 0	
1	d	d	d	d	d	•	•	•	d	d	d	0	1	all 1 /no R edge	
0	1	x	x	x	x	•	•	•	x	x	x	1	0	edge at 0-1	
x	0	1	x	x	x	•	•	•	x	x	x	1	1	edge at 1-2	
d	d	0	1	x	x	•	•	•	x	x	x	1	2	edge at 2-3	
d	d	d	0	1	x	•	•	•	x	x	x	1	3	edge at 3-4	
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	
d	d	d	d	d	d	•	•	•	0	1	x	1	30	edge at 30-31	
d	d	d	d	d	d	•	•	•	d	0	1	1	31	edge at 31-0	

d..d = no rising edge

x = don't care

4. 最後に

TMC LSIはもともと高エネルギー物理実験用に開発されたものであるが、簡単に1ns以下の時間を測れることから高エネルギー実験のみならず、自動車の衝突防止、TOF(Time of Flight)による質量分析、人工衛星でのイオン分析等多くの他の分野の方からの問い合わせをいただき、実際に使っていただいている。もとより、国の税金を使っている研究であるので多くの方に利用していただくのは望外の幸せである。

ここに書き切れなかったことも多く有るので、これより先はインターネットのホームページ (<http://atlas.kek.jp/~araiy/>) をご覧いただいたり、直接メール(yasuo.arai@kek.jp)をいただければお答えしたいと思います。

5. 主要論文リスト

[英文]

- (1) Y. Arai and T. Ohsugi; "An Idea of Deadtimeless Readout System by Using Time Memory Cell", Proceedings of the Summer Study on the Physics of the Superconducting Supercollider, Snowmass, (1986)455. KEK-Preprint 86-64.
- (2) Y. Arai and T. Ohsugi; "TMC: A Low-power Time to Digital Converter LSI", Talk at 1987 IEEE Nuclear Science Symposium, Oct. 21-23 1987, KEK-Preprint 87-113.
- (3) Y. Arai and T. Baba; "A CMOS Time to Digital Converter VLSI for High-Energy Physics", Talk at 1988 Symposium on VLSI Circuits, Tokyo, Aug. 22-24 1988, IEEE CAT. No. 88 TH 0227-9 Page 121.
- (4) Y. Arai and T. Ohsugi; "TMC - A CMOS Time to Digital Converter VLSI", IEEE Trans. on Nucl. Sci., Vol. 36, No.1 (1989)528. KEK-Preprint 88-78.
- (5) Y. Arai; "Time Measurement System at the SSC", Proceedings on the Workshop on Triggering and Data Acquisition for Experiments at the Supercollider, Toronto, (1989)125. KEK Preprint 88-130.
- (6) Y. Arai; "Development of TMC Chip and On-Chip Processing", Proceedings on International Workshop on Solenoidal Detector for the SSC, April 23-25, 1990. KEK Preprint 90-54.
- (7) Y. Arai and T. Matsumura and K. Endo; "A CMOS 4 ch x 1 k Time Memory LSI with 1 ns Resolution", Submitted to Custom Integrated Circuits Conference '91, May 12-15, 1991, San Diego. KEK Preprint 91-49.
- (8) Y. Arai, M. Ikeno and T. Matsumura; "Development of a CMOS Time Memory Cell VLSI and a CAMAC Module with 0.5 ns Resolution", Submitted to the 1991 IEEE Nuclear Science Symposium, Santa Fe, Nov. 1991. KEK Preprint 91-202.
- (9) Y. Arai and T. Matsumura and K. Endo; "A CMOS 4 ch x 1 k Time Memory LSI with 1 ns/bit Resolution", IEEE Journal of Solid-State Circuits, Vol.27, No.3, March 1992.
- [10] Y. Arai, F. Sudo and T. Emura; "Developments of Time Memory Cell VLSI's", Third Annual Conference on Electronics for Future Colliders. May 4-5, 1993. LeCroy Corporation. KEK Preprint 93-49. SDC - 93 - 567.
- [11] Y. Arai and M. Ikeno; "A 64-ch Time Memory Cell Module with a DSP and a VME Interface", IEEE Nuclear

- Science Symposium, San Francisco, Nov. 1993. IEEE Trans. on Nucl. Sci. Vol. 41, No. 4, August 1994, p1187-1191. KEK Preprint 93-151.
- [12] Y. Arai and M. Ikeno; "A Time Digitizer CMOS Gate-Array with a 250 ps Time Resolution", IEEE Journal of Solid-State Circuits, Vol. 31, No. 2, Feb. 1996, p.212-220. KEK preprint 95-75.
- [13] Y. Arai, M. Ikeno, H. Shirasu and T. Emura; "Time Memory Cell VLSI and a High-Speed Serial Interface", submitted to the First Workshop on Electronics for LHC Experiments, Lisbon, Portugal, September 11-15, 1995, CERN/LHCC/95-56, p. 208-212. KEK Preprint 95-111.
- [14] H. Shirasu, Y. Arai, M. Ikeno, T. Murata and T. Emura; "A VME 32 ch Pipeline TDC Module with TMC LSIs", IEEE Nuclear Science Symposium, Oct. 1995. IEEE Trans. on Nucl. Sci. Vol. 43, No. 3 (1996)1799-1803, KEK Preprint 95-143.
- [15] Y. Arai, M. Ikeno, M. Sagara, and T. Emura, "Time Memory Cell VLSI for the PHENIX Drift Chamber", 1997 IEEE Nuclear Science Symposium, Albuquerque, Nov. 9-15, 1997. IEEE Transactions on Nuclear Science, Vol. 45, No. 3, June, 1998, pp735-739. KEK Preprint 97-223.

[和文]

- (1) 遠藤、松村、新井; 「時間測定用タイムメモリの高精度書き込み制御法」、1990年電子通信学会春期全国大会。予稿集。
- (2) 松村、遠藤、新井; 「時間高精度測定用タイムメモリ(TMC1004)の設計」、NTT成果資料第4838号。
- (3) 松村、遠藤、新井; 「プログラマブル高精度パルス発生回路TEG(TMCPG1)の設計」、NTT成果資料第5580号。
- (4) 遠藤、松村、新井; 「遅延制御回路の高性能化の検討」、1991年電子通信学会春期全国大会。予稿集 P5-167, C-576。
- (5) 松村、遠藤、新井; 「1ns/bit分解能を持つCMOS 4ch x 1KbタイムメモリLSI」、1991年11月、電子通信学会、ICD91-141。

[特許出願]

- (1) "高精度多段遅延回路"、特願昭63-067314、審判平04-011968号。特許 第2535736号 (国有特許)
- (2) マルチポートメモリーセル回路、特願平3-133169。(国有特許、NTT LSI研との共同出願)。
- (3) "電圧制御発振回路"、特願平6-69507号。特許 第2663397号 (国有特許)
 (アメリカ: "Voltage-Controlled Oscillating Circuit", Serial No. 08/380,580, allowed on Sep. 5, 1995.)
 (EPC(ドイツ、フランス): "Voltage-Controlled Oscillating Circuit", Application No. 95300652.5)